

新型絕緣層上覆晶奈米元件(2/3)
A Novel SOI Nano Device (2/3)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 92 - 2215 - E - 009 - 023 -

執行期間： 92 年 08 月 01 日至 93 年 07 月 31 日

計畫主持人：崔秉鉞

共同主持人：無

計畫參與人員： 林家彬、謝志民、蘇柏智、蕭逸璿、盧季霈

成果報告類型(依經費核定清單規定繳交)：精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢
涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：交通大學 電子工程學系

中 華 民 國 93 年 10 月 28 日

摘要

本年度為此三年計畫之第二年，本年度計畫重點分為三個部份：30 nm 元件製程技術的建立、測試結構修正以及元件特性分析。在元件製作方面，我們成功結合電子束直寫、硬罩膜側向蝕刻、高密度電漿蝕刻、兩階段退火金屬矽化、離子植入金屬矽化物等製程，以單一金屬矽化物完成 N 型及 P 型 25 奈米修正蕭基位障鰭狀電晶體製作。測試結構隨製程需求進行逐步修正，RF 測試結構已完成，已開始進行元件製作，預計 11 月份產出。元件特性分析方面，P 型元件次臨界電壓斜率 64 mV/decade、導通電流與截止電流的比值可達 10^9 以上，是目前類似元件之世界最佳紀錄。N 型元件導通電流與截止電流的比值達 10^8 以上，是單一金屬矽化物的最佳紀錄。我們也成功製作修正蕭基位障薄膜電晶體，載子移動率超過 $140\text{cm}^2/\text{VSec}$ ，是以固態結晶法製作的薄膜電晶體的最佳紀錄。熱載子可靠度測量已有初步成果，1V 工作電壓之生命期遠超過十年。

關鍵詞：絕緣層上矽晶、鰭狀電晶體、修正蕭基位障、電子束直寫、薄膜電晶體

Abstract

This project is the 2nd year of the 3-year project entitled "A Novel SOI Nano Device". The working items of the second year's project are (a) 30 nm device process integration, (b) test structure modification, and (c) device characterization. In part (a), we integrated electron-beam direct write, hardmask lateral etching, high density plasma etching, two step silicidation, and implantation to silicide techniques successfully to realize a 25 nm modified Schottky barrier FinFET (MSB FinFET). In part (b), test structures were modified according to the process requests. New test structures for RF characterization are designed. Devices are under processing and are expected to finish in this November. In part (c), fundamental DC parameters have been extracted. For p-channel devices, the subthreshold swing is 64 mV/decade and the on/off current ratio is higher than 10^9 . These results are better than the published similar

devices. For n-channel devices, the on/off current ratio is also higher than 10^8 . This is the best results obtained with single silicide for both P-channel and n-channel devices. MSB TFT devices were also fabricated. The mobility is higher than $140\text{cm}^2/\text{VSec}$. This result is the best record in comparing with the TFTs using solid phase crystallization (SPC) method. Hot carrier reliability was characterized. At 1V operation, the lifetime is beyond 10 years.

Keywords: Silicon-on-insulator, FinFET, modified Schottky barrier, e-beam direct write, thin film transistor (TFT)

一、前言

已有文獻指出在同一元件尺寸下，利用 SOI 晶片製作之元件較在傳統晶片上製作之元件有較好的特性，這是因為元件與晶片間的寄生效應因為一層厚的良好絕緣層而減小的緣故。所以在元件縮小化的趨勢下，利用 SOI 晶片取代傳統晶片以消除元件與晶片間的寄生效應已是提昇現有元件特性的必然方式。而利用蕭基位障形成源極及汲極界面以降低串聯阻抗的概念也已被接受。所以 1997 年出現利用 SOI 晶片製作蕭基位障金氧半場效電晶體的報導 [1]。近兩年來也出現許多通道長度在數十奈米的 SOI 蕭基位障元件的論文 [2-12]，指出蕭基位障元件是未來奈米級元件最有可能的結構之一。但是以上文獻所報導的元件特性依舊擺脫不了汲極漏電流與源極載子注入阻抗等問題。

二、研究目的

本計畫擬以三年的時間完成一種新的奈米尺度 SOI 蕭基位障元件技術，以達成高驅動電流、低漏電流的目標。所完成的 SOI 元件屬於全空乏型 SOI 元件 (fully-depleted SOI, FD-SOI)。源極與汲極的金屬矽化物將矽晶層消耗完畢，以降低漏電流及串聯阻抗。源極與汲極靠通道側面有一極淺的高濃度區域形成修正蕭基位障界面(modified Schottky junction)，用以降低源極注入阻抗以及汲極漏電流，互補式金氧半場效電晶體電路(CMOS)可望使用單一金屬矽化物。此高濃度區域是將雜

質植入金屬矽化物後再從金屬矽化物層側向擴散形成，故製程溫度可以降低到 600 左右。金屬閘極可以解決閘極空乏以及硼穿透問題，高介電常數材料可以降低等效閘氧化層厚度以及閘極漏電流。因為是 FD-SOI 結構，可以採用功函數在矽能隙中央的單一金屬閘極來製作 CMOS。

本計畫所提出的奈米尺度 SOI 蕭基位障元件技術將具有高驅動電流、低漏電流、單一金屬矽化物、單一金屬閘極、高介電常數材料、低溫製程(<600)等特色，可在工業界有實際需求之前，累積足夠的知識基礎，並對 3-5 年後的元件技術提供參考方向。

本年度為此三年計畫之第二年，年度計畫重點分為三個部份：30 nm 元件製程技術的建立、測試結構修正以及元件特性分析。

三、結果與討論

3-1. 30 nm 元件製程技術的建立

A. 製作流程

圖 1 顯示 MSB FinFET 的製作流程。基板是六吋 SOI 晶片，矽晶層是硼摻雜濃度約 $1 \times 10^{15} \text{ cm}^{-2}$ ，厚度約 50 nm，經熱氧化減薄至 40 nm。以電子束直寫以及矽晶層蝕刻定義出元件區域。成長 4nm 的熱氧化層再覆蓋 150nm 的複晶矽閘極。P 型元件以及 N 型元件分別以 $\text{BF}_2^+/40\text{KeV}/5 \times 10^{15} \text{ cm}^{-2}$ 以及 $\text{P}^+/30 \text{ KeV}/5 \times 10^{15} \text{ cm}^{-2}$ 的條件摻雜覆晶矽，經過 $1025 /10\text{sec}$ 的氮氣快速退火活化，覆蓋一層 50nm 厚的 TEOS oxide 做為蝕刻硬罩膜。經電子束直寫、光阻削減、硬罩磨蝕刻、高密度電漿複晶蝕刻等步驟，將複晶矽閘極縮小至 25nm，如圖 1(a)。接著製作 $\text{SiO}_2(10\text{nm})/\text{Si}_3\text{N}_4(30\text{nm})$ 側壁子，如圖 1(b)所示。以兩階段退火技術完成自動對準 Ni silicide 結構，如圖 1(c)所示。

為了形成修正蕭基位障，P 型元件以及 N 型元件分別以 $\text{BF}_2^+/30 \text{ KeV}/3 \times 10^{15} \text{ cm}^{-2}$ 以及 $\text{P}^+/20 \text{ KeV}/1 \times 10^{14} \text{ cm}^{-2}$ 的條件植入 Ni-silicide (ITS)，再以 $600 /30\text{min}$ 氮氣退

火將 B 或 P 推出 Ni-silicide，形成極短的源極/汲極延伸(SDE)如圖 1(d)所示。最後沈積絕緣層、開接觸窗、金屬連線，即完成元件製作，如圖 1(e)所示。

為方便比較，也製作了單純的蕭基位障 SB FinFET 以及傳統(CN) FinFET。SB FinFET 即是取消 ITS 步驟，CN FinFET 則是在 S/D 植入之後以 $1025 /\text{N}_2/20\text{sec}$ 的條件活化。

薄膜電晶體製程與 SOI 製程類似，我們也將修正蕭基位障的概念應用於薄膜電晶體。薄膜通道是在 550°C 沈積的 45nm 的非晶矽，再經過 600°C 24 小時的再結晶。後續製程與 MSB FinFET 相似。

B. 金屬矽化物技術

源極/汲極完全形成金屬矽化物是關鍵技術。傳統 Ni-silicide 可以用 $500-600^\circ\text{C}$ 的單一退火步驟形成，但是對於奈米尺度元件，如果金屬矽化物成長速度太快，很難控制橫向成長的幅度，會造成源極/汲極短路，甚至穿透閘極氧化層，與閘極短路。圖 3 是計畫初期直接以 600°C 退火的失敗例子。明顯看到金屬矽化物過渡成長。因此本計畫開發兩階段退火技術，第一階段以 300°C 真空退火一小時，形成 Ni_2Si ，此時將未反應的 Ni 去除，由於沒有過多的 Ni 存在，第二階段的 600°C 退火便不至於造成 NiSi 過渡成長。

C. 元件結構分析

圖 3(a)是 MSB FinFET 的佈局示意圖，圖 3(b) 3(c)分別是實際製作的 25nm MSB FinFET 沿圖 3(a)的 A-A'以及 B-B'的剖面 TEM 照片。以電子束繞射證實源極以及汲極的矽已經完全反應成為 NiSi，橫向成長至接近複晶矽閘極邊緣。通道區域無晶格缺陷，證實 ITS 技術因為離子不會直接植入 Si 區域，因此不會產生晶格缺陷，可以不需要高溫退火。使得閘極之後的製程溫度可以降低到 600 左右，對計畫第三年度整合金屬閘極以及高介電常數介電層非常有利。鰭狀通道的側面閘氧化層雖然比上面厚，但是相差不多，屬於三閘極結構。

3-2. 測試結構修正

第一年度已設計一套測試結構以進行相關製程模組開發以及次微米元件製作，本年度將次微米元件佈局修改為奈米尺度，並配合達成 30 nm 以下閘極之製程技術，調整佈局，以補償電子束微影的近接效應，並配合蝕刻需求。為方便在 Ni-silicide 之後測試此步驟是否成功，源極以及汲極佈局也因而適度放大。

為進行 RF 特性分析，已針對 RF 測量所需，完成另一套測試結構佈局，以進行 RF 測試所需的校正程序。已開始進行元件製作，第一批元件應可在 11 月份產出。

3-3. 元件特性分析

A. P 型元件特性

圖 3(a)及 3(b)分別顯示 P 型 MSB FinFET 以及 SB FinFET 的 $I_{ds}-V_{ds}$ 特性。閘極長度(L_g)= 25 nm，鰭狀通道寬度(W_f)= 40 nm，鰭狀通道厚度(T_{Si})= 40 nm。SB FinFET 在低電壓的時候有很明顯的非線性現象，主要原因是源極端的蕭基位障以及 $NiSi_2$ 和閘極沒有重疊。對於 MSB FinFET，因為 SDE 的緣故，源極/汲極和閘極有適度重疊，高濃度的 SDE 使得導通狀態的源極蕭基位障厚度降低，載子可以順利穿隧進入通道。在 $V_{gs}-V_{th}=V_{ds}=-1V$ 的偏壓下，導通電流即達到 $325 \mu A/\mu m$ ($W=W_f$)或是 $108 \mu A/\mu m$ ($W=W_f+2T_{Si}$)。

圖 4 表比較 MSB, SB, CN 三種 FinFETs 的 $I_{ds}-V_{gs}$ 特性。 $L_g=49$ nm, $W_f=60$ nm, $T_{Si}=40$ nm。因為蕭基位障的性質，SB FinFET 顯示雙向導通特性。因為源極/汲極沒有金屬矽化物，CN FinFET 的導通電流偏低，又因為高溫退火造成較長的源極/汲極橫向擴散，DIBL 現象非常明顯。MSB FinFET 的低溫製程使得 FIBL 最輕微，僅約 49 mV/V，次臨界電壓斜率(Swing)也只有 64 mV/decade，幾乎達到數值模擬的室溫極限。因為高濃度 SDE 的作用，在截止狀態的汲極端蕭基位障較厚，可以有

效降低漏電流，導通/截止(I_{on}/I_{off})比值高達 10^9 以上，是目前類似元件中最好的結果 [6-17]。

圖 5 及圖 6 分別比較 MSB 以及 SB FinFETs 在導通以及截止狀態的能帶示意圖。在導通的時候，源極端的 SDE 使蕭基位障厚度降低，截止的時候汲極端的 SDE 使蕭基位障厚度以及高度增加，因此可以得到極佳的特性。

圖 7 是 $L_g=65$ nm, $W_f=40$ nm, $T_{Si}=40$ nm 的 MSB FinFET 從 100K 到 500K 的 $I_{ds}-V_{gs}$ 特性。溫度愈低，漏電流愈低，Swing 也愈好。在 100K 以下， I_{on}/I_{off} 可以超過 10^{10} ，Swing 低於 61 mV/decade。圖 8 比較 $L_g=65$ nm 的 MSB 以及 CN FinFETs 在 $V_{gs}-V_{th}=-0.75V$, $V_{ds}=-1V$ 偏壓的漏電流與溫度的關係。幾乎相同的活化能證實低溫製程的 MSB 接面特性接近高溫製程的 pn 接面。

B. N 型元件特性

圖 9 比較 N 型元件和 P 型元件的 $I_{ds}-V_{gs}$ 特性， $L_g=49$ nm, $W_f=60$ nm, $T_{Si}=40$ nm。N 型元件的 Swing 為 91 mV/decade，比 P 型元件的 71mV/decade 差，漏電流也稍高，猜測是因為 ITS 製程植入劑量偏低所造成。這一批元件的高劑量晶片因製程失誤而作廢，相信下一批高劑量晶片產出後，可以得到更好的元件特性。雖然如此， I_{on}/I_{off} 比值仍然有 10^8 ，是以單一種金屬矽化物製作蕭基位障電晶體從不曾達到的紀錄。

圖 10 是 N 型元件和 P 型元件的 $I_{ds}-V_{ds}$ 特性。N 型元件在線性區的輕微非線性現象以及比 P 型元件低的導通電流也指向 ITS 植入劑量偏低造成蕭基位障偏高。雖然如此，本計畫已經展示有效的修正蕭基位障技術，在單一金屬矽化物且完全相同的熱製程下，N 型元件和 P 型元件同時達到 I_{on}/I_{off} 比值大於 10^8 的紀錄，突破此類型元件應用於 CMOS 電路的最大障礙。

C. 薄膜電晶體特性

圖 11 比較因為修正蕭基位障製程造成

源極/汲極完全金屬矽化的 MSB TFT 元件以及傳統(CN)TFT 元件的 $I_{ds}-V_{gs}$ 特性， $L_g=1\mu m$ ， $W_g=4\mu m$ 。明顯看出 MSB TFT 的 Swing 以及導通電流都遠優於 CN TFT。因為 Swing 較佳，MSB 的臨界電壓較低。因為修正蕭基位障有效地提高汲極逆偏壓的位障，MSB TFT 擁有和 CN TFT 相同的漏電流特性，使得 I_{on}/I_{off} 比值超過 10^7 。圖 12 顯示 MSB TFT 擁有遠優於 CN TFT 的 $I_{ds}-V_{ds}$ 特性。

圖 13 利用不同通道長度的元件擷取源汲/汲極阻抗[13]，MSB TFT 的阻抗僅有 2.65KO，比 CN TFT 低 13 倍。表 1 彙整兩種 TFT 的元件參數，因為 MSB TFT 極低的外部阻抗，電子遷移率可以高達 141，比 CN TFT 高 40 倍以上，也是以 SPC 方式進行通道再結晶的 TFT 元件最高紀錄。

圖 14 顯示因為 MSB TFT 的低溫製程，使得 MSB TFT 擁有較佳的短通道效應，可望應用於低溫複晶矽製程。

D. 熱載子可靠度

圖 15 是 $L_g=65\text{ nm}$ ， $W_f=40\text{ nm}$ ， $T_{Si}=40\text{ nm}$ 的 MSB FinFET 經熱載子測試的臨界電壓(V_{th})隨時間的變化， V_{th} 逐漸增加表示劣化機制是電洞注入。圖 16 是根據互導(g_m)改變 10% 所定義的生命期預測，不論 W_f 是 60 nm 或是 80 nm，兩者在 1V 的工作電壓都有十年以上的生命期。如果以十年生命期來看， $W_f=60\text{ nm}$ 可以容許 1.24 V 的工作電壓， $W_f=80\text{ nm}$ 則僅可以容許 1.07 V。這是因為較寬的鰭寬的側面電場較弱，熱載子集中注入上方閘氧化層，較窄的鰭寬有較強的側面電場，熱載子均勻向三個閘極方向注入。而上方閘氧化層比側面閘氧化層薄，因此愈窄的鰭寬可容許較高的工作電壓。

四、計畫成果自評

本年度計畫獲致以下幾項重要突破：

1. 成功開發出通道長度 25 nm 的三閘極修正蕭基位障鰭狀電晶體製程整合技術，優於原計畫的 30nm 目標。

2. 完成低溫 單一金屬矽化物之 N 型以及 P 型 MSB FinFET 製作，電氣特性優於已發表之類似元件，接近理論極限。
3. 完成 MSB TFT 元件製作，性能優於以 SPC 方法作通道結晶之 TFT 元件，且具有應用於低溫多晶矽之潛力。
4. 完成直流熱載子可靠度測試，MSB FinFET 生命期可達十年以上。

本年度研究工作完全依照計畫書進行，內容完全相符，順利達成預期進度，且超出原計畫內容，完成高性能 MSB TFT 元件製作。參與本計畫之研究人員分別為博三、博二、碩二、碩一，分別在負責的部分獲得充分的訓練，為下一年度整合金屬閘極與高介電常數介電質製作與分析建立良好基礎。本計畫成果已發表兩篇期刊論文以及三篇研討會論文 [14-18]，另有兩篇期刊論文以及一篇研討會論文在審查中。本計畫亦向學校提出一件專利揭露書，校內審查中。本年度成果不論 MSB FinFET 或是 MSB TFT 均有極佳的產業應用潛力，MSM FinFET 發表以來，接獲許多國外研究單位探詢，深受重視。整體成果對相關研究以及後續計畫執行均有重要貢獻。

五、參考文獻

- [1]. J. R. Tucker, "Schottky Barrier MOSFETs for Silicon Nano-electronics," in IEEE Proceedings of Workshop on Frontiers in Electronics, 1997, pp.97-100.
- [2]. C. Wang, J. P. Snyder and J. R. Tucker, "Sub-40 nm PtSi Schottky Source/Drain Metal- Oxide- Semiconductor Field-Effect-Transistor," Appl. Phys. Lett., vol.74, 1999, pp.1174-1176.
- [3]. W. Saitoh, S. Yamagami, A. ITOH, and M. Asada, "35 nm metal gate p-type metal-oxide- semiconductor field-effect- transistor with PtSi Schottky source/drain on separation by implanted oxygen substrate," Jpn. J. Appl. Phys., vol.38, 1999, pp. 629-631.
- [4]. Y. Zhang, R. Li, S. K. Hong, K. L.

- Wang, B. Y. Nguyen, K. Joardar, D. Pham, and W. Yao, "Nano-scale Recessed Asymmetric Schottky Contacted CMOS," in Proceedings of the 1st IEEE Conference on Nanotechnology, 2001, pp.195-200.
- [5]. M. Jeong, P. M. Solomon, S. E. Laux, H. S. P. Wong, and D. Chidambarrao, "Comparison of raised and Schottky Source-Drain MOSFETs using a novel tunneling contact model," in IEDM Tech. Dig., 1998, pp.733-736.
- [6]. Q. T. Zhao, F. Klinkhammer, M. Dolle, L. Kappius and S. Mantl, " Nanometer patterning of epitaxial CoSi₂/Si (100) for ultrashort channel Schottky barrier metal-oxide-semiconductor field effect transistors," Appl. Phys. Lett., vol.74, 1999, pp.454-456.
- [7]. X. Huang, W. C. Lee, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, Y. K. Choi, V. Subramanian, T. J. King, J. Boker, and C. Hu, " Sub 50-nm FinFET: PMOS," in IEDM Tech. Dig.,1999, pp.67-70.
- [8]. J. Kedzierski, P. Xuan, E. H. Anderson, J. Boker, T. J. King, and C. Hu, "Complementary silicide source/drain thin-body MOSFETs for the 20-nm gate length regime," in IEDM Tech. Dig., 2000, pp.57-60.
- [9]. J. Guo and M. S. Linstrom, "A Computational Study of Thin-Body, Double-Gate, Schottky-Barrier MOSFETs," IEEE Transactions on Electron Devices, vol.49, No.11, 2002, pp.1897-1902.
- [10].M. Nishisaka, Y. Ochiai, and T. Asano, "Pt-Si source and drain SOI-MOSFET operating in bi-channel mode," in Proc. Device Res. Conf. (DRC), 1998, pp.74-75.
- [11].H. C. Lin, M. F. Wang, F. J. Ho, J. T. Liu, Y. Li, T. Y. Huang, and S. M. Sze, "Effects of sub-gate bias on the operation of Schottky-barrier SOI MOSFET's having nano-scale channel," in Proc. IEEE Conf. Nanotechnology (NANO), Aug. 2002, pp.205-208.
- [12].M. Nishisaka, S. Matsumoto and T. Asano, "Schottky Source/Drain SOI MOSFET with Shallow Doped Extension," Jpn. J. Appl. Phys., vol.42, 2003, pp.2009-2013.
- [13].S. Luan and G. W. Neudeck," An experimental study of the source/drain parasitic resistance effects in amorphous silicon thin film transistors," J. Appl. Phys. Vol. 72, July 1992, pp. 766-772.
- [14].Po-Chih Su, Chih-Ming Hsieh, and Bing-Yue Tsui, "PN Junction Surface Potential Images Measured by Kelvin Probe Force Microscopy", WSEAS Trans. on Electronics, Vol.1, No.1, pp.124, 2004.
- [15].Bing-Yue Tsui and Chia-Pin Lin, "A novel 25 nm modified- Schottky-barrier FinFET with high performance", to be published in the IEEE Electron Device Lett., vol.25, No.6, 2004.
- [16].Po-Chih Su, Chih-Ming Hsieh, Bing-Yue Tsui, Shien-Der Tzeng, and Shangir Gwo, "Surface Potential Images of PN Junction Measured by Kelvin Probe Force Microscopy", to be presented in the 11th Symposium on Nano Device Technology.
- [17].Chia-Pin Lin and Bing-Yue Tsui, "A High Performance 65nm Modified-Schottky- Barrier FinFET Technology", presented in the 11th Symposium on Nano Device Technology.
- [18].Chia-Pin Lin and Bing-Yue Tsui, "High-Performance Modified-Schottky-Barrier S/D p-Channel FinFETs", in Proc. of 2004 Int. Conf. on Solid State Devices and Materials, P4-3, 2004.

表一、MSB TFT 元件以及 CN TFT 元件之基本參數。

Parameters	CN	MSB
V_{th} (V)	4	3.4
S.S. (V/ Dec)	0.6	0.45
μ_{FE} (cm ² /V.S)	3.2	141.5
I_{off} (pA)	1.45	1.84
I_{on}/I_{off}	9.9×10^5	3.3×10^7

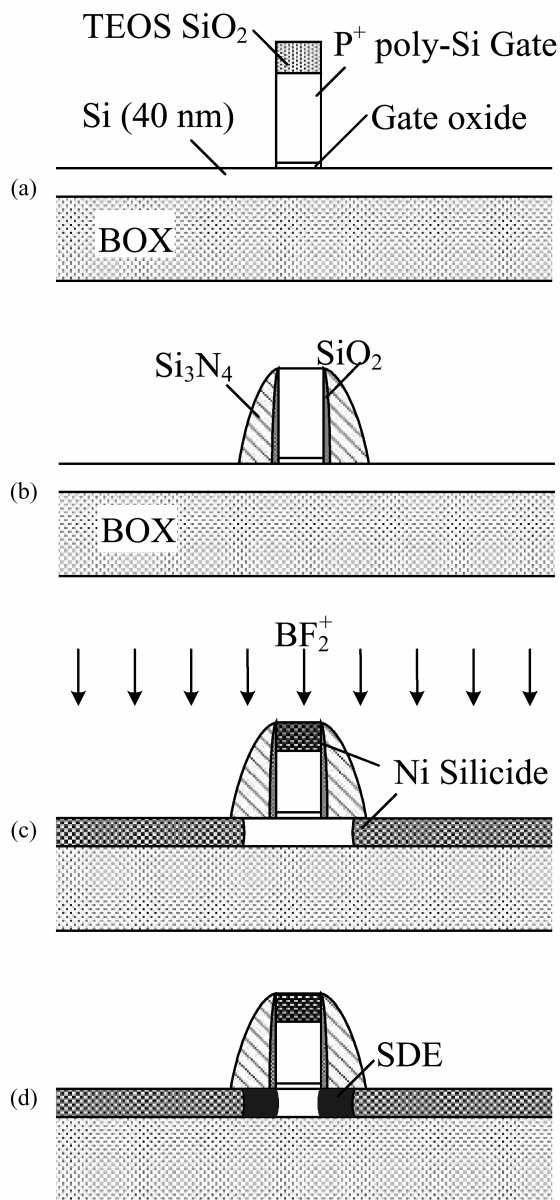


圖 1. MSB FinFET 的製作流程。

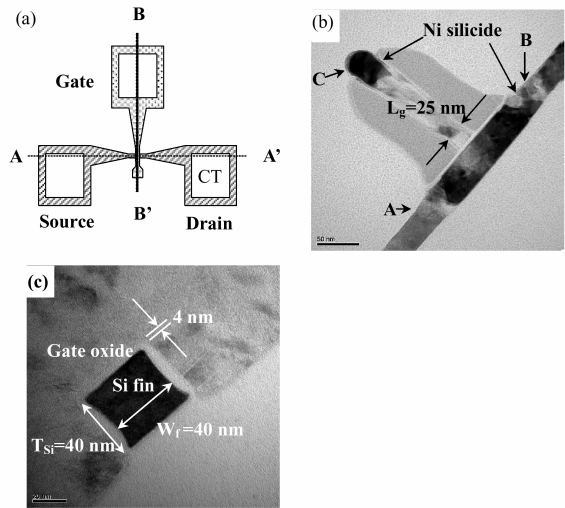


圖 2. (a)是 MSB FinFET 的佈局示意圖，圖 2(b)、 2(c)分別是實際製作的 25 nm MSB FinFET 沿圖 2(a)的 A-A' 以及 B-B' 的剖面 TEM 照片。

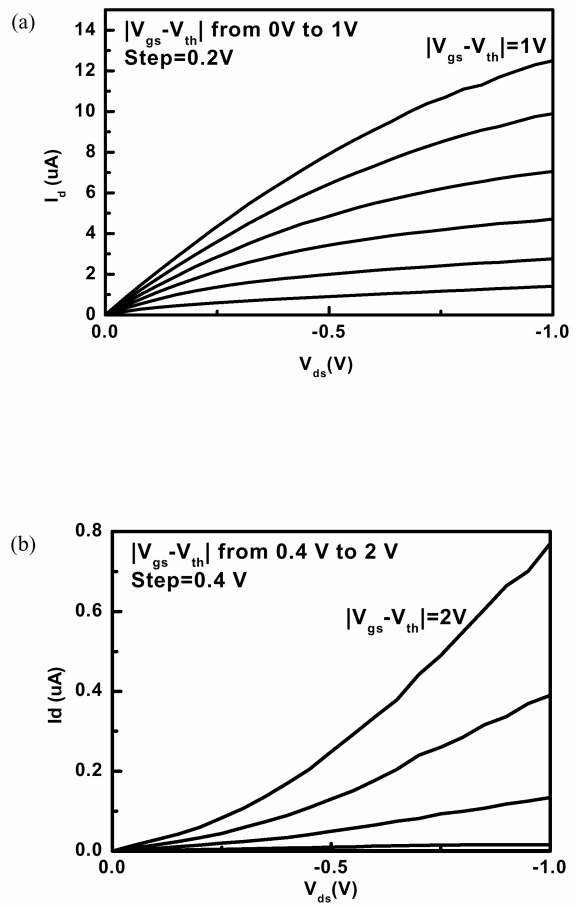


圖 3. (a)MSB FinFET 以及(b)SB FinFET 的 I_{ds} - V_{ds} 特性。

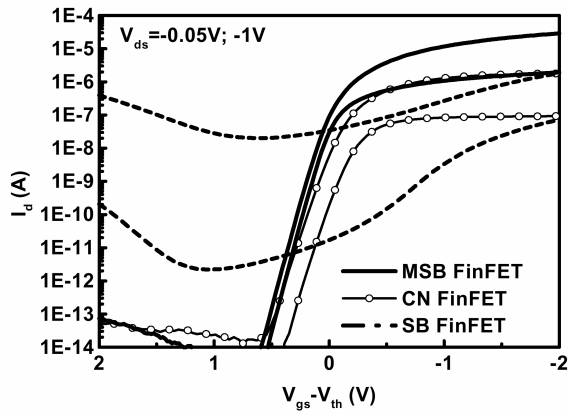


圖 4. MSB, SB, CN 三種 FinFETs 的 I_{ds} - V_{gs} 特性。

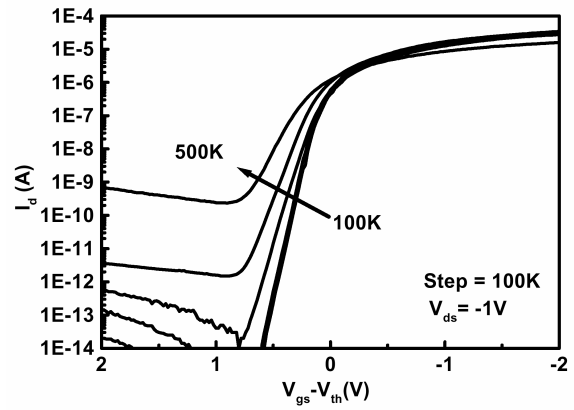


圖 7. MSB FinFET 從 100K 到 500K 的 I_{ds} - V_{gs} 特性。

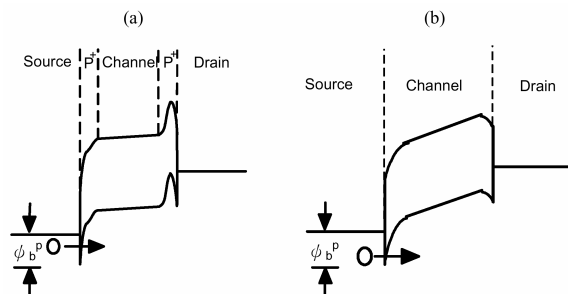


圖 5. (a) MSB FinFETs 以及 (b) SB FinFET 在導通狀態的能帶示意圖。

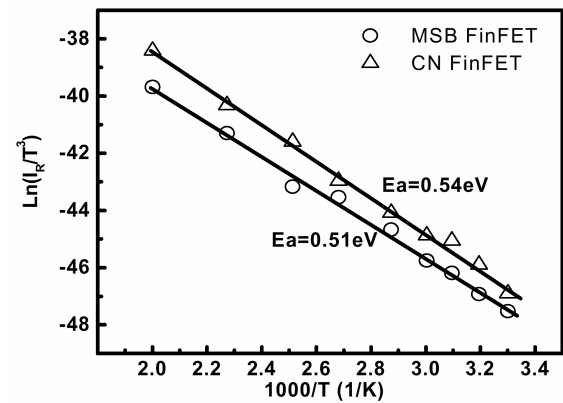


圖 8. MSB 以及 CN FinFETs 在 $V_{gs}-V_{th} = -0.75V$, $V_{ds} = -1V$ 偏壓的漏電流與溫度的關係。

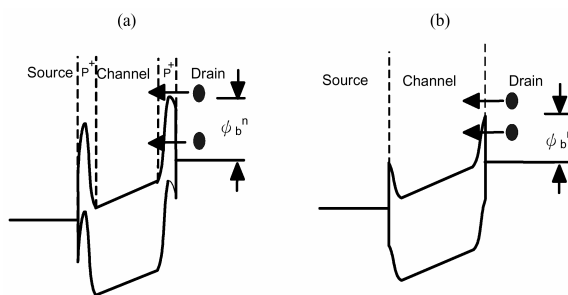


圖 6. (a) MSB FinFET 以及 (b) SB FinFET 在截止狀態的能帶示意圖。

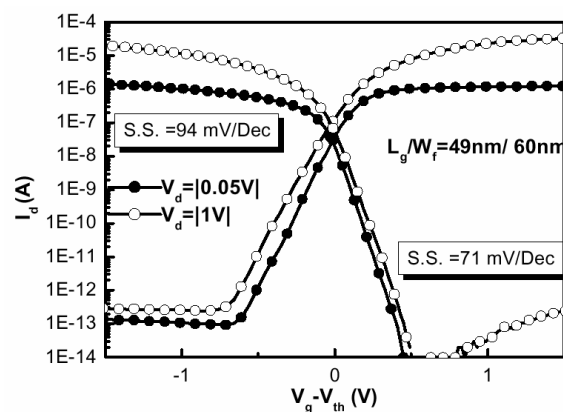


圖 9. N 型元件和 P 型元件的 I_{ds} - V_{gs} 特性。 $L_g=49$ nm, $W_f=60$ nm, $T_{Si}=40$ nm。

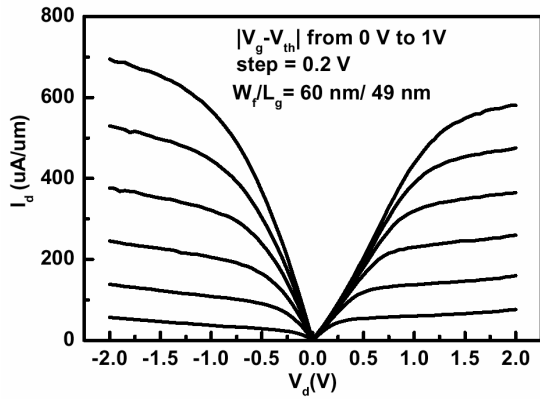


圖 10. N 型元件和 P 型元件的 I_{ds} - V_{ds} 特性。

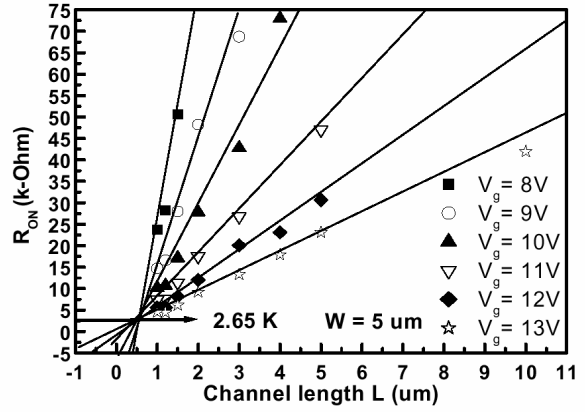


圖 13. 以不同通道長度的 MSB TFT 元件擷取外部阻抗。

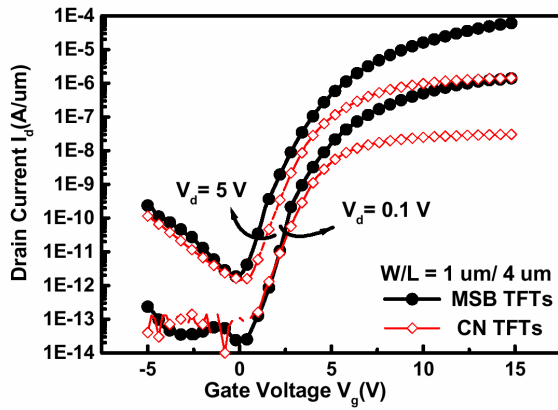


圖 11. MSB TFT 元件以及 CN TFT 元件的 I_{ds} - V_{gs} 特性。 $L_g=1\mu m$, $W_g=4\mu m$ 。

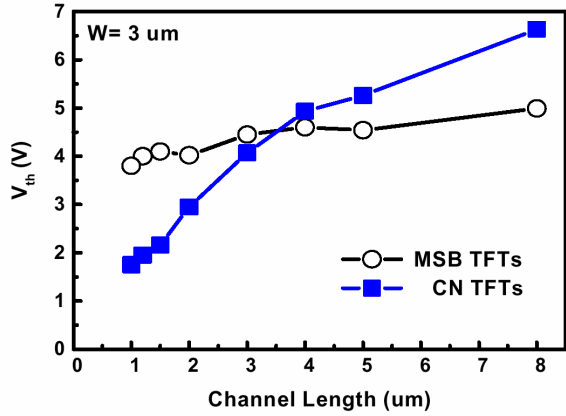


圖 14. MSB TFT 元件以及 CN TFT 元件之短通道效應。

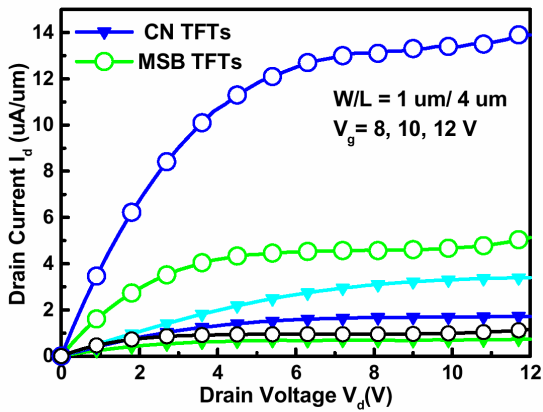


圖 12. MSB TFT 元件以及 CN TFT 元件的 I_{ds} - V_{ds} 特性。

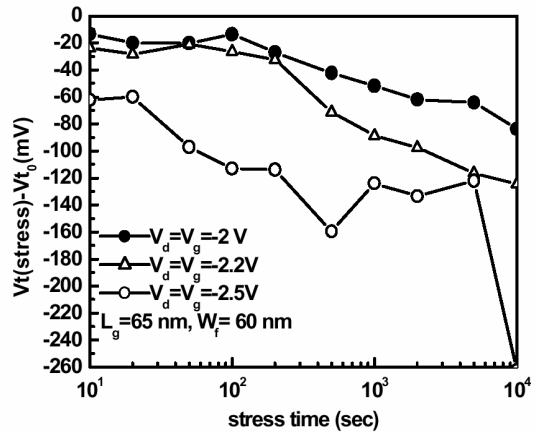


圖 15. MSB FinFET 經熱載子測試的臨界電壓(V_{th})隨時間的變化。

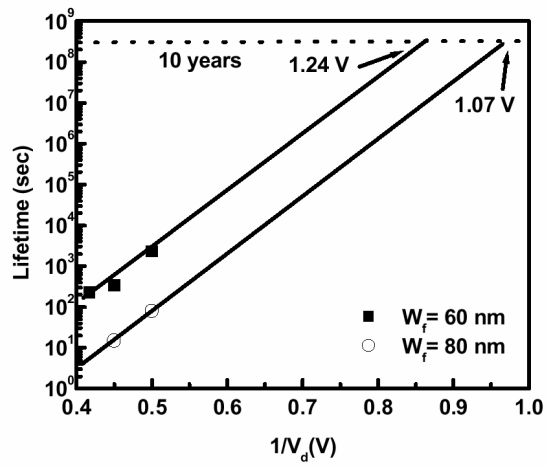


圖 16. 根據互導(g_m)改變 10% 所定義的 MSB FinFET 生命期預測。