

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 雙位元儲存氮化矽快閃式記憶元件技術及可靠性(1/3)

計畫類別：個別型計畫

計畫編號：NSC92-2215-E-009-056-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：汪大暉

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 5 月 24 日

# 雙位元儲存氮化矽快閃式記憶元件技術與可靠性(1/3)

## Dual-bit Storage Nitride Trap Flash Memory Device Technology and Reliability

計畫編號：NSC 92-2215-E-009-056

執行期限：92年8月1日至93年7月31日

主持人：汪大暉 國立交通大學電子工程學系

### 一、中文摘要

本計畫著重於雙位元氮化矽快閃式記憶元件其特殊操作方式所衍生的可靠性問題。吾人利用電荷幫浦技術來觀測一熱電子寫入/熱電洞抹除之氮化矽記憶元件寫入電荷之水平分佈。吾人研究中發現，在同一元件中，第二寫入的位元有著比第一寫入位元較寬的電荷分佈。此外，吾人發現寫入電荷分佈隨著寫入抹除次數增加而延伸到通道中央。

**關鍵詞：**雙位元氮化矽快閃式記憶元件，電荷幫浦，熱電子寫入，熱電洞抹除，電荷分佈，寫入抹除

### Abstract

This project addresses the issues related to dual-bit storage nitride trap flash memory device reliability. The lateral distribution of programmed charge in a hot electron program/hot hole erase nitride storage flash cell is investigated by using a charge pumping technique. Our study shows that the secondly programmed bit has a broader trapped charge distribution than the first programmed bit. In addition, we find the programmed charge distribution spreads further into the channel with program/erase cycle number.

**Keywords:** dual-bit storage nitride trap flash memory device, charge pumping technique, lateral distribution, hot electron program, hot hole erase, charge distribution, program / erase cycle

### 二、計劃緣由與目的

雙位元氮化矽快閃式記憶元件由於其有較小的位元面積[1]（物理上，每個元件有雙位元）、製程簡單、較小的汲極導通電流及絕佳的寫入抹除能力[2,3]而受到矚目。藉著熱電子寫入、熱電洞抹除[4]，可將訊號區域性地操作在接面上，而達成一元位元雙位元的目標。而其讀取方式也有別於以往，是利用反相讀取。也因為如此，對於雙位元儲存元件，寫入電荷水平分佈控制極為重要。這是由於第一寫入位元電荷的分佈會大大地影響到第二位元臨界電壓。甚者，寫入電荷水平散佈，也會影響到儲存電子與抹除電洞之分佈，因而產生了抹除能力的衰退[5]。

在本研究中，吾人將使用電荷幫浦技術來探討每個位元其寫入電荷的分佈。另外，經過寫入抹除加壓後，電荷分佈擴張效應也一併在此討論。

### 三、電荷幫浦技術

在本實驗中，吾人所使用為NMOSFET堆疊氮化矽層元件。氮化矽層為儲存訊號電荷所在之處。而其各個端點電壓波形如圖一所示。閘極脈衝固定在高準位（ $V_{gh}=6V$ ），變動低準位脈衝電壓。為了描繪出汲極端（或是源極端）寫入電荷之水平分佈，吾人藉由調變汲極電壓（或是源極電壓）去改變汲極端（或是源極端）之空乏寬度。此時，源極端（或是汲極端）為浮接狀態，這是為了避免另一端點影響到所要探測之電流。其電荷幫浦電流（ $I_{cp}$ ）由基極端量測到。汲極電壓反相於閘極電壓，也就是說汲極電壓只有在電子散失狀態才被施加上去並且量測到[6]。另外，量測頻率為2.5M赫茲。

## 四、結果與討論

### (a) 第一位元電荷幫浦電流

以圖一所示，右邊的位元，吾人稱為第一位元，而左邊的則稱為第二位元。圖二分別為未受寫入抹除傷害、寫入狀態與抹除狀態元件之電荷幫浦電流 vs. 低準位電壓之對應圖。在圖中，寫入狀態觀察到的電荷幫浦電流突起部分是由於儲存在氮化矽層中負電荷所造成的。圖三顯示了電荷幫浦電流突起部分隨著臨界電壓變大而增加，這表示了隨著儲存在氮化矽層電荷愈多，則突起部分愈容易觀測到。而電荷幫浦電流突起部分與汲極電壓大小關係如圖四所示。隨著汲極電壓愈大，寫入狀態電荷幫浦電流愈趨近於抹除狀態。在一足夠大的汲極電壓下，寫入電荷下界面缺陷會被汲極端空乏層給遮蓋而不能參與電荷幫浦電流反應，進而使得突起部分消失。相反地，當施加電壓在源極端時，突起部分沒有任何改變（圖五），這表示了寫入電荷非常集中分佈在汲極端，以致於源極端電壓無法影響到汲極端之電荷，也就不會有任何改變。

### (b) 雙位元儲存電荷幫浦電流

雙位元儲存元件資料的四種狀態，“11”、“10”、“01”和“00”之電荷幫浦電流分別顯示在圖六上。“00”表示為雙位元都處於寫入狀態。圖七為比較第一寫入位元與第二寫入位元（當第二位元在寫入時，第一位元也處於寫入狀態；但是，在量測第二位元電荷幫浦電流時，第一位元是在抹除狀態）之電荷幫浦電流。在圖七中，有一明顯地交叉，這表示了與第一寫入位元電荷比較，第二寫入位元之電荷有著較寬的水平電荷分佈，但是，其電荷密度較低。利用電荷空間分佈探測技術[7]，儲存在氮化矽電荷之空間分佈可由下列公式得知：

$$Q_N = \frac{C_{ONO}}{q}(V_{gl} - V_{ti}), x = \frac{I_{cp}(V_{gl})}{I_{cp,max}} L_{ch} \quad (1)$$

$Q_N$  為氮化矽電荷面密度， $C_{ONO}$  為雙位元儲存元件等效電容， $I_{cp,max}$  為最大電荷幫浦電流， $L_{ch}$  為通道長度， $V_{ti}$  為元件抹除狀態之臨界電壓。在這裡，吾人假設界面缺陷隨著通道位置為均勻分佈。 $x=0$  所指的是源極或是汲極端面位置。粹取出來的電荷分佈如圖八所示。第二寫入位元電荷在寫入時，由於汲極端存在著極大通道電場而使得其電荷分佈較寬，如圖九所示。這存在在汲極端之極大通道電場是因為第一寫入位元電荷所產生的，使得當吾人要寫入第二位元時，來自通道電子會受到其作用而提早注入到氮化矽層中，進而造成電荷水平分佈增加[8]。值得注意的是，上述的公式是由一維臨界電壓模型所推導的。更正確的寫入電荷分佈還需要二維元件模擬。

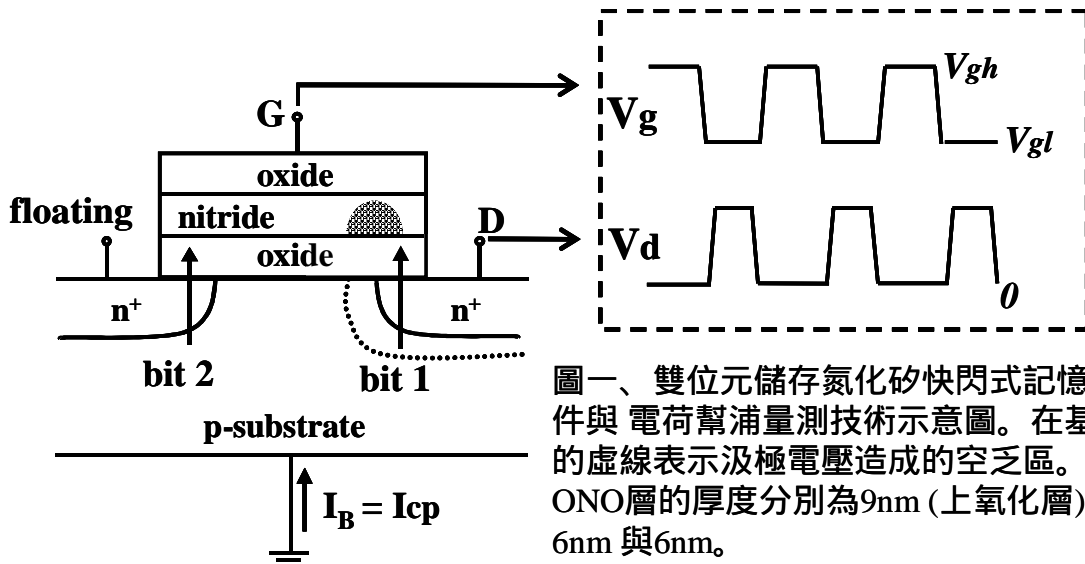
寫入電荷水平範圍也可藉由改變汲極（或源極）偏壓所得知。寫入狀態電荷幫浦電流突起隨著汲極（或源極）偏壓增加而降低，如圖十所示。第二寫入位元電荷需要更大的接面電壓才可以去遮蓋住寫入電荷。換而言之，第二寫入位元電荷有著較寬的電荷分佈。

### (c) 寫入抹除加壓

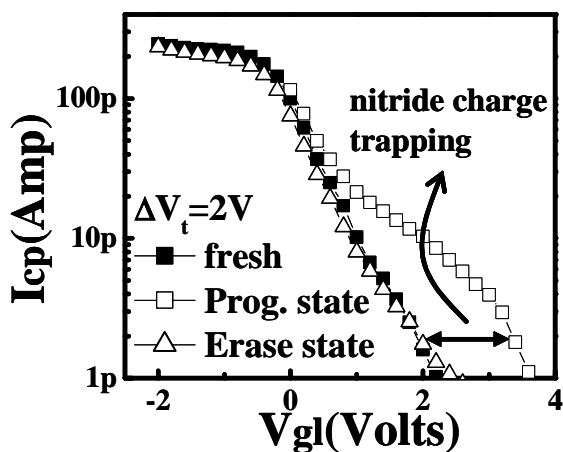
寫入抹除加壓對於寫入電荷分佈效應如圖十一所示。在寫入抹除過程中，由於熱電子電洞的交替作用，會使得底部氧化層受到傷害。為了減少界面缺陷生成效應造成對電荷幫浦電流誤判，吾人將電荷幫浦電流以汲極偏壓為零時之值來做標準。一般而言，當寫入抹除次數增加時，底部氧化層傷害範圍（也就是熱電子注入區域）變寬。這時候，需要更大的汲極（偏壓）才能遮蓋掉寫入電荷。

## 五、參考文獻

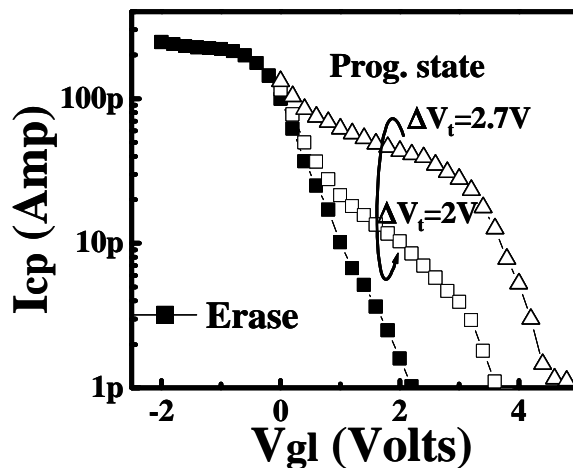
- [1] B. Eitan et al., *IEEE EDL.*, vol. 21, p.543, 2000.
- [2] W. J. Tsai et al., *IEDM Tech. Dig.*, p. 719, 2001
- [3] W. J. Tsai et al., *IRPS Proc.*, p.404, 2002.
- [4] T. Y. Chan et al., *IEEE EDL.*, vol. 8, p.93, 1987.
- [5] W. J. Tsai et al., *IRPS Proc.*, p.522, 2004.
- [6] W. Chen et al, *IEEE TED*, p.187, 1993.
- [7] C. Chen et al, *IEEE TED*, p.512, 1998.
- [8] S. H. Gu et al., *IRPS Proc.*, p.639, 2004.



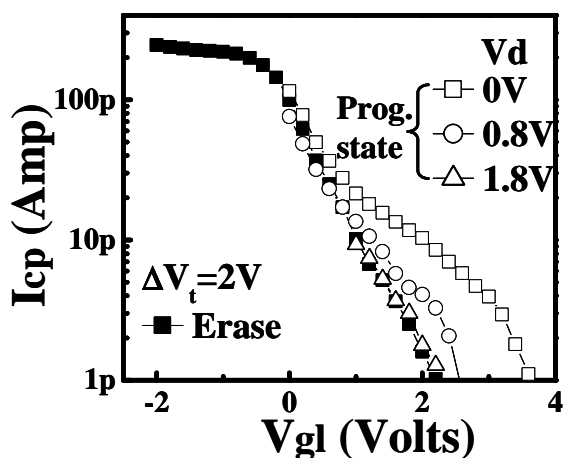
圖一、雙位元儲存氮化矽快閃式記憶元件與電荷幫浦量測技術示意圖。在基極的虛線表示汲極電壓造成的空乏區。ONO層的厚度分別為9nm (上氧化層), 6nm 與6nm。



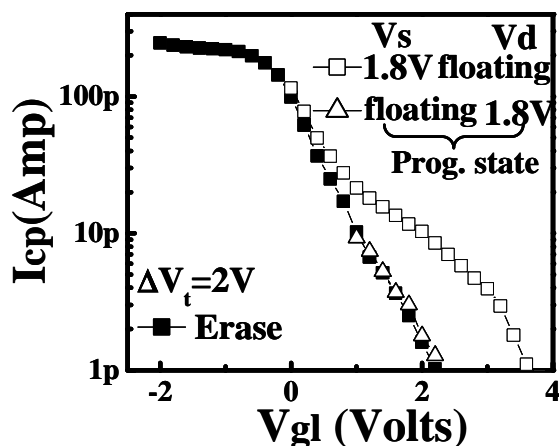
圖二、分別為未受到寫入抹除傷害、寫入狀態與抹除狀態之電荷幫浦電流 vs. 低準位電壓之對應圖。臨界電壓差為 2V。電荷幫浦量測時汲極電壓為 0V。



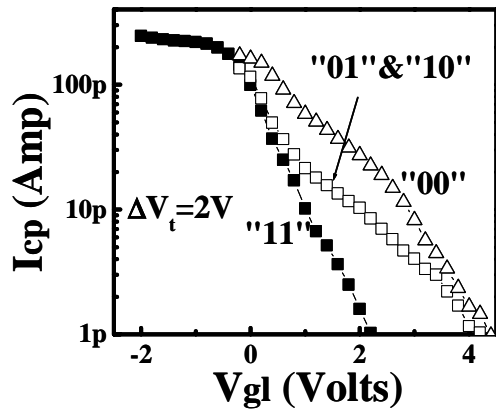
圖三 寫入狀態電荷幫浦電流突起部分隨臨界電壓窗增加而增加。這是由於儲存電荷增加的緣故。



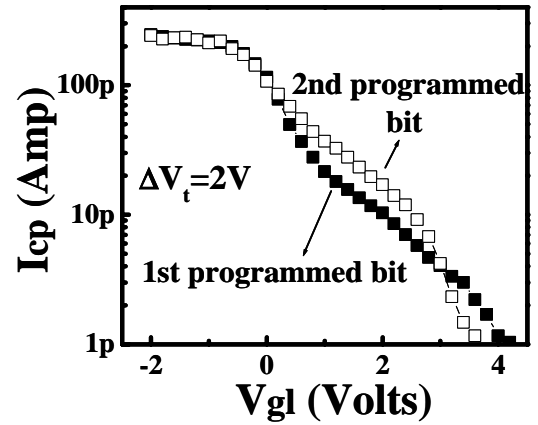
圖四 寫入狀態電荷幫浦電流突起部分隨汲極電壓增加而減少。臨界電壓差為 2V。



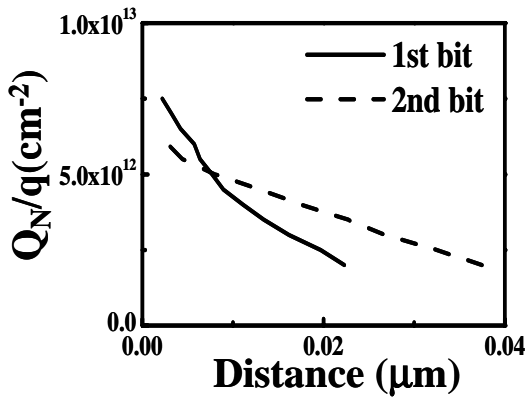
圖五 寫入狀態電荷幫浦電流量測。汲極電壓為 1.8V & 源極電壓浮接；源極電壓 1.8V & 汲極電壓浮接。



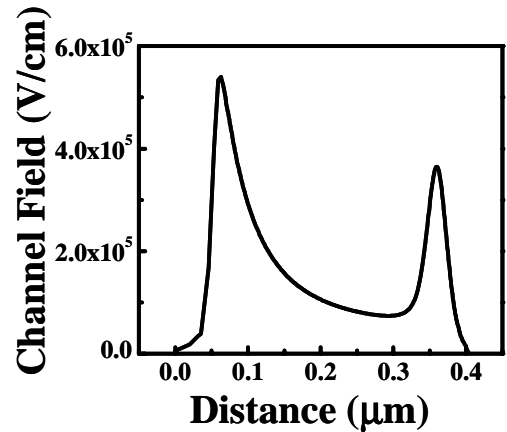
圖六、雙位元儲存元件資料的四種狀態，"11"、"10"、"01"和"00"之電荷幫浦電流。"11"表示為雙位元都處於抹除狀態而"10"表示一個位元為寫入，一個位元為抹除狀態。



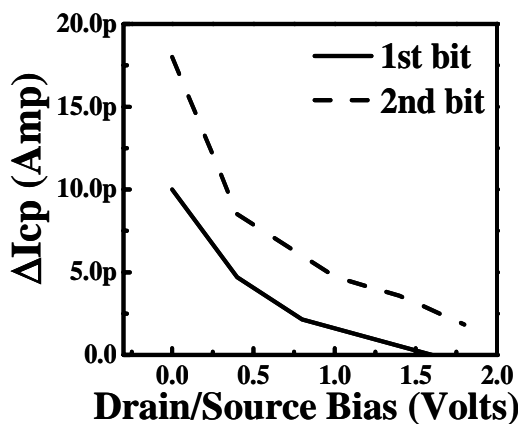
圖七、比較第一寫入位元與第二寫入位元之電荷幫浦電流。在量測第二位元電荷幫浦電流時，第一位元是在抹除狀態。



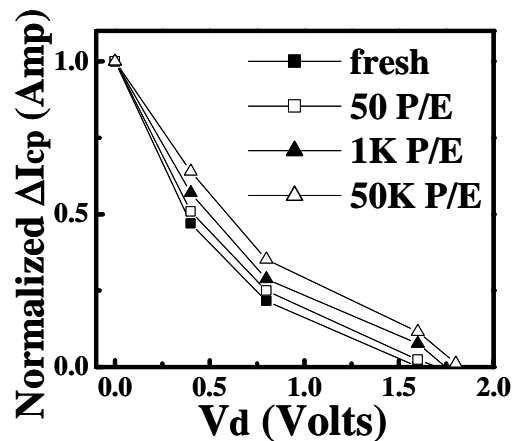
圖八、第一寫入位元之寫入電荷與第二寫入電荷之水平分佈。假設界面缺陷隨著通道位置為均勻分佈。Icp,max 為 195pA。



圖九、二維模擬第二位元寫入時之電場分佈。x=0 表示 n<sup>+</sup>源極端，而 x=0.4 表示 n<sup>+</sup>汲極端。第二位元寫入時之閘極電壓與源極電壓分別為 11V 與 6.5V。



圖十、第一寫入位元與第二寫入位元電荷幫浦電流差與汲極源極偏壓關係圖。



圖十一、電荷幫浦電流差與寫入抹除次數之關係圖。電荷幫浦電流差在 Vgl=1.6V 時量測。