

行政院國家科學委員會專題研究計畫 期中進度報告

高介電氧化層奈米 CMOS 元件可靠性關鍵問題及界面量測技術研究(1/2)

計畫類別：個別型計畫

計畫編號：NSC92-2215-E-009-059-

執行期間：92年08月01日至93年09月30日

執行單位：國立交通大學電子工程學系暨電子研究所

計畫主持人：莊紹勳

計畫參與人員：陳信榮，顧子強，李冠德，劉又仁

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 4 月 6 日

高介電氧化層奈米 CMOS 元件可靠性關鍵問題及 界面量測技術研究(1/2)

Key Reliability Issues and Interface Characterization Techniques for
High Gate Dielectric Nano-CMOS Devices

計畫編號：NSC92-2215-E009-058

執行期限：92 年 08 月 01 日至 93 年 07 月 31 日

主持人：莊紹勳 國立交通大學電子工程學系

一、中文摘要

美國 ITRS (SIA) Roadmap 指出，到了西元 2005 年元件通道長度將進展到 75nm，而閘氧化層厚度將縮為 10~15Å。因此，如何成長高品質的 10~15Å 氧化層是一大關鍵，尤其是可靠性的量測技術，相當欠缺。截至目前，有幾種量測氧化層可靠性的方法，如 DCIV, Gated-Diode (GD)、charge pumping(CP) 等。然而，它們受限於量測時導致大量的閘極穿隧漏電流(gate leakage tunneling current) 而產生嚴重誤差。本計劃即著眼於此，將開發出適用於 SION 超薄閘氧化層結構奈米 CMOS 元件可靠性分析的二種新方法。

第一種方法是利用差頻電荷幫浦法(IFCP)，以及一個氧化層電荷中和程序可以用來得到閘極通道中，界面陷阱和氧化層缺陷的分布情形。使用差額電荷幫浦法可以有效移除掉在超薄氧化層下的漏電成分，使得我們可以更正確的決定缺陷的數量。另外利用這個方法我們可以得到對稱性和非對稱性的 NBTI 影響。

第二種方法是改良的閘二極體方式，稱為低漏電閘二極體方法(L²-GD, Low Leakage Gated-Diode)。它可量出延著通道的氧化層陷阱及電荷，以電流表示之。進而，可用於研究氧化層氮化，對 p-MOSFET 元件負偏壓高溫度之不穩定性(NBTI)特性的探討。這二種方法，均已成功運用於 10-20A 氧化層的次 100 奈米 CMOS 元件的量測上。

關鍵詞：超薄閘氧化層、量子穿隧效應、閘極漏電流、氧化層界面缺陷、氧化層陷阱、奈米 CMOS 元件技術、負偏壓高溫度之不穩

定性、電荷幫浦技術、閘二極體方法。

Abstract

As device scaling continues, the sub-100nm CMOS device needs a t_{ox} in the range of 10-15Å and with 75nm gate length in 2005, as predicted from the SIA roadmap. How to grow oxide as 10-15Å is the key, in particular, the monitoring of interface traps (N_{it}) and oxide trapped charges (Q_{ot}) in the ultra-thin gate oxide. So far, various gate oxide reliability diagnostic tools, such as DCIV, GD(Gated-Diode), CP (Charge- Pumping) etc. have been employed for such a purpose. For ultra-thin gate oxide of 20Å and beyond, the above methods are limited by the tunneling leakage through the gate oxide during the measurement since direct tunneling exists. This project has been focused on developing new techniques for the measurement of ultra-thin gate oxide sub-100nm CMOS devices. We have successfully developed two methods, a new charge pumping method and an improved gated-diode measurement technique.

This first approach is called Incremental Frequency Charge Pumping (IFCP) method. It has been implemented for determining the interface traps in ultra-short gate length CMOS devices with ultra-thin gate oxide in the direct tunneling regime, 12-16A gate oxide. The leakage current in the gate oxide can be removed from the measured CP current, which enables accurate determination of the interface traps. This method has been demonstrated successfully for characterizing the symmetrical and assymetrical NBTI effects.

The second approach is called Low gate Leakage Gate-Diode (L²-GD) method, in which the distribution of interface traps along the channel, can be easily obtained from this L²-GD method. Also, by using this new technique, the localized oxide damage due to NBTI stress effect can be identified simply from the measured drain currents. Therefore, both types of approaches, IFCP and L²-GD techniques are well suited for the characterization of CMOS reliabilities, and in particular for the sub-100nm CMOS devices with gate oxide in the range 10-20A.

Keywords: ultra-thin gate oxide, quantum tunneling effect, gate leakage current, oxide interface traps, oxide traps, nano-CMOS device technology, NBTI, charge

pumping technique, Gated-diode method.

二、計劃緣由與目的

CMOS 元件製程技術發展迄今，面臨到一個重大的可靠性課題，亦即隨著元件尺寸縮小，元件閘氧化層跟著微縮(*scaling*)，美國 ITRS (SIA) Roadmap 指出，到了西元 2005 年元件通道長度將進展到 75nm，而閘氧化層厚度將縮為 10~15Å。此一微縮的結果，使得半導體製程中，最關鍵的閘氧化層技術，變得更為困難，因為傳統閘氧化層存在大的閘極穿隧漏電流(*gate leakage tunneling current*)。因此，傳統閘氧化層(*oxide*)*scaling* 以後，如何降低 *gate leakage current*，成為 CMOS 技術首先要克服的問題。尤其，近年來的諸多研究顯示，要降低這個量子穿隧電流，製程上有二種途徑，例如，採用 high-K 介電質，提高 Physical Oxide 厚度卻獲得較小的 EOT [1-3]，或是高劑量的氮化製程以增加 k 值來降低 *leakage current* 等 [4-5]。在現階段，high-K 閘氧化層材料特性以及它的製程相容性、材料的穩定性等問題，多屬於研究階段，所以遲遲未能成為工業生產的主流技術。

另一方面，我們則看好傳統的 SiO₂ 技術加上 *nitridation* 的 SION 結構，將可能成為工業界的主流技術。隨著 CMOS 元件技術的進步，我們已到了 sub-100nm 及更短 *channel length* 的技術層次，在 20Å 至 30Å 之間的純 SiO₂ 閘極氧化層仍是工業界的主流技術，10Å 至 20Å 的研究，係以 SION 較為可行，其中高劑量氮化製程的使用 [4-5]，有多項優點：如 SiO₂ Radical-Nitridation [5] 或 Remote Plasma Nitrided (RPN) oxide [6] 技術來降低 *gate leakage current*，抑制 Boron penetration，提高 ON current 及降低 NBTI (Negative Bias Temperature Instability) [7] 等特性。這當中，Nitrogen 存在於 Si-SiO₂ 界面或氧化層裡面，造成氧化層界面缺陷，Interface trap (*N_{it}*) 及氧化層陷阱，oxide traps (*Q_{ot}*)，是這類技術成敗的主要關鍵。然而，oxide 的 quality 及可靠性的分析方法，如傳統的 TDDB, CV, lifetime 量測，大致上都有人研究過，唯獨欠缺對於氧化層界面及方法的研究，如 *N_{it}* 及 *Q_{ot}* 的 *profiling* 等，因此對於 Nitrogen 存在於

界面，其物理機制(*mechanism*)及它如何影響元件 *performance and reliability*，則尚待深入探討。

近年來，本研究群在氧化層界面及其可靠性的研究方法 [8-18] (*N_{it}* 及 *Q_{ot}* 的 2D *profiling*)，有一系列探討，在沒有 *gate leakage tunneling current* 的情況下，大致已發展完成，這當中包含 *charge pumping* (CP) 及 *gated-diode* (GD) 量測方法，這些研究，對於 *t_{ox}* = 25Å 或 30Å 以上的元件可靠性分析，都足以應付。

基本上，對於超薄氧化層 (20Å 以下或更薄) 的傷害及缺陷分析的相關研究上，由於量子化效應 (*Quantum-Mechanical Effect*) [19] 及量測時出現 *gate leakage current*，這使得上述 CP 及 GD 傳統分析方法無法再使用，蓋因，閘極漏電流 (*gate leakage tunneling current*) 已與量得的 *charge pumping current* (*Substrate current*) 或 *gated-diode measured current* 的大小 (*order*) 相當，使得閘氧化層的量測及理論分析上，變得較為複雜，而需要大翻修。

本計劃即著眼於此，發展下一代 sub-100nm *channel length* 具有超薄氧化層 CMOS 元件的可靠性分析方法研究，這當中結合了 SION 超薄氧化層 CMOS 元件為測試樣本，以我們已發展的 CP 及 GD 傳統分析方法為基礎，嘗試改善原有及發展新的方法，用於研究 sub-100nm SION 超薄氧化層 CMOS 元件的可靠性研究，以尋找出適合下一代元件使用之超薄閘氧化層可靠性新的分析方法。

三、結果與討論

本計劃重新修正我們之前已發展完成的氧化層界面分析方法，開發出適用於 SION 超薄閘氧化層結構奈米 CMOS 元件可靠性分析的二種新方法。

第一種方法是改良的電荷幫浦法，稱為差頻電荷幫浦法 (IFCP, *Incremental Frequency Charge Pumping*) [20]。第二種方法

是改良的閘二極體方式，稱為低漏電閘二極體方法 (L^2 -GD, Low Leakage Gated-Diode)[21]。各項結果分述如下：

(1) 目前電荷幫浦技術的發展

基本上,電荷幫浦技術主要是被使用於求延著通道方向 N_{it} 和 Q_{ot} 的 profiling。元件的可靠性和這些界面缺陷和氧化層陷阱的關係可以被決定。當氧化層厚度持續的縮減，漏電流的量隨之增加，將導致在超薄氧化層量測上的錯誤。我們發展出一種新的電荷幫浦方法，可以使用於當氧化層厚度小於 12\AA 時的量測，這新的方法稱做增量頻率電荷幫浦法 (IFCP)，適用於超薄閘氧化層可靠性分析量測上。

A. 低漏電電荷幫浦法的原理

Fig. 1(a)顯示適用於 pMOS 元件中低漏電差額電荷電荷幫浦法的設定和發生在超薄氧化層中閘極(Gate)到基體(Bulk)的漏電成分 I_{GB} ，以及顯示應用固定 high-level 的閘極脈衝來量出 CP 電流。Fig. 1(b)顯示正常($tox>30\text{\AA}$)和異常($tox<30\text{\AA}$) CP 電流，可以看到當 $tox<30\text{\AA}$ 時,穿隧電流發生在閘極和基部之間。這個漏電成分會影響計算界面缺陷量的正確性。

Fig. 2 顯示差頻電荷幫浦法(IFCP)的步驟。對於我們的測試樣本($EOT=16\text{\AA}$)，曲線(1)和曲線(2)都有漏電流的成分。我們使用這個方法是以兩種不同的頻率來量 CP 電流。舉例來說，首先，我們測量在兩個不同頻率($f_1=1\text{MHz}$ and $f_2=500\text{KHz}$)下的 I_{cp} 如 Fig. 2，從這兩者我們可以得到 I_{cp} 的差額。這個 I_{cp} 變成在一個新頻率($f_1-f_2=500\text{KHz}$)下 I_{cp} 的值。這個正確的結果顯示在 Fig. 2 中的曲線(3)。

B. 界面陷阱和氧化層缺陷在閘極通道方向上的分布

分離界面陷阱和氧化層缺陷的步驟如下所示：

1. 在 Fig. 3 中對於一個新的元件，汲極電流($V_G=-2V$)被量測到，如曲線(1)。這元件再被 stress 後，它的電流如曲線(2)。
2. 為了確定氧化層電荷是否有產生，我們觀察 GIDL 電流，如 Fig. 4，從曲線(1)和曲線(2)之間的平移相當於臨界電壓的平移，皆是氧化層電荷所造成的。一個中和氧化層電荷的方法以兩個步驟來達成。這會使得曲線(3)平移回到曲線(1)的位置。
3. 在這同時， I_{CP} 被測量到如 Fig. 5，曲線(1)和曲線(3)之間的差值可以給出界面陷阱的量。另外，曲線(2)和曲線(3)之間的差值可以給定氧化層缺陷的量。
4. 一個 local 臨界電壓的分布，可以利用 Table I 中方程式(3)來求得。利用 Table I 可以把界面陷阱和氧化層缺陷的分布情況完整的求得。

結果顯示在 Fig. 6，汲極端接面位於 $\Delta L/2=0.02\mu\text{m}$ (Fig. 10)。 $I_{B,max}$ 和 $V_G=V_D$ stress 的比較顯示在 Fig. 7，這和 Fig. 8 中汲極電流衰減的情況有一致性，其中 $V_G=V_D$ 的 stress 條件有較大的汲極電流衰減。Fig. 9 中，比較兩種不同電漿密度，樣本 RPN2 有較少 N_2 的含量，stress 後有較少量的界面陷阱分布。

C. pMOSFET NBTI 特性的應用

為了更進一步發揮此方法的優點，可以應用於 NBTI 所產生的退化情況之研究。有兩種不同模式的 NBTI。對於對稱性的 NBTI，一個負偏壓加諸於閘極，另外汲極、源極和基板都接地。Fig. 11 顯示界面陷阱在 80°C 下的分布情況。對於非對稱的 NBTI， $V_G=V_D$ stress 在 80°C 下。量測得到的汲極電流和 GIDL 電流其過程都相似於 Fig. 3 和 Fig. 4, 如 Fig. 12 所顯示。從 Fig. 11 和 Fig. 13，我們可以看到界面陷阱被大大的提高在汲極接面處，這包含了 NBTI 和 HC 的影響。Fig. 14 中，因為樣本 RPN2 有含量較少的 N_2 所以有較少量的界面陷阱。我們觀察到的 NBTI 影響的結論有下列幾個(1)對稱性的 NBTI 影響

將會產生雙倍的峰在汲極和源極接面區域 (Fig. 11), (2) 在非對稱的 stress 的條件下, 界面陷阱被大量的提昇, NBTI 和 HC 的影響在汲極端都可以看得到 (Fig. 13), (3) 復原效應的結果, NBTI 產生的氧化層電荷被 de-trap 回基板, 因此 NBTI 導致的退化中, 界面陷阱是主要的機制。

(2) p-MOSFET's 的進階 NBTI 研究

隨著元件尺寸不斷地縮小, p-MOSFET 中在 NBTI 偏壓下所產生的介面缺陷成為可靠度分析中一個極重要的話題。傳統的 NBTI 研究中, 都是在高溫時給予 p-MOSFET 的閘極一個負值的定電壓。不過當 p-MOSFET 在 CMOS 反相器操作時, 閘極偏壓卻是在“高”“低”電壓之間切換。因此, 探討如上述的

動態加壓狀況下的 NBTI 也就更顯得重要。傳統的靜態 NBTI 實驗會忽略了 p-MOSFET 操作過程中的“低”電壓對介面缺陷的鈍化效應 (passivation effect), 也就是說“低”電壓的操作會減輕“高”電壓操作時對元件所產生的傷害, 因而傳統 NBTI 分析常會高估了 p-MOS 元件的劣化程度。這部分的計畫主題也就是為了正確估計 p-MOSFET 真實操作下的 NBTI 效應, 而做了靜態和動態 NBTI 實驗的比較, 除此之外還觀察並重點討論其中的恢復效應 (recovery behavior), 兼且利用 ALD 和 PLASMA 等不同氧化層結構的元件來做更進一步的分析, 其中值得注意的是針對 PLASMA 元件氧化層中的不同氮濃度所做的 NBTI 探討。

A. NBTI 對不同製程的影響

現今元件在氧化層厚度不斷縮小的趨勢下, 有許多不同製程方法例如 high-K, 電漿氮化氧化層 (plasma nitridation oxide) 與原子層堆積 (ALD) 氮化氧化層等被發展出來, 這些製程最主要的目的就是要解決閘極介電質的漏電問題。一般降低值極介電質漏電的方法中, 最常使用的方法就是在二氧化矽閘極介電質中加入氮元素, 然而已有研究顯示氮

的成分愈靠近通道, 則對於 PMOS 在高溫的特性衰減會愈嚴重。接下來將探討 NBTI 對於電漿氮化氧化層與原子層堆積 (ALD) 氮化氧化層這兩種不同閘極介電質製程的影響。在 Fig. 15 中, 對這兩種製程的元件在高溫做直流偏壓的 stress 來看起始電壓的變化, 可以明顯看出 ALD 製程有較好的 NBTI 抵抗能力, 另外, 若在電漿氮化製程中氮的成分愈濃, 則 NBTI 的效應會愈嚴重。另外, 在 Fig. 16 中對這兩種製程的元件做完 stress 後看它們的回復 (recovery) 情形, 可發現電漿製程中氮濃度愈濃, 起始電壓回復的速率也愈快。因此我們可以推測在電漿氮化製程中, 除了離子轟擊造成介電質的傷害外, 氮元素也將比 ALD 製程更靠近 PMOS 的通道, 因而造成更嚴重的 NBTI 效應。

B. Dynamic NBTI stress

一般電路的 PMOS 的閘極電壓是在正負交替的狀態下操作, 而不是一般 NBTI 實驗中的負的定電壓操作, 因此我們利用 1000 秒為週期的正負偏壓操作, 來模擬一般 PMOS 在正常操作下的情形。在這裡我們利用 Charge Pumping 量測方法來看 plasma 和 ALD 製程下的元件, 在 NBTI 的條件下, Nit 的變化情形。並且我們也在這樣的操作條件下, 觀測起始電壓的變化情形。在這裡的量測條件都是在高溫下進行, 以避免加溫或降溫過程中產生任何的變化, 另外, 其中的 I_{cp} 值是將量測的電流值扣掉極低頻下的電流值, 來作為實際的 I_{cp} 電流值, 以避免 stress 後造成漏電的增加, 而影響 Nit 的估計。在 Fig. 17 中, 我們在閘極加上 -2V 的偏壓作為 NBTI stress 的偏壓, 以 2V 作為 PBTI 的偏壓, 圖中分別比較 plasma 和 ALD 這兩種製程元件起始電壓的變化, 我們發現 ALD 有較少的電壓變化量, 另外, 我們在圖中可發現, 在 plasma 製程中, 氮濃度越濃, 在 NBTI 的週期下, 起始電壓的變化量會越大, 然而在 PBTI 的週期下, 起始電壓的回復量反而減少。另外在 Fig. 18 中, 我們可以發現 plasma 製程的 Nit 的變化較 ALD 製程嚴重, 由 Fig. 19 和 Fig. 20 可以發現介電質中氮的濃度越濃, 在經過多次 NBTI 和 PBTI 的週期後,

Nit 的總量增加會越大。由 Fig. 19 和 Fig. 20，在此我們可以推測，起始電壓的 recovery 效應，的確是和 Nit 有關聯。為了證明造成 recovery 的物質是否帶有電性，我們可由 Fig. 21 的實驗來證明在這實驗中，我們是利用 ALD 製程的元件，在 NBTI 和 PBTI 的週期中，在閘極分別加入不同的偏壓，來看起始電壓的變化，我們可以發現此項物質在閘極偏壓較大的情形下，對元件的起始電壓變化會造成較大的變化，因此我們可以斷定此種物質帶有正電，而唯一的可能，就是氫離子。在這一系列的實驗中，為了降低閘極漏電又要減低元件在操作時的 NBTI 效應，唯一的選擇就是將氮元素遠離 PMOS 的通道，且要維持底層氧化層的緻密性，才能使元件維持良好的操作，因此我們建議選擇利用 ALD 製程作為深次微米元件閘極介電質的製程方法。

C. 結果與討論

由前述的結果可知，高濃度電漿氮化製程對 0.1 微米以下超薄氧化層元件的設計上，仍有諸多的缺點。即使元件的漏電流大幅度的被降低外，但是付出的代價除了因為含了 Si_3N_4 多氧化層缺陷的材料特性外，另外也造成晶圓生產上因為電漿製程傷害造成的良率/品質/電特性的分佈不均；如何開發出一套新的高濃度電漿氮化製程設備，可以有效的降低不勻稱的結果，將會是未來半導體設備的研發重點，也是未來 0.1 微米以下元件設計之關鍵技術

四、計劃成果自評

本計劃第一年，發展出一套適合 sub-100nm CMOS 且有 nitridation 的 SION 結構超薄閘氧化層分析方法，用以提供未來 (0.1 微米以下) CMOS 元件閘氧化層技術的可靠性分析，以建立下一代元件技術採用

SION gate dielectric CMOS 元件之設計準則

研究的成果已發表一篇 VLSI、一篇 IRPS 及一篇 IEDM 論文[20-22]。二項國內外專利審核中。而在工業界，可應用於最新 0.1 微米以下之新世代 CMOS 元件之可靠性設計分析上，有實質的經濟效益。所以，本計劃的完成，將對學術研究水準的提昇及工業界的實際應用上都有莫大的助益。

五、參考文獻

- [1] K. Yoshikawa, in *IEDM Tech. Digest*, pp. 11-14, 2000.
- [2] H.-J. Cho et al., in *IEDM Tech. Digest*, pp. 655-658, 2001.
- [3] X. Guo et al., in *IEDM Tech. Digest*, pp. 137-140, 1999.
- [4] K. Eriguchi et al., in *IEDM Tech. Digest*, pp. 323-326, 1999.
- [5] M. Togo et al., in *Symposium on VLSI Tech.*, pp. 81-82, 2001.
- [6] M. Rodder et al., in *IEDM Tech. Digest*, pp. 623-626, 1998.
- [7] N. Kimizuka et al., in *Symposium on VLSI Tech.*, pp. 73-74, 1999.
- [8] S. S. Chung et al., in *Tech. Digest of International Electron Device Meeting (IEDM)*, pp. 295-298, 1997.
- [9] S. S. Chung et al., in *Symposium on VLSI Tech.*, pp. 111-112, 1997.
- [10] S. S. Chung et al., in *Symposium on VLSI Tech.*, pp. 19-20, 1999.
- [11] S. S. Chung et al., in *Symposium on VLSI Tech.*, pp. 103-104, 1995.
- [12] S. S. Chung et al., *Proc. of International Reliability Physics Symposium (IRPS)*, pp. 249-252, 1999.
- [13] S. S. Chung et al., *Proc. of International Reliability Physics Symposium (IRPS)*, pp. 389-393, 2000.
- [14] S. S. Chung et al., *Proc. of International Reliability Physics Symposium (IRPS)*, pp. 419-424, 2001.
- [15] S. S. Chung et al., *Proc. of SSDM*, pp. 841-843, 1993.
- [16] S. -J. Chen et al., *Proc. of SSDM*, pp. 16-17, 2000.
- [17] S. S. Chung et al., *IEEE Trans. on Electron Devices*, Vol. ED-46, pp. 1371-1377, 1999.
- [18] G. H. Lee et al., *IEEE Trans. on Electron Devices*, Vol. ED-43, pp. 898-903, 1996.
- [19] C. Choi et al., in *Symposium on VLSI Tech.*, pp. 63-64, 1999.
- [20] S. S. Chung et al., in *Symposium on VLSI Tech.*, pp. 74-75, 2002.
- [21] S. S. Chung et al., *IEDM Tech. Digest*, pp. 513-516, 2002.
- [22] S. J. Cheng et al., *Proc. IRPS*, pp. 203-207, 2003.

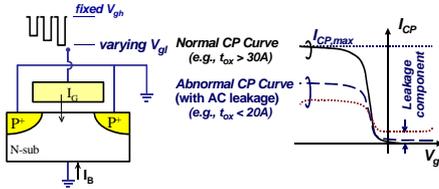


Fig. 1 (a) The schematic of charge pumping (CP) setups. (b) Normal and abnormal CP curves.

$$\Delta I_{CP} = qfW \int N_{it}(x) dx \quad (1) \quad \frac{dV_{g1}}{dx} = \frac{dV_{g2}(x)}{dx} \quad (3)$$

$$N_{it} = \frac{1}{qfW} \frac{dI_{CP}}{dV_{g1}} \frac{dV_{g1}}{dx} \quad (2) \quad N_{it}(x) = Q_{ox}(x)/q = \frac{C_{ox} \Delta V_G}{q} \quad (4)$$

Table I Equations used to calculate the distribution of N_{it} and N_{ot} .

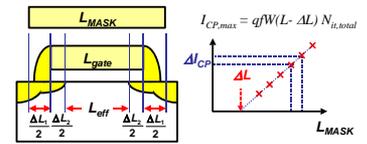


Fig. 10 (a) Definition of L and ΔL . (b) The method to extract the lateral junction of S/D junction. Calculated $\Delta L = 0.04 \mu m$ in this work.

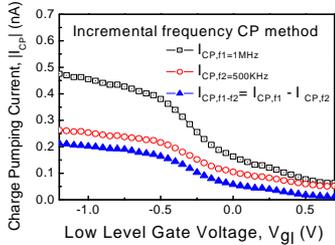


Fig. 2 Measured I_{CP} at two different frequencies. The low leakage IFCP method is achieved by subtracting I_{CP} at two successive frequencies.

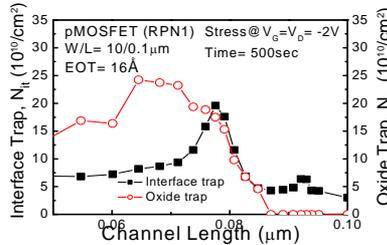


Fig. 6 Calculated Lateral distribution of N_{it} and $N_{ot}(=Q_{ox}/q)$ along the channel length.

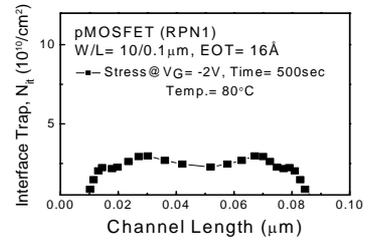


Fig. 11 Symmetrical NBTI stress where D and S are grounded and $V_G = -2V$, stressed at $T=80^\circ C$. N_{it} distribution with double-hump can be seen at S/D side.

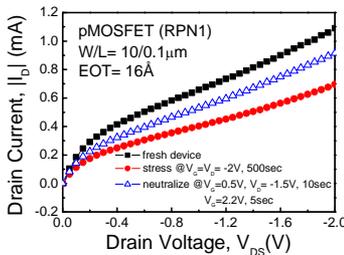


Fig. 3 Measured I_D currents for a fresh(1), stressed(2), and after neutralization(3) under $V_G = V_D$ stress.

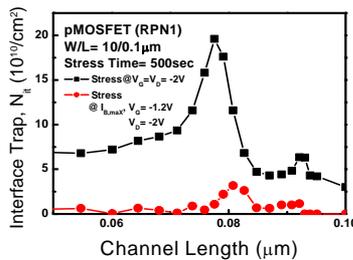


Fig. 7 Comparison of N_{it} distribution between $I_{D,max}$ and $V_G = V_D$ stress conditions. Note that $V_G = V_D$ has larger values of N_{it} .

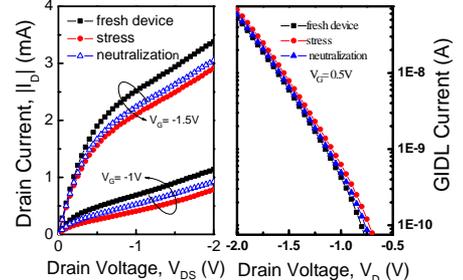


Fig. 12 NBTI experiment. (Left) Drain currents for fresh, stressed, and after neutralization. N_{it} is dominant from these curves. (Right) The neutralization procedure is similar to Fig. 5.

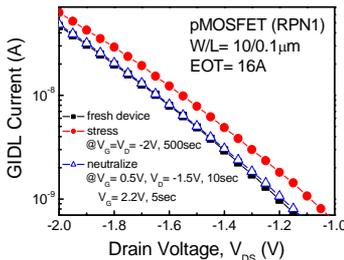


Fig. 4 Measured GIDL currents for fresh, stressed(2), and after neutralization(3). Note that hole trap is eliminated in the neutralized step.

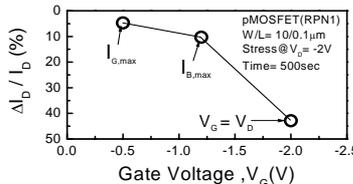


Fig. 8 Measured device I_D degradation at $I_{D,max}$ and $V_G = V_D$ stress conditions, where $V_G = V_D$ shows the largest degradation

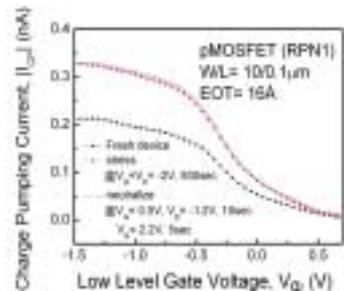


Fig. 5 Measured I_{CP} - curve(1) fresh, curve(2) stressed. Curve(3) after neutralization.

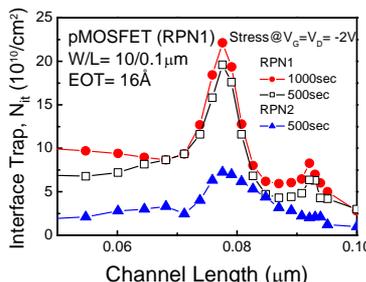


Fig. 9 Comparison of the generated N_{it} for two different plasma nitride samples, where RPN2 reliability has been improved with lower plasma density.

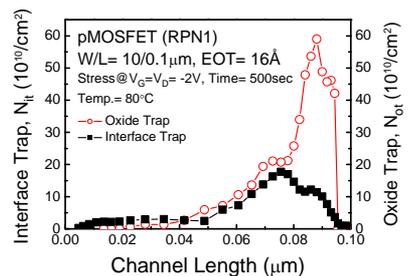


Fig. 13 Calculated N_{it} and N_{ot} distributions after asymmetrical NBTI stress, where N_{it} is dominant of the device degradation since N_{it} larger values inside the channel region.

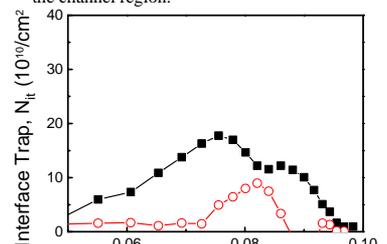


Fig. 14 Comparison of N_{it} distribution for two samples under NBTI stress. Note that RPN2 has a lower plasma nitridation density and hence a better reliability.

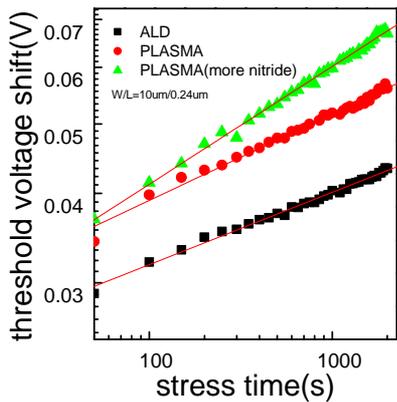


Fig. 15 Vth degradation after $V_g=-2V$, 100C, NBTI stress

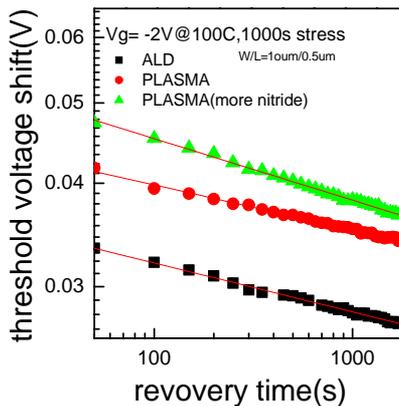


Fig. 16 Vth recovery at 100C, after $V_g=-2V$, 100C, NBTI stress

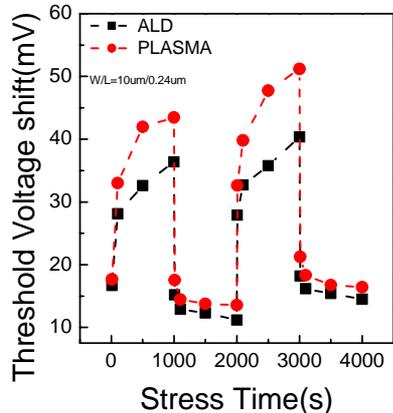


Fig.17 $V_g=-2V$ NBTI stress and $V_g=2V$ PBTI stress at 100C

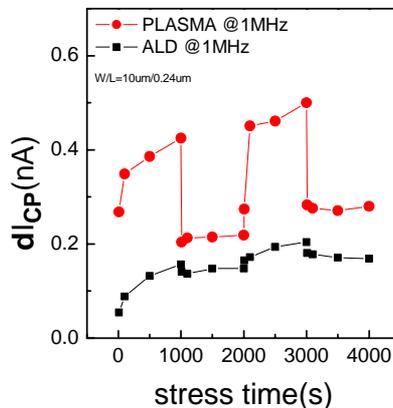


Fig.18 $V_g=-2V$ NBTI stress and $V_g=2V$, PBTI stress at 100C, charge pumping was measured at 1MHz

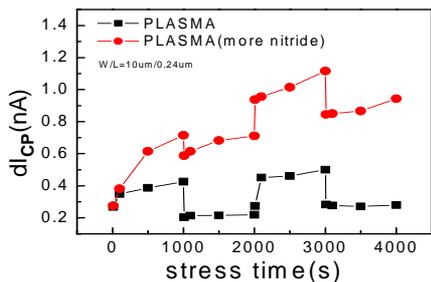


Fig. 19 $V_g=-2V$ NBTI stress and $V_g=2V$ PBTI stress at 100C, charge pumping was measured at 1MHz

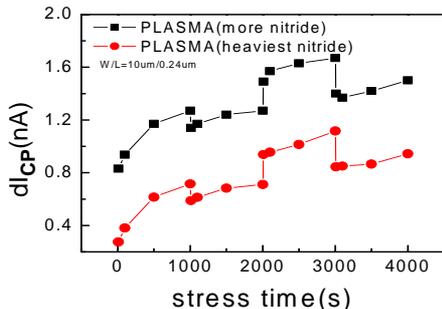


Fig. 20 $V_g=-2V$ NBTI stress and $V_g=2V$ PBTI stress at 100C, charge pumping was measured at 1MHz

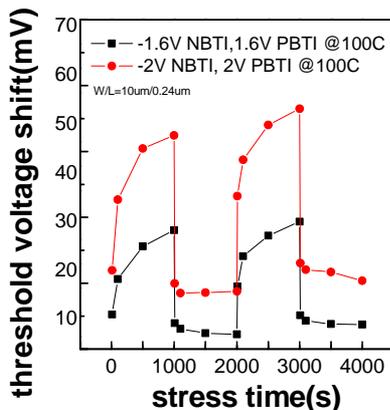


Fig. 21 Dynamic NBTI with different gate bias for 13A ALD p-MOSFET