

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫八：針對低功率設計考慮 RLC 藕合效應的連線最佳化

(1/3)

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-009-031-

執行期間：92年11月01日至93年07月31日

執行單位：國立交通大學資訊科學學系

計畫主持人：李毅郎

共同主持人：周景揚

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 93 年 6 月 1 日

行政院國家科學委員會專題研究計畫期中報告

低功率系統之設計及自動化總計畫

子計畫八

針對低功率設計考慮RLC藕合效應的連線最佳化

RLC coupling-Driven Interconnection Optimization for Low Power Design

計畫編號：NSC 92-2220-E-009-031-

執行期限：92/11/01 ~ 93/07/31

執行單位：交通大學資訊科學系

主持人：李毅郎

E-mail:ylli@cis.nctu.edu.tw

一、中文摘要

低功率設計對現在的超大型積體電路設計是一項不可或缺的技术，它可以使晶片容納更多的電晶體，增加電池的使用壽命，更可以降低冷卻系統的成本。在此我們從佈局來考量低功率的議題。在深次微米製程裡，連線延遲主導了整個路徑的延遲，所以一條長訊號的繞線品質不好會產生過多的延遲和多餘的功率消耗。同時，不適當的繞線也會增加造成藕合效應的機率而導至額外的功率消耗和信號完整的問題。本子計劃的第一年目標是要設計一個考慮藕合效應的非網格式點對點繞線器。

英文摘要

Low power design is an indispensable technique for modern VLSI circuits. It can embed more transistors in a chip, lengthen the operation time of a battery system, and reduce the cost of cooling system. Here, we consider this issue in the layout-design stage. Interconnection delay dominates a path delay while entering DSM era. The

bad-quality routing of a long wire can produce excessive delay as well as more power consumption. Also, inappropriate routing of a long wire increases opportunities for coupling effects, which bring extra power consumption and the problem of signal integrity. The goal of this project in the first year is to design a RLC coupling -driven gridless point-to-point router.

二、計畫的緣由與目的

低功率設計是現代積體電路設計不可忽視的。隨著製程不斷的進步，單位面積可容納的電晶體及線路呈倍數的成長。積體電路的頻率已邁向十億赫茲的時代，伴隨而來的麻煩便是功率的不斷提高，這是現今晶片設計進步的最大瓶頸。而減少功率消耗可從多方面著手，如製程、封裝、電源管理，良好的設計等。這裏，我們在佈局設計自動化中考量低功率設計。其中繞線器是一個很重要的階段，不好的繞線品質代表需要較長的線路來完成繞線，增加訊號延遲和多餘的功率消耗。所以繞線長度向來是繞線器最在乎的成本。然而近來雜訊也

是實體設計考量的重點[1]。隨著線寬和線距愈來愈小與工作頻率的提高，電容電感的耦合效應使得訊號間的干擾造成訊號壓降不必要的轉變(glitch)與延遲的增加與減少而造成建立時間(setup time)與保持時間(hold time)的錯誤。因此避免訊號間的耦合效應以降低訊號壓降不必要的變換可有效減少功率的消耗。增加導線間間距及線寬可用來解決訊號間耦合效應的問題，與傳統網格式繞線器相較，非網格式繞線器更適合處理不同線寬與線距變化的繞線問題[2]。本計劃的第一年目標是建置一個考慮RLC耦合效應的非網格式點對點繞線器，可應用在後端變更設計(ECO)上。

三、研究方法

之前已有很多有關非網格式繞線器的研究[3][4][5][6][7][8][9][10][11]。主要可分為方塊模式(Tile-Based)和連通圖模式(Connection graph)。使用方塊模式的繞線器又稱為形狀式繞線器(Shape-based router)；而使用連通圖模式的繞線器又稱為非規律網格式繞線器(Nonuniform grids router)。這兩種模式基本上都可視為由許多節點與節點之間的連線所組成的圖形。繞線器便是從圖形中找出最好的路徑。通常圖形節點越少，問題複雜度越小也就能越快找到繞線路徑。而使用方塊模式所產生的圖形節點較少[11]，因此我們選用方塊模式來實做非網格式繞線器。而為了評估RLC耦合效應成本，我們需要可快速計算的模型。使用非常精確的電感解析方法是非常耗時間的[12]，並不適合用來做繞線的評估。我們知道有一些簡易的公式可用來計算[13][14][15]。其中共平面電感耦合的模型[15]，是誤差較小的，所以我們選用此模型來評估繞線時的耦合效應成本。

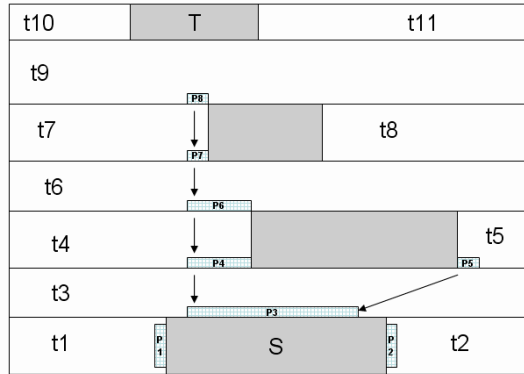
1. 方塊式繞線器

方塊式繞線器繞線器[10][11]是用邊角縫織(Corner Stitching)資料結構形式來儲存實體布局[16]；布局的實體幾何形狀和空間的區域會被切成一塊一塊的方塊，如圖一：灰色的方塊是布局的實體幾何形狀，白色的方塊是空間的區域。使用邊角縫織的好處是可以在常數時間內找到與某個方塊相鄰的方塊，方便將來作方塊傳播(tile propagation)動作，另一個好處是可快速搜尋指定範圍的方塊，在多層(multi-layer)繞線時可以有效的對相鄰繞線層作查詢動作，以決定是否能夠轉換繞線到相鄰的繞線層。以下簡介方塊傳播的過程，如圖一：方塊S和方塊T是我們要做繞線的出發點和目的地。首先在方塊S的相鄰方塊t₁, t₂, t₃分別產生路徑節點資料P₁, P₂, P₃，記錄相關位置及成本函式，成本函式是由來源成本和目標成本組成。來源成本為出發點到目前路徑節點所走的距離，可準確算出；目標成本由路徑節點到目的地的曼哈頓距離(Manhattan distance)來評估。一開始P₁, P₂, P₃的來源成本定為0，放入堆疊(Heap)中依總成本排序。接下來由總成本最小的P₃來做路徑節點的傳播 - 也就是方塊傳播。在t₃的相鄰方塊t₄, t₅產生新路徑節點P₄, P₅，分別計算其成本函式並使用倒退指標連到P₃。不斷的傳播路徑節點，直到遇到目標方塊。此時經由倒退指標可找到一組方塊串列：t₃-t₄-t₆-t₇-t₉，再交給路徑建構函式，建出一條最短距離及最少成本的路徑。

2. 在方塊傳播過程考慮耦合效益

我們知道考慮電容耦合效應時，一

般只需考慮相鄰的線路。但是電感耦合是大範圍的效應，不過可利用連接電源 /



圖一

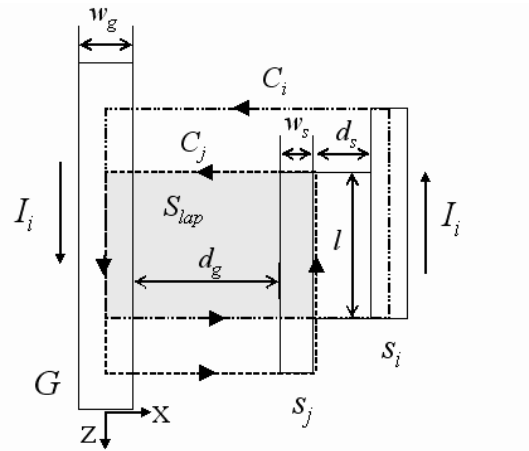
接地線路的屏障來限制影響範圍及大小。一般而言，在高頻率下，電感的返回電流路徑 (return current path) 會傾向找最近的電源 / 接地線路。假定原先的實體設計佈局中電源 / 接地線路是採用網格結構式 (grid structure) 來繞線 [17]，則我們可利用計算共平面電感耦合的模型 [15]，如圖二，來評估電感耦合的成本。以下為計算電感耦合的公式。

$$L_{ij} = \frac{l\mu_0}{2\pi} \left(\frac{1}{4} + \ln \left(\frac{(0.5w_g + d_g + w_s)(d_g + d_s + 1.5w_s)}{0.5w_g(d_s + 0.5w_s)} \right) \right)$$

其中， l 是重疊長度， w_g 是電源 / 接地線線寬， d_g 是訊號線與電源 / 接地線間距， w_s 是訊號線線寬， d_s 是兩訊號線間距。從公式中，我們知道影響電感耦合效應最大的因素是兩線路重疊的長度，重疊的長度越長，耦合效應越大。另外，線路離電源 / 接地線越近，電感耦合效應越小。

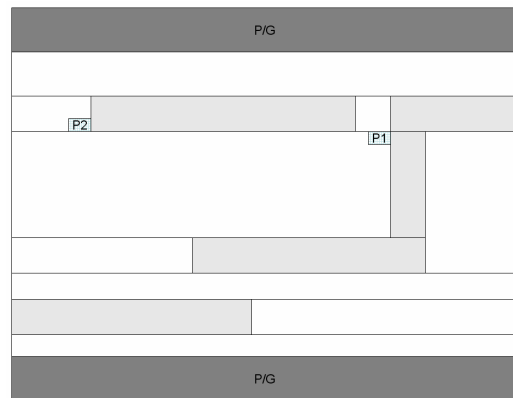
在路徑節點傳播的過程中，如圖三 (a)，當路徑節點 P1 傳播到 P2 時，依水平間距及最靠近的電源 / 接地線路所形成的範圍搜尋可能產生電感耦合效應的線路，如圖三 (b)。如果搜尋到的線路 S1 和我們要做 ECO 繞線的線路是敏感的，我們可找出 w_s, w_g, d_g, d_s, l 等參數如圖三

(c)，套用模型計算出電感耦合效應的成本。

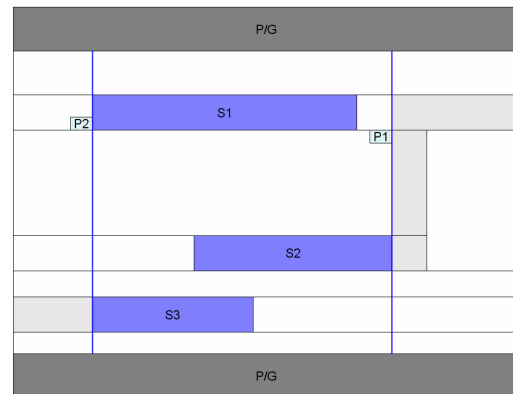


$$L_{ij} = \frac{l\mu_0}{2\pi} \left(\frac{1}{4} + \ln \left(\frac{(0.5w_g + d_g + w_s)(d_g + d_s + 1.5w_s)}{0.5w_g(d_s + 0.5w_s)} \right) \right)$$

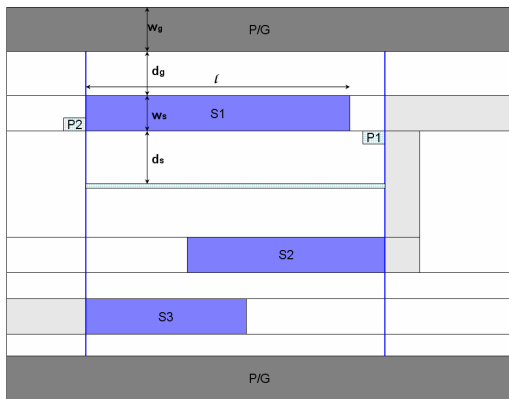
圖二



圖三 (a)



圖三 (b)



圖三 (c)

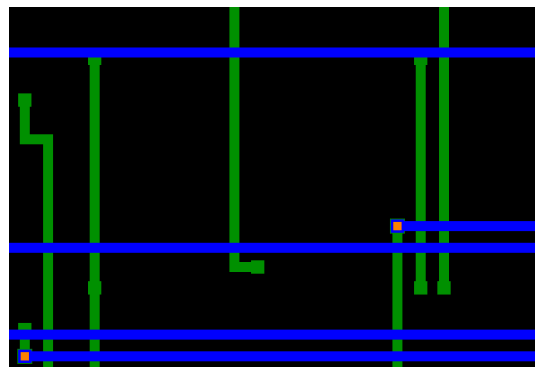
四、實驗結果

在考慮兩個訊號間的耦合效應時，我們不考慮訊號的值的不同變化情況，而以對易引發耦合效應的敏感訊號產生長距離互相平行的長線路來當作引發耦合效應的危險區域。

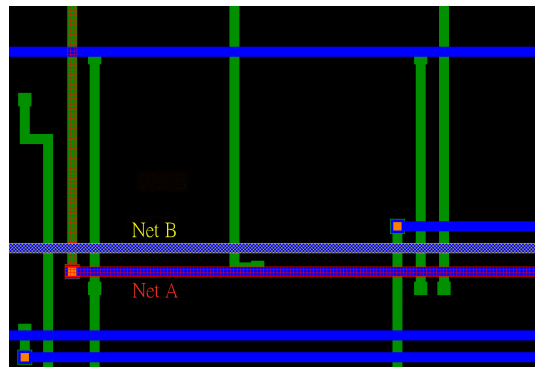
我們以一個局部的繞線情形來說明實驗結果。如圖四(a)，是原來的實體佈局。圖四(b)，則是未考慮耦合效應的點對點繞線情形，其中 Net A(以紅色直方格強調)是新繞好的線路，Net B(以黃色斜方格強調)是可能會跟 Net A 產生干擾的敏感線路，Net B 是原本已存在的線路。我們發現 Net B 和 Net A 靠的相當近，易引發耦合效應。而圖四(c)，則是考慮耦合效應的點對點繞線情形，Net B 和 Net A 的間距比較遠，可以有效避免耦合效應的發生。圖四(d)可以有效顯示新舊繞線結果的差異：白色線路是原來未考慮耦合效應的繞線結果，黃色線路是敏感的線路，紅色線路是考慮耦合效應的繞線結果。

五、結論與討論

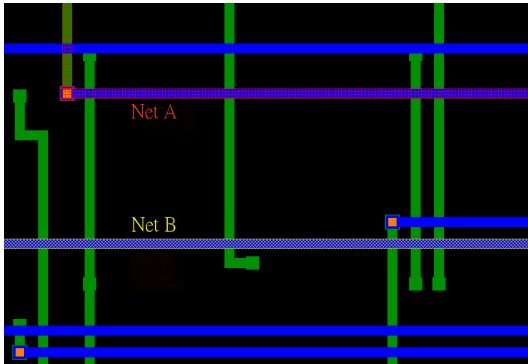
在子計劃第一年的執行期間，我們完成了考慮耦合效應的非網格式點對點繞線器，可以有效避免產生與易引發耦合效應的敏感訊號長距離的平行線段，此為整個考慮耦合效應非點格式繞線器的重要基礎。目前尚未完成的是依此繞線結果用 fastHenry 系統來萃取耦合效應參數以得到更精確的實驗數據。最後我們將依此基礎進一步發展整個考慮耦合效應的非點格式繞線系統。



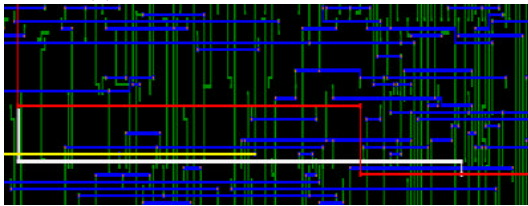
圖四 (a)



圖四 (b)



圖四 (c)



圖四 (d)

六、參考文獻

- [1] Jeff Parkhurst , Naveed Sherwani , Sury Maturi , Dana Ahrams , Eli Chiprout, "SRC physical design top ten problem", *Proceedings of the 1999 international symposium on Physical design*, p.55-58, April 12-14, 1999.
- [2] J. Cong, L. He, C.-K. Koh, and P. Madden, "Performance optimization of VLSI interconnect layout," *Intergr. VLSI J.*, vol. 21, no. 1-2, pp. 1-94, Nov. 1996.
- [3] T. Ohtsuki, "Gridless routers—New wire routing algorithms based on computational geometry", in *Proc. Int. Conf. Circuits and Systems*, pp. 802809, May 1985.
- [4] Y. Wu, P. Widmayer, M. Schlag, and C. Wong, "Rectilinear shortest paths and minimum spanning trees in the presence of rectilinear obstacles," *IEEE Trans. Computers*, vol. C-36, no. 1, pp. 321-331, 1987.
- [5] S.Zheng, J.S. Lim, and S. Iyengar, "Finding obstacle-avoiding shortest paths using implicit connection graphs," *IEEE Trans. Computer-Aided Design*, vol. 15, no. 1, pp. 103-110, Jan. 1996.
- [6] J. Cong, J. Fang, and K. Khoo, "An implicit connection graph maze routing algorithm for ECO routing," in *Proc. Int. Conf. Computer-Aided Design*, pp. 163167, Nov. 1999.
- [7] J. Cong, J. Fang, and K. Khoo, "DUNE: A multilayer gridless routing system with wire plan-ning," in *Proc. Int. Symp. Physical Design*, Apr. 2000, pp. 1218.
- [8] J. Cong, J. Fang, and K. Khoo, "DUNE - A multilayer grid less routing system " *IEEE Trans. Computer-Aided Design*, vol. 20, no. 5, pp. 633-647, May. 2001.
- [9] M. Sato, J. Sakanaka, and T. Ohtsuki, "A fast line-search method based on a tile plane," in *IEEE Int. Symp. Circuits and Systems*, pp. 588591, May 1987.
- [10] J. Dion and L. M. Monier, "Contour: A tile-based gridless router," Western Research Laboratory, Palo Alto, CA, Research Report 95/3.
- [11] Zhaoyun Xing, and Russell Kao, "S-hortest Path Search Using Tiles and Piecewise Linear Cost Propagation," *IEEE Trans. Computer-Aided Design*, vol.21, no.2, pp.145-158, Feb. 2002.
- [12] M. Kamon, M. J. Tsuk, and J. K. White, "FastHenry: a Multipole-accelerated 3D Inductance Extraction Program," *IEEE Trans. Computer-Aided Design*, pp. 1750-1758, Sept. 1994.
- [13] F. W. Grover, "Inductance Calculations: Working Formulas and Tables", *Dover Publications, New York*, 1946.
- [14] N. Delorme, M. Belleville, J. Chilo, "Inductance and Capacitance Formulas for VLSI Interconnects", *Electronic Letters*, vol. 32, no. 11,

May 1996

- [15] S. W. Tu, W. Z. Shen, Y. W. Chang, T. C. Chen, and J. Y. Jou, " Inductance Modeling for On-chip Interconnects, " *Analog Integrated Circuits and Signal Processing J.*, pp. 65-78, vol. 35, No 1, April 2003.
- [16] J. K. Ousterhout, "Corner Stitching: Adata-structuring technique for VLSI layout tools," *IEEE Trans. Computer-Aided Design*, vol. CAD-3, pp.87–100, Jan. 1984.
- [17] Sinha, A., et al, "Mesh-Structured On-Chip Power/Ground: Design for Minimum Inductance and Characterization for Fast R, L Extraction," *CICC*, pp 461-464, May 1999.