

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 微電子工程學門研究發展及推動規劃(2/3)

計畫類別：個別型計畫

計畫編號：NSC92-2217-E-009-006-

執行期間：92年12月01日至93年11月30日

執行單位：國立交通大學電子工程學系

計畫主持人：李鎮宜

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 11 月 16 日

國科會微電子學門研究發展及推動小組  
93 年度結案報告

學門召集人：李鎮宜 教授

93 年 11 月

前言：

隨著全球經濟緩步復甦之際，各國政府皆不約而同地思考如何強化科技產業的競爭優勢，我國亦然。藉由國家型計畫的推動與科技政策的宣導，以便能掌握到這一波的經濟成長的動能與契機。

半導體產業是「兩兆雙星」中的政策所規劃的一兆產業，依目前成長的趨勢，預估在 2006 年可達到兆元以上的產值。為維持此一產業的持續成長，並符合晶片系統國家型科技計畫的規劃目標，微電子學門所規劃的重點研究領域包含奈米級元件及製程，高速元件，射頻電路，單晶片系統，極低功率設計技術...等，這些重點將以整合型計畫推動為主，藉由團隊合作的研究模式，來提昇整體的研發能量和掌握關鍵的技術。

93 年度微電子學門專題研究計畫總共通過 270 件，總金額為二億五仟玖佰五拾一萬九仟元整。期盼未來在大家的努力下，所產生的研發成果能轉化為國內半導體產業持續成長的動能。

# Outline

- 學門規劃重點
- 學門成果總覽
- 年度會議紀錄
- 矽導計畫—晶片系統國家型科技計畫
- 93年度VLSI/CAD領域成果發表

2

## 93年微電子學門規劃重點

- 元件與製程
  - 前瞻性技術
  - 化合物半導體
  - 矽基元件與製程技術
- VLSI/CAD
  - 晶片系統模組及介面設計
  - 類比混合訊號及RF模組設計
  - 晶片系統之設計、驗證自動化與EDA特色研究

3

## 申請總覽

微電子學門	案數	補助金額 (NT)
矽半導體材料與元件	111	118,109,000
VLSI/CAD	134	109,608,000
化合物半導體	25	31,802,000
總計	270	259,519,000
平均每案	961,000	

4

## 各子學門計劃申請/通過狀況

項目	矽半導體材料與元件		VLSI/CAD		化合物半導體	
	案數	申請金額(千元)	案數	申請金額(千元)	案數	申請金額(千元)
申請	192	261,931	242	250,286	43	73,975
通過	111	118,109	134	109,608	25	31,802
通過率	57.8%	45.1%	55.4%	43.8%	58.1%	43%
平均每件通過金額	1,064,000		818,000		1,272,000	

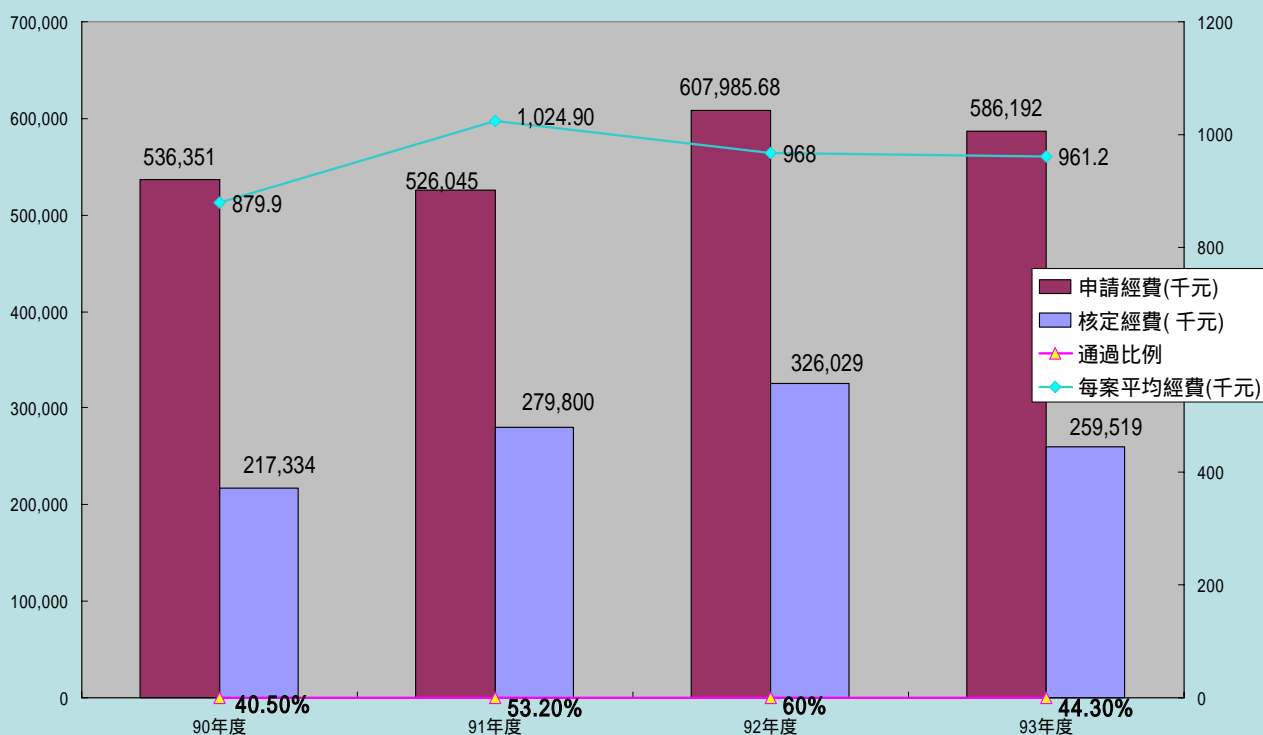
5

## 近四年計劃核定情形

年度	申請件數	核定件數	通過比例	申請經費 (千元)	核定經費 (千元)	每案平均經費 (千元)
90	399	266	56.7%	536,351	217,334	879.9
91	371	236	63.6%	526,045	279,800	1024.9
92	359	223	62%	607,986	326,029	968
93	477	270	56.6%	586,192	259,519	961.2

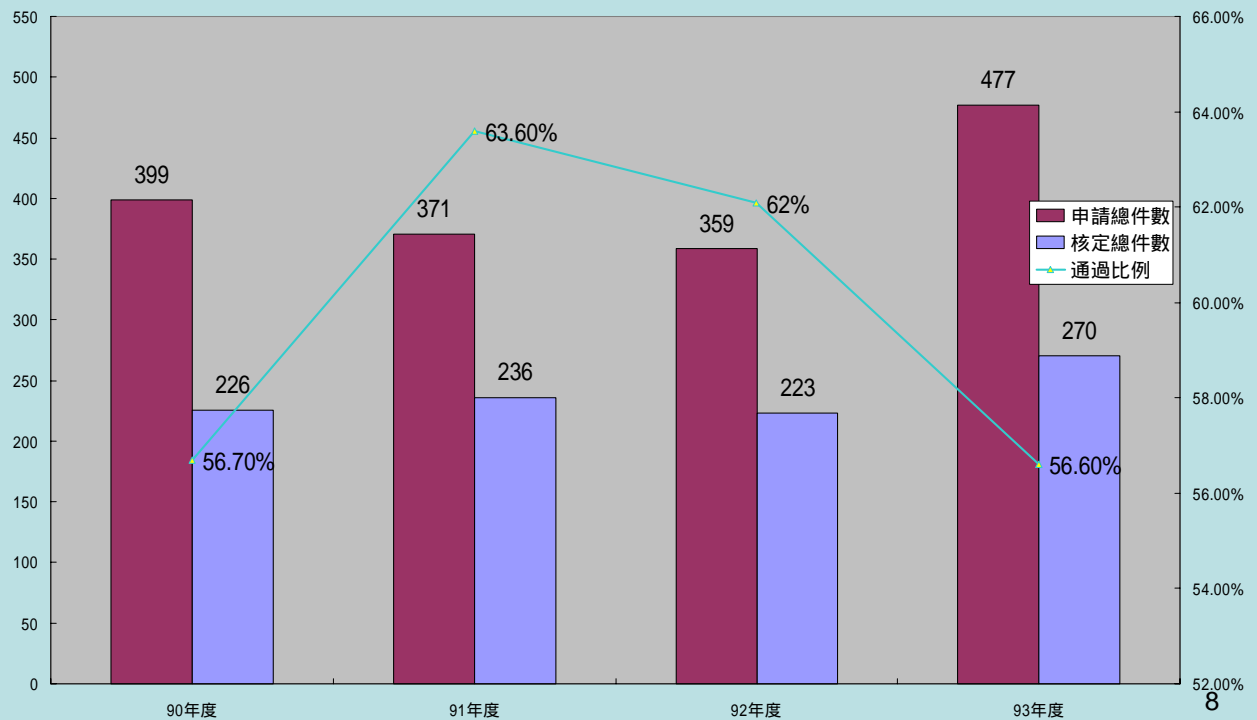
6

### 近四年國科會微電子學門計畫申請及核准金額趨勢圖



7

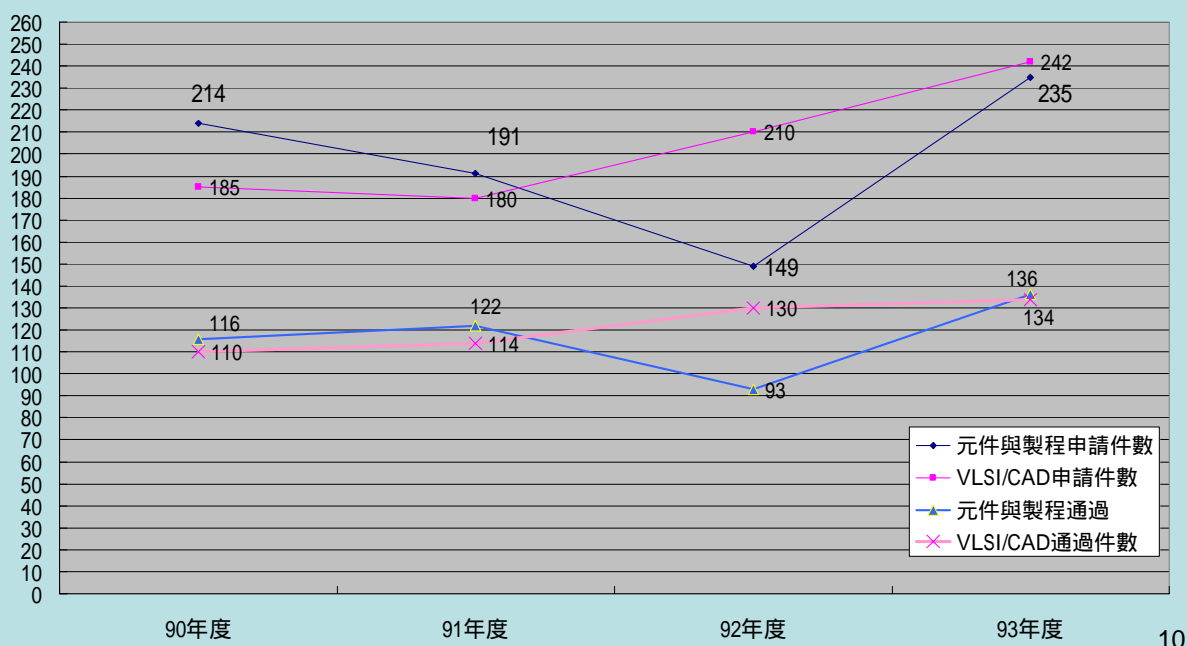
近四年國科會微電子學門計畫申請與核定件數趨勢圖



近四年VLSI元件與製程件數比

年度	VLSI/CAD		元件與製程		VLSI : 元件與製程	
	申請	通過	申請	通過	申請	通過
<b>90</b>	185	110	214	116	1:1.16	1:1.05
<b>91</b>	180	114	191	122	1:1.06	1:1.07
<b>92</b>	210	130	149	93	1:0.71	1:0.72
<b>93</b>	242	134	235	136	1:0.97	1:1.01

元件與製程 vs. VLSI/CAD 之申請/通過件數比較圖

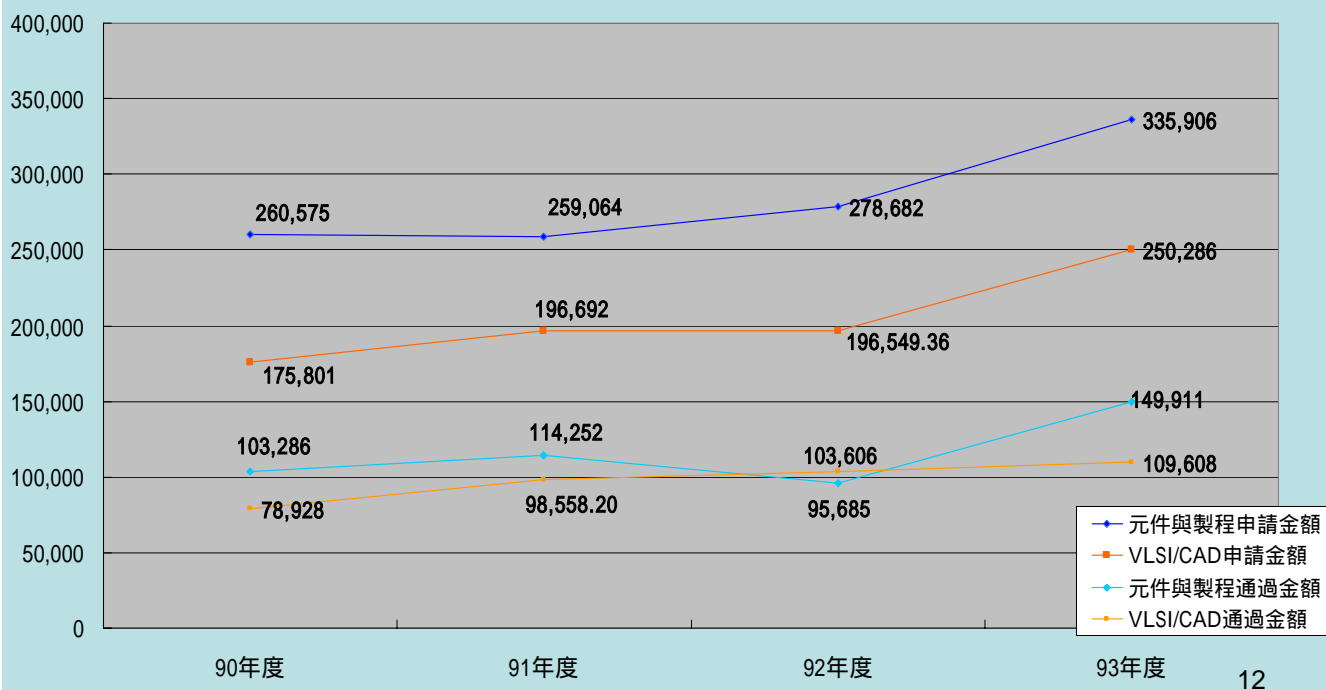


近四年VLSI元件與製程金額比(千元)

年度	VLSI/CAD		元件與製程		VLSI : 元件與製程	
	申請	通過	申請	通過	申請	通過
<b>90</b>	175,801	78,928	260,575	130,286	1:1.48	1:1.31
<b>91</b>	196,692	98,558	259,064	114,252	1:1.32	1:1.16
<b>92</b>	196,549	103,606	278,682	126,570	1:1.42	1:1.22
<b>93</b>	250,286	109,608	586,192	259,519	1:2.34	1:2.37



元件與製造 vs. VLSI 計畫經費申請 / 通過之金額比較圖  
(千元)



\* Research Human Resource Statistics

Academic Year	Professors					Students		
	Professors	Associated Professors	Assistant Professors	Other	Total	PhD Students	Master Students	Total
1998	133	131	11	3	278	232	425	657
1999	156	127	35	1	319	240	470	710
2000	161	117	50	4	332	244	478	722
2001	183	150	74	6	413	280	541	821
2002	191	145	104	8	448	384	830	1214
2003	213	141	135	12	510	396	1035	1431

\* Publications and Patents

Academic year	Papers						Patents	
	Domestic		International		SCI	EI	Domestic	International
	Conference	Journal	Conference	Journal				
1999	240	26	299	336	287	111	48	38
2000	382	75	441	576	424	216	148	80
2001	346	66	466	590	480	175	99	47
2002	301	52	263	442	226	182	100	171
2003	321	69	315	492	282	189	126	153

# 國科會微電子學門 VLSI/CAD 領域規規劃會議 分組及議程

開會時間: 93 年 8 月 6 日 pm:3:00

地 點: 交通大學工程四館 424R

## 一、分組：

### SoC/IP

工研院晶片中心	任建葳主任
交通大學電子系	周世傑老師
義隆	葉昭儀董事長
鈺創	丁達剛副總
凌陽	李桓瑞處長

### Mixed-Signal& RF Circuits

威盛	林志峰副總
瑞昱	黃世安經理
台積電	張彌彰處長

### EDA

清華大學	吳誠文 院長
交通大學	周景揚 主任

## 二、議程:

15:00-15:15: General overview of NSC/ED/ME/VLSI-CAD

15:15-16:00: sub-group discussion on each research area

16:00-16:30: joint-discussion on 3 areas

16:30-16:50: concluding remark

### 前 言

單晶片系統 (System-On-a-Chip, SOC) 現今主要應用在訊號傳收、處理與存取之系統，其中包含了數位電路與類比電路，甚至包含 RF 電路、微機械、感測與奈米元件。單晶片系統設計對於 CMOS 電路的要求，如低電壓、低功率消耗、高速與低雜訊的要求愈來愈高，這些問題也一直是工業界與學術界研究發展的重要方向。特別要提的是，進入奈米製程、對於深次微米 CMOS 基本類比電路設計與研究亦相對重要。

在類比、混合訊號模式與 RF 電路設計模組方面研究的重點，基本上可以分為系統整合研究、子系統設計研究及前瞻性探討研究。第一部分針對我國產業需求與未來具發展潛力之產業，擬定五項系統整合研究，包含 Wired systems、Wireless systems、Optical Fiber systems、Mixed-signal front-end for data storage 與 Optical Image Systems。第二個部分為類比、混合模式電路/RF 模組的子系統設計技術與基礎研究，第三部分規劃為比較前瞻性之研究。

### 一、系統整合研究

單晶片系統(SOC, System-On-a-Chip)可應用之種類繁多，針對我國產業未來具發展潛力的領域可歸類成下列五大領域，提供為學界做前瞻研究之參考，但不一定限於此範圍內。

#### (1) 有線通信系統 (Wired communication systems)

- (a) xDSL family [ VDSL、SHDSL ]：VDSL為電信公司未來提供寬頻服務時的重要選擇，利用 Fiber In The Loop (FITL)架構與提供Last Mile傳輸的VDSL，則上、下傳速度的總和可達 52Mbps。而SHDSL(又稱HDSL2或SDSL)，則僅利用一條雙絞線就可替代原本需要兩條雙絞線的HDSL，來快速提供現今企業用戶所需對稱性傳輸的T1或E1服務。
- (b) Cable modem：在臺灣已有許多的家庭安裝有線電視，因此如何利用銅軸線的高頻寬特性來提供數據通訊，或是VoD(Video on Demand)，或是VoIP(Voice on IP)，是許多有線電視業者所關注的問題，因為藉由Cable Modem與HFC(Hybrid Fiber Coaxial)網路，業者即可提供用戶所需要的各種服務。
- (c) 10 Gigabit Ethernet：在LAN方面的傳輸上，不僅是伺服器，連網路介面卡都需要高速的服務來提供視訊、語音與數據服務，利用Gigabit Ethernet 的規格，則可在原本企業網路所鋪設的Ethernet銅線或光纖上提供Gigabit級的服務，例如IEEE P802.3an 10G-Base-T、IEEE P802.3ap Backplane Ethernet與IEEE P802.3aq 10GBASE-LRM。
- (d) Home PNA 2.0 / Home PNA 3.0：在家用網路上，如何在已鋪設的電話線上傳送高速服務是大家所關注的問題，而Home PNA 2.0現今則可在已鋪設的電話線上提供32Mbps的高速服務，而且不會影響到原本電話線上所提供的電話與ADSL服務。而Home PNA 3.0則將進一步提供100Mbps的服務。
- (e) High-Speed Interface systems: 由於許多運用為提升性能、品質與傳輸速率，需要各種高速介面傳輸系統，如 SATA 已訂出 6Gbps 之傳輸系統。增加傳輸距離與速度則是其所需克服的難題

#### (2) 無線通信系統 (Wireless communication systems)

由於 infrastructure 佈建延後、與不同規格(WCDMA, CDMA-2000, 以及大陸提出的 TD-SCDMA) 競爭，3G wireless communication 市場預計延至 2005 年才 emerging, 2008 年才全面取處代目前的 2G 及近期的 GPRS 手機。另外, CMOS 設計 Metropolitan LAN, 60 GHz 通信系統及 Ultra Wideband (UWB) 系統則是未來具挑戰之研究方向:

- (a) 研究各種系統架構之 link budget，以設計出符合系統需求之架構。

- (b) 研究 transmitter path & receiver path 之系統架構，並依據系統之 noise figure 與 IIP2 做每一級 (transmitter & PA) 及(LNA & receiver)之設計規格
- (c) 研究以 SiGe、BiCMOS 與 CMOS 實現 transmitter 與 receiver 其 performance 比較何者是較符合未來高速系統之 low noise 與 high bandwidth 規格。

### (3) 光纖系統 (Optical Fiber systems)

光纖系統的電子元件一般來說包含了 pre-amplifiers, limiting amplifier, laser diode driver, serializer/de-serializer, 以及其它一些流程控制和開關轉換的功能。

目前，應用於光纖系統的電子元件的發展，主要著重於高速傳輸或是高密度的積體化。以現在標準的 CMOS 製程來說，在 10 Gbps 高速傳輸的技術是可行的，未來更有挑戰 40 Gbps 之空間。因此，在有限的 CMOS 製程技術內，如何達到高速傳輸的極限，值得我們深入研究。在高密度的積體化方面，目前的瓶頸在於，在充滿雜訊的環境下，仍能維持 pre-amplifier 和 clock-data recovery 的效能。不同的架構，電路以及佈局的改進和創新，都會有所改善。

### (4) 資料儲存用之混合式信號前端電路(Mixed-signal front-end for data storage)

資訊產品應用的非半導體之資料儲存依其存取頭特性(磁頭、光讀取頭)與碟片材料主要分為磁碟機與光碟機二大類，前者如軟碟機、硬碟機(HDD)等，後者如 CD-ROM、DVD-ROM、CD-R/RW、DVD rewritable 等碟機。另有磁、光混合型碟機，如 MO。

無論磁碟機或光碟機，其性能如 data transfer rate, capacity, access time, readability, write ability, 及 playability 等除受磁頭或光頭特性、碟片材料、資料記錄格式影響外，主要取決於系統 chipset 性能。如 Read-Write channel IC 決定 HDD performance, Servo & Data processing chipset 決定光碟機性能。為達到最佳的資料存取品質，近年來 HDD read-write channel IC 採用 PRML (Partial response maximum likelihood) 技術設計 read channel 的前端電路，以克服 high density 碟片讀取之 inter-symbol interference 與 channel distortion。目前大多數 CD-ROM 與 DVD-ROM chipset 雖以 slice level detection 設計 read channel 前端電路，唯對未來的 H-DVD chipset 設計相關研究指出 PRML 技術較能克服資料讀取時之 inter-symbol interference。也就是未來的 optical drive chipset 亦可能與 HDD chipset 採用相同的架構 PRML 設計 read channel 前端電路。HDD 的 channel clock 將高於 1GHz，而 10000rpm 轉速之 H-DVD 其 channel clock 亦高達 800MHz-1GHz。

研究重點可朝向 multi Gbit/s 以上的類比信號放大器、Read-Write channel IC 的高速 PRML module 及 architecture 或 building blocks 如 boost equalizer (>1GHz)、High-speed ADC (>6-bit, >1Gbps), Clock & data recovery (>10GHz, fast acquisition, zero-phase start-up, low jitter), 或 Timing recovery with interpolated filter, Viterbi decoder... 等。Optical drive 方面可朝向 high speed DVD-rewritable (如 8X 寫及 16X 讀) 及高速(>800MHz)H-DVD 相關的類比信號放大器，H-DVD PRML module 及 building block 或 H-DVD PRML 架構之 channel model。

### (5) 光學影像系統 (Optical image systems)

目前，許多多媒體的應用都需要影像/視訊的擷取系統。CMOS 影像感應器因為可以相容於標準的 CMOS 製程，以及能夠和信號處理電路的部分整合，而使成本降低，使得 CMOS 影像感應器在未來的發展將是大有可為。然而，目前主要的市場，以 digital still camera 為例，均為 CCD 感應器。CMOS 影像感應器的限制在於受低照明度以及固定圖案的雜訊的影響，敏感度會受影響而下降。因此，在 CMOS 影像感應器的架構，電路以及元件的改進和最佳化上作改進，可以改善效能。

## 二、 子系統設計研究

在半導體技術日益精進的趨勢下，許多複雜的系統可以整合後做在同一顆晶片上，而不同系統所需的子系統之規格不盡相同。因應深次微米 CMOS 製程發展，當設計關鍵性的模組電路時，如何在符合速度、增益等功能與低電壓之要求下，來減少功率的消耗與提升性能便成為研究的重點。以

下分別討論各種重要的模組電路。

### (1) Voltage/Current references :

為因應未來 SOC Chip 中不同 Function Block 有不同應用介面電壓需求，DC-DC Converter (Step up/Step down) Regulator 及 Constant Voltage & Current Reference 皆為設計 SOC 使用 One Cell Battery and Multi power I/O 系統中重要的 Building Block。故如何在一般標準製程中提供 High efficiency、Low Standby current、Low voltage 及 Low dropout Voltage/Current 為設計關鍵。

### (2) OP Amplifier :

運算放大器為類比電路中最基本且重要的電路，未來深次微米 CMOS 中的 OP Amplifier 電路需考量在 Low Voltage 工作環境下，如何保持 Maximum Dynamic Range 及 各種 noise rejection。Power efficient rail-to rail output Stage 及 Voltage-efficient input Stage 是基本設計考量。而在低功率要求下如何在不同 Loading 及 Stability Compensation 下保持 Maximum Bandwidth 為重要設計考量。其他如 Comparator、Sample and holds circuit 等 Basic Building Block 亦等同設計。

### (3) Filters/Equalizers

在所有傳輸系統中無法避免的傳送過程干擾的隔離及取樣系統中 band-limited signal 的產生均需使用到 filter，filter 可以分類為 switched-capacitor、switched current filter 及 continuous time filter。其中 switched-capacitor filter 可以達到較高的 dynamic range，但是受限於 switch 電阻及 OP AMP 的頻寬等非線性因素影響使得信號頻寬受到限制。如何在低電壓環境下達到 wide bandwidth 及 high performance 是未來主要研究方向。

Continuous-time filter 相對可以達到較高的頻寬且可以同時對訊號在傳送過程中產生的失真 (phase/delay, amplitude error...etc) 加入 delay 或 amplitude equalization，但是 continuous-time filter 容易受到製程先天限制導致設計參數偏移，目前主要解決方式為利用自動調整 (automatic tuning) 技術來克服，如何在低電壓環境下達到 wideband 及 high dynamic range 是未來主要研究方向。

### (4)ADC/DAC

隨著 IC 設計及製造技術的演進，向來扮演訊號處理重要角色且對電路設計考量要求甚高的 ADC/DAC 電路如今也在 SOC 的趨勢下常被整合到系統晶片內。其中 oversampling based ADC/DAC 的應用包含 3G mobile phone，5.2G Wireless LAN，xDSL wired line communication，high quality DVD playback DAC。而 Nyquist-rate ADC 的應用包含 disk drive/optical storage read channel，high data-rate Ethernet transmission，high speed DVD ROM 等。

主要研究方向為利用成本低廉的數位製程以及更低的電壓達到超高解析的 ADC/DAC (Delta-sigma ADC/DAC)，或是同時兼具寬頻與高解析的 ADC/DAC (resolution  $\geq 14$ -bit, bandwidth  $\geq 2.5$ MHz)，或是中等速度與中等解析度的 ADC/DAC (resolution  $\geq 8$ -bit, sampling rate  $\geq 150$ MHz)，或者是極高速與低解析度的 ADC/DAC (resolution  $\geq 6$ -bit, sampling rate  $\geq 1$ GHz)，或者是 low power ADC/DAC 的架構。不論是哪一種類型的 ADC/DAC 都會面臨到電壓下降與 IC 製程先天的不準確性的設計瓶頸，解決方式為持續改進電路架構及演算法以改善電路 performance。

### (5) Constant Magnitude Control

固定振幅控制或自動增益控制 (Automatic Gain Control, AGC) 通常是應用於通訊系統中之接收機。目的在調節接收訊號強弱之變化而加強整體系統之動態範圍 (Dynamic Range)。雖然飽和型式的限制放大器 (Limiting Amplifier) 可產生固定振幅之輸出訊號，但其非線性之特性卻也限制了本身之應用範圍。現今的系統大都使用迴授控制之 AGC。迴授機制有類比式或數位式或混合式。其中最重要的元件就是可變增益放大器 (Variable-Gain Amplifier)。如何在不同之增益情況下維持頻寬及線性度，是電路設計之大考驗。由於 AGC 迴路本身是一非線性系統，設計時必須用模擬加以驗證。主要系統考量有穩定度及收斂速度等。

## **(6) Phase-Locked Loop (PLL) /Delay Locked Loop (DLL)**

PLL 內部之主要元件有相位比較器 (Phase Comparator)，濾波器，及可變頻率震盪器 (Variable-Frequency Oscillator)或電壓控制震盪器(voltage-controlled oscillator)，DLL 也類似，除另有 voltage-controlled (或 current-controlled) delay line。另外有些系統可能會加入除頻器或頻率比較器 (Frequency Comparator)。而以上這些元件各有不同之電路形式及架構，可能是類比式，或是數位式，或是類比式加上數位控制。如何根據系統要求找出最佳元件電路組合是設計者的一大挑戰。由於 PLL/DLL 本身是一非線性系統，設計時必須用模擬加以驗證。

PLL 之應用主要可分成“訊號產生”及“時序還原”兩大類。系統參數設計考量會因應用而有所不同。訊號產生 PLL，如無線通信中之頻率合成器，重要的設計參數可能是輸出訊號之相位雜訊 (Phase Noise)，頻率範圍，及跳頻速度等。而時序還原 PLL，如光纖通信中之時脈回復電路 (Clock/Data Recovery)，則可能著重於時脈相位準確度，及時脈跳動抑制 (Jitter Suppression) 等。因此 PLL/DLL 之設計必須針對特定應用來定訂系統參數，如此才會有實用價值。

## **(7) RF building blocks and transceivers**

在無線和光傳輸接收技術，包括功率放大器(power amplifier)、低雜訊放大器(LNA)、Laser driver 及 OEIC。CMOS/SiGe 製程技術無疑是未來無線通訊及光通訊的主流，若有適當的製程提供，則學術界應及早從事深次微米相關電路的設計工作。

此外，有幾項電路及系統架構也值得我們加以發展，其中包括了 direct conversion 的 transceiver 架構，高線性度的功率放大器，低相位雜訊的振盪器及高效率低耗損的微波電路，都非常值得學術界從事相關的研發工作。

## **(8) Active Pixel Sensor (APS)**

數位相機的普及率在未來幾年可能會快速提升，而且此產業也將在台灣快速成長。雖然目前 charge-coupled devices (CCD) 一直是 image sensor 的主流元件，但是 CMOS APS 可以容易的和 CMOS 電路整合的特性，使其有後來居上的機會。如何克服 CMOS APS 中 noise 的問題，增加 image resolution、加強其影像的品質，並整合至 SOC 晶片，以降低系統成本，是未來的重要研究方向。

## **(9) Wireless I/O**

由於 SIP (System-in-Package)，可將許多裸晶 (有些疊放) 包裝在之一個封裝之內，用電場或磁場改變來傳輸信號亦為未來可能發展之技術之一。

## **(10) Intellectual Property (IP)**

隨著深次微米技術的進步，複雜的系統可以被整合在同一個晶片上，為了節省設計成本與縮短設計時間，發展智慧元件 (IP) 與再利用 (Reuse) 的設計成為最佳的解決方案。目前出現的重要 IP 都是應用於數位電路設計，然而在單晶片系統(SOC)的發展趨勢下，混合訊號電路 IP，RF 電路 IP 之設計勢必成為需要探討的研究題目。因此，建議符合 IP 研究計畫之複雜度至少與 ADC 或 PLL 相同，為實現 IP Reuse 的概念，IP 設計需符合設計規範原則、電路及製程的制訂規格、佈局說明與測試需求。此外，混合訊號電路在實際測試時所遇到的各項問題也必須深入探討。

## **(11) Technology migration of analog circuit blocks**

在 CMOS 製程中，再同一尺寸製程中，常有不同電性規格之各種個性化製程，如低壓/高速，邏輯/混合/RF 等，如何自動做 technology migration 為一非常實用且具生產力之 CAD 工具。

## **(12) Digital-aided block to enhance analog function**

在 SOC 時代，如何提出新的使用數位之運算與數位信號處理能力來增加類比電路之功能/性能，為有效使用數化/類比電路之特長之方式，目前在 ADC/DAC，PLL，AGC 等已有許多類似想法提出，希望能有更多創新與突破之技術提出。

### 三、前瞻性探討研究

在混合訊號模式單晶片系統研究上，需要包含許多功能方塊的生物類神經網路晶片，認知與學習之訊號處理與感測和無線之結合是值得進一步深入研究的主题。生物類神經網路晶片主要依據生物神經系統的功能和連接架構來推演出套運算與學習模式，其產生的效果比較接近人類神經之認知和平行信號處理原則。目前有許多研究以臨床生物實驗方式進行，對各種神經元之組成架構與反應特性作詳細的分析，並建立一套行為法則和分析模型，然後將生物神經元模型之網路架構以電子電路方式接成，以電流或電壓來表示生物傳遞信號的離子元素。但因生物腦神經有上億個神經元，因此如何有效的分類、分析和模擬仍有待克服。在另一方面，藉由研究生物對信號傳輸與認知行為的巨觀（Macroview）模式，或考量一部份特定功能之生物神經元，亦可達成如人工眼、耳、鼻、觸覺與殘障肌肉神經的控制等醫學工程方面之應用。此類高計算量的應用，更需要專用的硬體設計來配合。除上述人工知覺與控制應用外，未來生醫應用中非侵入性檢測亦需混合訊號模式晶片，如數位式 X 光成像。此類晶片之設計應特別注意系統介面需求與 Sensor/Actuator/MEMS 等因素配合，以增加晶片之實用性。另外結合此類人工知覺與控制的智慧型系統亦甚值得研究，如結合觸覺與 MEMS 所製成的智慧型材料可降低風阻適用於飛機或船隻，結合聽覺辨識與陣列處理可完成智慧型指向性麥克風，整合人工視網膜中運動偵測及視訊處理可開發智慧型監視系統等等。



## Research on Design/Verification/Testing Automation for SOC

由於製程技術的持續進步，使得大量的電路元件可以被製作在單一晶片上，再加上市場上對複雜度高以及運用功能強的需求，使得整個系統包括微處理器，記憶體等皆有可能整合到同一晶片上，以達到低功率、高效能、小體積以及高可靠度等諸多優點，也因此造就這一波晶片系統的設計趨勢。

將製程迥異的邏輯元件，諸如微處理器以及記憶體元件，諸如 embedded DRAM，以及將設計方法迥異的數位電路與類比電路整合在同一晶片上，在製程技術上、設計方法上，以及測試、包裝上均造成相當大的挑戰。

晶片系統的設計流程相當複雜，各項工作均仰賴設計自動化 (EDA) 的軟體方能完成，而目前國內研發 EDA 的公司非常少，學術界從事相關研發的教授也不多，也就是長久以來，所賴以設計的 EDA 工具完全掌握在美商手裡，對於整個 SOC 產業的永續經營，有相當不利的影響。希望藉此前瞻規劃能提昇學界在 SOC 相關之 EDA，測試與驗證等的相關研究，以根本解決設計工具以及設計方法所面臨的挑戰。

規劃小組經參考多項資料、詳細討論之後，我們認為以下四項子題是值得研究的：

1. 晶片系統之整合以及矽智產再利用技術
2. 晶片系統之前瞻設計驗證技術
3. 晶片系統之前瞻測試技術
4. 深次微米之實體設計技術

### 1. 晶片系統之整合以及矽智產再利用技術 (SOC Integration and IP Reuse Technology)

隨著積體電路設計進入晶片系統時代，整合矽智產元件的設計自動化益加重要。而矽智產為系統階層整合之基本單元，基本單元的可重複性與擴充性以及其功能、時序及功率等模型的準確性及完整性，將影響整合的效率與彈性甚鉅。相關研究內容列舉如下但不以此為限：

#### 軟硬體共設計(HW/SW Co-design)：

晶片系統組織通常是兼具軟硬體物件的異質系統，因此軟硬體共設計在系統階層扮演極重要的角色。如何能先期設計軟硬體異質架構進而有效的定義軟硬體細部規範為系統階層整合的關鍵課題。

- 軟硬體互動介面
- 軟硬體特徵萃取
- 軟硬體共驗證
- 功率評估與最佳化

佈局/低功率編譯器或產生器(Layout-Driven and/or Low-Power Compilers or Generators):

- (低功率)矽智產元件自動合成
- 矽智產元件通訊介面自動合成

功能與功率之模型分析與最佳化技術(Accurate/Effective Modeling, Analysis, Optimization Techniques for Power and Performance):

- 模型萃取技術: Accurate model extraction (flat/hierarchical) techniques for function, power and performance for SOC Integration。Emphasize on accuracy, flexibility and efficiency.
- 功率分析最佳化以及管理技術

### 2. 晶片系統前瞻設計驗證技術 (SOC Advanced Design Verification Technology)

由於晶片系統的電路愈來愈複雜，驗證電路的正確性以及偵測設計錯誤的源頭，已經慢慢變成為整個設計流程中最主要的瓶頸。而以硬體描述語言(HDL)為基礎的設計流程更是相當普遍且亦趨複雜。因此在整個設計過程中，分別在暫存器轉換層次以及邏輯閘層次均需要有效的設計驗證以及錯誤偵測相關電腦輔助設計軟體，才能縮短整個設計時程。而目前有關驗證技術大體區分為軟體模擬為主的半正規方法，以及所謂的正規驗證技術。不過這兩種方法在設計的複雜度愈來愈高時，都面臨相當大的瓶頸，也因此有相當大的改善空間。下面僅就相關方向作一簡要說明。

### 暫存器轉移層次 (RTL) 模擬為主的前瞻驗證技術：

暫存器轉移層次的前瞻驗證技術是以模擬為主，輔以其他諸如正規驗證或涵蓋率的技術，解決日益複雜的設計驗證需求。主要的研究內容則列舉如下但不以此為限：

- **涵蓋率的新量度以及各種量度之間的關係：**涵蓋率是評估模擬完整與否的指標。除了現已發表的涵蓋率外，面對 SOC 的複雜設計，新的涵蓋率量度以及整合各種量度的方法是急需開發的。
- **涵蓋率量測的新方法：**針對效率等各項需求，找出涵蓋率量測的新方法。
- **縮短模擬時所需的驗證向量的長度：**以有效的設計驗證方法，讓模擬時間縮短且讓模擬的品質提升。
- **功能性錯誤診斷的新方法：**由於模擬只能檢測出錯誤的發生點，因此具有診斷錯誤原因的技術才能大幅縮短設計驗證的時間。
- **針對不同涵蓋率量度之自動驗證向量產生器：**為了讓模擬的過程更自動化，自動產生驗證向量的技術就相當重要。此外，自動驗證向量產生器還要能合乎各種不同涵蓋率量度的需求。
- **電路切割與抽象化技術以加速自動驗證向量的產生：**由於電路太過複雜時，會使得自動向量產生器的效率下降，因此可利用電路切割與抽象化技術來增加其效能。
- **介面協定標準驗證技術：**於 SOC 中多用 OCB 介面協定標準整合 IP，故介面協定標準之驗證乃為 SOC 功能驗證中重要且不可或缺之一環。
- **以斷言(Assertion)為基礎之驗證技術：**以斷言形式來萃取電路特性，進而以模擬、正規驗證或半正規驗證之技術加以驗證。
- **半正規驗證技術：**融合模擬與正規驗證兩項技術，截長補短，使模擬的驗證品質大幅提升但可避免如傳統正規驗證所需過長的驗證時間與記憶體需求。

### 邏輯閘層次之對等性檢驗 (Equivalence Checking) 及錯誤診斷技術：

單晶片系統設計一旦進入邏輯閘層次，則設計的正确與否以及和暫存器轉移層次間的一致性就必需慎重考量。主要的研究內容則列舉如下但不以此為限：

- **對等性檢驗之新技術：**對等性檢驗不僅包括暫存器轉換層次和邏輯閘層次的檢驗，同時也包括邏輯閘層次和電晶體層次的一致性檢驗。因此，應開發可包含此兩種檢驗需求的整合性技術。
- **對等性檢驗相關之錯誤診斷技術：**如果對等性檢驗發現有不一致的情況發生，則相關的錯誤診斷技術就可以快速的找出設計的問題所在。
- **狀態可到達性 (Reachability) 之分析技術：**其他諸如正規驗證中的模型檢驗 (Model Checking) 技術雖有其價值，但卻無法有效的應用在複雜的設計當中。因此，以簡化暫存器和抽象化的方法發展出估計式的狀態可到達性分析 (Approximate Reachability Analysis)，可以找出設計中難以用模擬來驗證的特殊情況。

### 晶片系統之矽智產(IP)整合驗證技術：

半導體技術的突飛猛進，使得單晶片可容納的電晶體數目大幅成長，當代包含一百萬個電晶體的設計比比皆是，然而工程師的設計能力雖然有電腦輔助工具的幫助，成長的幅度仍遠遠落後單晶片可容納電晶體的成長速度。彌補這兩者之間成長速度差距的主要方法是利用已驗證且可重複使用

的 IP 進行積體電路設計。

- **矽智產整合之功能性錯誤模型**:對於已經充分驗證的 IP 使用於 SOC 設計時，實不再需要對 IP 部分再以徹底的測試向量加以驗證，否則重複且複雜的驗證工作將抵銷使用 IP 所獲得的好處。所以可研究與 IP 整合相關的障礙模型(Error Model)，以縮短晶片系統之整合驗證的時程，使得整合驗證更具效率。
- **用於偵測系統整合錯誤之自動驗證向量產生器**:對於偵測晶片系統整合所可能發生相關的錯誤模型(Error Model)，發展出一套自動驗證向量產生器是必須的，藉由自動化的過程，可以縮短驗證向量產生的時間及正確性。
- **系統整合錯誤之診斷技術**:當發現系統整合出現相關的錯誤時，我們要有能力針對錯誤作診斷，並明確的找出發生錯誤的地方。

### 3. 晶片系統之前瞻測試技術 (SOC Advanced Test Technology)

晶片系統的組成包含有類比電路、數位電路、以及橋接兩者的類比數位轉換電路。而晶片系統的應用層面也涵蓋了資訊、通訊、以及以語音影像為主的消費性產品。除了其設計的原理技術與電路的組成元件與應用層面有相當大的差異，其測試的技術也各有不同。在測試前瞻技術的發展上，除了漸趨成熟的邏輯閘階層(Gate Level)的技術外，如測試向量產生 Test Generation，錯誤模擬 Fault Simulation，及可測試設計 Design for Testability 等，在系統階層 System (RTL) Level 以及電路階層 Circuit Level 的測試以及可測試設計技術方面，與現階段的設計與製造技術都有相當大的落差。因此，在此一方面的前瞻研究規劃，將偏向系統階層與電路階層的測試技術研發。

#### 系統階層前瞻測試技術：

系統階層的前瞻測試技術，主要是著重應用於系統晶片中智財模組整合之相關測試技術。重要的研究內容則舉例如下，但不以此為限：

- **晶片系統之可測試技術與架構**：以 SOC 整體為考量，具有可調整 (Scalable) 的可測試設計技術 DFT。此一方面的技術應用於 SOC 測試整合上，可以以 IEEE Std. P1500 為範本，作為技術研究與發展的參考。長期研究應注意良率提昇之方法與技術，如 Built-in Self-Repair, Defect/Fault/Error Tolerance, Failure Analysis, On-Line Error Correction 等。
- **晶片系統矽智財模組之測試技術**：針對各個 SOC 矽智財模組的不同特性，研發具相容可整合於前項所提的 SOC DFT 架構下之可測試設計與自我測試技術。主要的方向則可著重於探討不同矽智財模組的特殊電路架構，在異中求同找出可整合之可測試設計方法。其中特殊記憶體或邏輯自我測試之技術研發則是重點之一。全速測試(At-Speed Test)及時序測試(Timing Test or Performance Test)亦是重點項目。
- **晶片系統測試流程之策略研發**：由於晶片系統本身之架構及測試之架構均具階層架構可調整性 Hierarchically Scalable。測試資源共享 Test Resource Sharing 與測試流程控制 Test Flow Control 易成為降低測試成本，減少測試時間，以及增加測試準確度的重要環節。未來研究重點應涵蓋具邏輯，記憶體，及類比電路核心之系統晶片測試整合技術。此外，System-in-Package (SIP)之諸多測試相關問題亦是現階段可探討者，例如 Known-Good-Die (KGD)技術，晶圓階層預燒及測試(Wafer-Level Burn-in and Test)技術，及訊號完整性 (Signal Integrity)測試與診斷等。

#### 電路階層前瞻測試技術：

SOC 的測試已經面臨到來自深次微米電路測試，類比電路測試，以及射頻電路測試嚴苛的考驗。姑且不論在 SOC 環境下的測試，就是獨立元件的相關測試技術也相當的欠缺。這些測試與電路階層的電氣特性息息相關，因此列為電路階層的測試。重要的研究內容則舉例如下，但不以此為限：

- **射頻電路測試技術**：ROC (RF on Chip) 是 SOC 的趨勢，除了 RF 電路本身的實測技術急需開發外，RF 電路與中基頻模組的相互作用也是測試上需考慮的因素。自我測試技術為未來研究重點。
- **類比電路可測試設計**：在 SOC 中，中頻、基頻、及類比數位轉換電路深藏於晶片之中，無法由晶片接腳直接測試到。因此，應開發相關的可測試與自我測試設計技術，以因應此類內藏模組。
- **深次微米電路測試技術**：當元件大小以及導線線寬降至 100nm 以下，工作頻率超過 GHz，雜散效應 Parasitic 或二階 2nd Order 效應逐漸顯著，晶片的可靠性 Reliability 與這些特性相關連。了解這些現象與量測這它的程度成為測試的一個重要的新課題。此外，高速介面電路及連接線測試與診斷亦為未來研究重點。

#### 其他前瞻測試研究重點項目：

- 測試(Testing)與診斷(Diagnostics)基礎理論及方法之研究，以及其延伸技術之研發，例如 Design-for-Reliability, Design-for-Diagnosability, Design-for-Yield, 及 Design-for-Manufacturability 等。
- 先導性或前瞻性測試機具及相關自動化技術與工具之研究。
- 設計，測試，與製造之整合技術。
- Infrastructure IP 開發，包含 DFT/BIST IP, Diagnosis/Debugging IP, BISR IP, Characterization/Measurement IP, Process Monitoring IP, Design Robustness IP, Defect/Fault/Error Tolerance IP 等。
- 取代或改良 Burn-in 及 Iddq 之可靠性測試技術。
- 現階段開發中但未成熟的技術，也需要再投入研發能量使之能日趨成熟，例如與數位測試相關的 Delay Testing 與 Fault Diagnosis，與類比測試相關的 Analog Fault Modeling 與 Analog Test Generation，及與測試整體相關的 Test Yield Analysis and Optimization 等。

#### 4. 深次微米之實體設計技術 (Physical Design for Deep Submicron)

在深次微米的技術下，由於有較小的元件形狀(device geometry)，因此已能在單晶片上容納數以億計的電晶體(transistors)，從而實現出系統單晶片(SOC)；然而較高的操作頻率(operating frequency)和較低的操作電壓(operating voltage)以及較慢的連線延遲(wire delay)等等變化皆使得當代 IC 設計在各階段皆面臨許多嶄新的挑戰，尤其實體設計階段乃決定電路元件及其連線的實際位置，此受製程技術的影響甚鉅，因此產生極多嶄新的研究問題尚待解決。茲以設計層次的觀點規劃前瞻研究如下：**製程 (Process)**：

在深次微米的製程中，sub-wavelength lithography 容易產生晶圓上電路元件及連線尺寸形狀的變異(variation)。此變異有可能造成無法預期的電路行為，而使設計者所做的最佳化徒勞無功。因此，如何在實體設計中降低因製程變異(process variation)而產生的問題(如 clock skew, delay, crosstalk 等)，及光學製程修正技術 (optical process correction, OPC) 修正製程的誤差以提高良率等研究，實為重要的研究課題。同時，傳統的離散值時序分析(discrete-value timing analysis)方法已不適用，運用統計的方法來分析製程漂移對時序的影響，並以統計的時序模型(statistical timing models)為基礎，針對深次微米的時序問題來做分析將是未來時序分析的方向。

由於 Chemical-Mechanical Polishing (CMP) 技術的進步，使得繞線層數得以顯著地增加。在 CMP 技術中，因佈局形狀 (layout pattern) 的變異會導致各層間介質(dielectric)厚度的改變，進而造成良率(yield)的降低及影響電路的效能(performance)。因此，如何能在實體設計的繞線(routing)時考慮 process 佈局形狀變異的問題(如利用 metal-fill patterning 及其衍生的 dummy feature 電容等來降低連線電阻值的差異)，以及發展出反映 CMP 影響的 wire delay model，為 design for manufacturing 重要

的研究課題。

### 模型 (Modeling):

隨著操作頻率的提昇、超長連線的出現及訊號上升時間的減小，on-chip 電感的效應已開始顯著。此衍生以下的重要研究課題：

快速且準確 on-chip 電感的 modeling 及 extraction。目前此主題之研究瓶頸主要在於 inductance matrix 的簡化(sparsification)及 current return loop 的決定等。

同時考慮電阻、(耦合)電容和(耦合)電感效應的 delay model 及同時考慮(耦合)電容和(耦合)電感效應的 power model。

由於繞線層數的增加(5, 6層金屬已極為常見)，電容和電感的 modeling 及 extraction 需考慮 3D 的 geometry。而 delay 及 power 的 modeling 亦需考慮同層及上下層間連線的耦合電容和電感。

### 設計最佳化 (Optimization):

面積(area)、訊號延遲(timing) 和功率(power)為傳統設計自動化中最重要的 design metrics。然而在深次微米技術時代，訊號完整性(signal integrity)及可靠度(reliability)的重要性日益提昇，此使得雜訊(noise)的處理(如 capacitive and inductive crosstalk、power noise 等)、電磁干擾(electromagnetic interference, EMI) 的防制及 electromigration 的避免等，須與上述傳統 metrics 並列考量。如何在實體設計各階段，以有效的技術(如調整電路元件尺寸、調整導線形狀及位置、加入導線遮罩及緩衝器等方法)來解決前述 metrics 的同步最佳化，為深次微米電路設計自動化重要的研究問題。

目前的 CAD 工具大多僅能處理因電阻和電容所產生的效應，隨著 on-chip 電感效應的顯現，我們須發展能同步考慮電阻、電容和電感的實體設計工具(如 RLC timing-driven, noise-aware router 等)。

除了一般訊號線外，clock 及 power/ground networks 的設計自動化也是目前重要的研究課題。Clock nets 通常具有最大的 fanout、繞經最長的距離及需最高速的操作處理。因此如何設計省電、具有 minimal skew (或最佳的 skew scheduling)，並能考慮 process variation 及 edge rate 的 high-speed, buffered clock nets 為高速數位電路設計不可或缺的一環。而 power/ground networks 的設計旨在決定 network 的 topology 及其導線的寬度，以使用最小的 silicon 面積，並防制 IR drop 及 electromigration 等所造成的訊號完整性及可靠度問題。由於操作電壓的日益降低，IR drop 所造成的 noise，更容易造成電路無法正常運作，此對深次微米的設計產生更嚴厲的挑戰。

### 設計方法 (Methodology):

在深次微米技術下，電路之連線(interconnect)為決定效能(performance)的最關鍵因素，因此設計全程皆需考慮連線的效應，即以連線為導向之設計流程(interconnect-driven design flow)，以達成 timing closure 及 design convergence。此相關研究主題有 layout-driven logic synthesis, interconnect-driven placement/floorplanning, buffer planning 等。

由於元件的縮小及晶圓尺寸的變大，電路的複雜度日益增高，而具有千萬個邏輯閘的單晶片已有量產。然而目前能處理極大型電路的實體合成及分析工具(如 very large-scale circuit partitioner, placer, floorplanner, router, RLC extractor 等)卻極為匱乏，因此發展方法(如 hierarchical/multilevel frameworks 及 design with incremental update/ECO 等)以輔助極大型電路之設計，並提昇設計生產力(productivity)，為當今的重要研究課題。同時，也因為實體設計所需的時間較以往長許多，但卻常為了局部設計的變更(如 RTL Code 更改)而造成已大部分完成的實體設計必須重新來過。因此發展出可針對既有的實體設計而做最小更動的電路合成工具(incremental logic synthesis with physical design netlist)將對減少 Time to Market 有莫大的助益。

由於內建 Regulator 的技術已漸漸成熟，晶片內不同的功能區塊其供電來自不同電源的情形將會愈來愈普遍 (multi-voltage island)，這些功能區塊彼此如何做時序的分析驗證及實體設計上的可靠度考量，將也是極重要的研究課題。

由於深次微米技術下設計複雜度的與日俱增，階層化設計與 IP block 已漸被使用，此趨勢使得 block level 的 placement/floorplanning/routing 及其 timing budget 的決定，對電路設計品質的影響變得更為重要。因此發展快速具彈性，且能處理各種條件限制(如 timing, area, noise 等 metrics 及 blocks 間 alignment, abutment, proximity, obstacle, symmetry 等 constraints)的 IP integration 工具，日益受到重視。

雖然規劃小組鑑於我國研究人口有限而挑選前列四項研究方向供全國相關研究人員參考，然而 IC 設計問題與技術之演進非常快速，隨時都有新的研究子題浮現，國科會永遠都應支持最先進的研究計畫，更應鼓勵教授們挑戰高難度的研究題目。最後，我們列舉一些前瞻先進研究子題於后：

#### 前瞻先進研究子題:

##### 新的 MPSOC or NOC 架構及所需之設計軟體：

隨著製程技術的進步，將來的晶片已可容納千萬邏輯匣的設計。Multiprocessor System-on-Chip(MPSOC)或則所謂 Network-on-Chip 的系統架構以及相關設計自動化軟體將是值得研究的課題。這方面的研究可包括：

- **Architecture design**
- **Communication infrastructure design**
- **Communication-driven task binding**
- **System functional simulation and performance evaluation**
- **System synthesis**

##### 晶片系統之前瞻設計方法：

由於晶片之大型化及複雜化，在設計方法上會面臨一些問題。例如：如何在晶片的最上層電路分割出各個功能方塊，並且在合成及佈局完成後能達成時序的要求、如何在晶片階層作佈局規劃，並將一些實體佈局相關的資訊傳給邏輯合成之工具、如何增進工具間彼此的相容性及如何衡量設計的品質，都是重要的問題。這些題目分列於下：

- **Application specific SOC design platform.**
- **Design methodology to solve timing closure, signal integrity problems.**
- **Low power design methodology.**

# 晶片系統模組及介面設計

## System-on-a-Chip Module and Interface Design

### 一、概述

進入公元 2000 年之後，由技術層面而言已有 1 Gb 之 DRAM、1 GHz 之 CPU、1 GB/S Link 及 5 GOPS DSP，0.1mW/MIPS @ 0.9V DSP 之積體電路問世。在產品應用方面，全球資訊市場在網際網路之興起下帶動高速寬頻之產品風起雲湧。而多媒體應用家庭化造成資訊家電及後 PC 時代之來臨，對 System-on-a-chip (SoC) 之需求更加殷切。而因應個人通訊之渴望，整合之接收機晶片及強調低功率之 IC 產品更是一股未之能禦之風潮。而整個數位科技之應用焦點已悄然由「純計算元件」轉移到「存取」、「傳輸」與「處理」不同面相之數據如聲音、資料與影像等。而多元化之結果亦使得系統架構多樣性與複雜度增加，使得 Silicon IP (SIP)核心、匯流排及介面設計之優與劣亦成為系統效能之決定因素之一。未來幾年仍將以 0.13 微米 CMOS 製程為矽驗證主軸，來探討相關設計議題。

因應未來技術發展趨勢，SoC 在設計上的重要目標主要有三方面：

(1) 效能之最佳化 (Performance Optimality)

包括系統規格 (System Specs)、計算延遲 (Computation Delay) 和矽面積 (Silicon Area)、信號整合性(Signal Integrity) 、以及記憶體和輸出入頻寬等之個別或之間的最佳化。

(2) 整合之複雜度 (Integration Complexity)

包括多功能 (Multiple-functionality)、可調整性和具可擴展性之設計、以及追求功率效益 (Power Efficiency)。

(3) 設計之生產力 (Design Productivity)

設計之自動產生 (Automatic Generation)、IP 再使用 (IP-Reuse)、可測試性 (Testable)以及 IP 驗證。

值此 SoC 成為世界主要高科技國家之研發焦點之際，我們不僅需要創意(New idea)亦更重要的從研究角度而言，需要強調創新 (innovation) 與先探性 (exploration)之研究。相信國內之學者、專家有許多之創意與創新的構想已在進行或正在萌芽。此次之規劃，我們從整個微電子系統設計的垂直面之電路設計、SIP 模組、系統應用三層面規劃一些研究主題供各界參考。

### 二、規劃研究主題

#### (一) 電路設計

雖然一些基本之電路功能與設計技術長久以來一直是研究主題之一，但目前面臨之挑戰是

如何運用更先進之製程來突破現有之功能／效能，來達到更嚴、更好之規格。台灣已在先進製程之提供與服務上扮演重要之角色，在電路設計之創新與先探性(exploration)研究上亦應扮演同等角色。

1. 低電壓/低功率設計(Ultra Low-voltage/low-power design)
  - 庫存元(Cell library)
  - 創新之邏輯閘(New Logic gate)
  - 多電壓源設計方法與電路(Multi- $V_{DD}$  Design methodology and circuits )
  - 感測器介面電路 (Sensing Interface Circuits)
2. 高速設計(High-Speed design) (GHz)
  - 時序脈波設計方法與電路(Clocking, de-skew methodology and circuits)
  - 庫存元(Cell library)
  - 創新之邏輯閘(New Logic gate)
  - 資料處理電路(Data path circuit)
  - 介面邏輯 (Interface Logic)
3. 可靠性設計(Design for reliability)
  - 熱分佈(Thermal distribution)
  - 信號整合性(Signal integrity)
  - 時序完整性(Timing closure)
4. 鎖相式/鎖時式迴路及脈波產生電路(PLL/DLL and clock generator)
5. 高速低雜訊輸出/輸入電路(High-speed low-noise I/O circuit)

## (二) SIP 模組

各 SIP 模組除了強調創意與創新外，希望能加入 SIP 化之考量。以下僅就 SIP 化之研究及各晶片系統中之模組規劃如下：

### 1. Processor 單元

在 3C 系統應用中，各式具訊號處理能力的 Processors 是不可或缺的關鍵性零組件。它的設計目標有二：(1)具創新性的 Processor 設計，或(2)具可容性(Compatibility)之 Processor 設計，但追求功率消耗、計算延遲和矽面積之最佳化。

- 精簡指令控制器(RISC Controller)
- 數位訊號處理機(DSP Processor)
- 媒體處理器(Media Processor)
- 可再組 (Reconfigurable) 計算路徑
- 記憶體管理單元與記憶體系統
- 軟體發展平台及作業系統

### 2. 資料傳輸單元

- 時序(Timing)、載波(Carrier)回復等時序同步模組
- Modulator／Demodulator(調變／解調)模組
- 等化器 (Equalizer)，Adaptive Equalizer (適應性等化器)
- 路由交換 (Router/Switch) 模組



- 網路界面 (Network Interface) 模組
- 高速傳輸界面設計

### **(三) 系統應用(SoC)**

此部分主要考量系統平台及其應用，例如正處於啟始階段產品的寬頻網路和手機系統、數位視訊廣播系統 (DVB-T)、生醫檢測系統、智慧型運輸系統 (ITS) 與控制系統等等，以及正處於成長期的新一代手機晶片、數位用戶迴路、數位電視、無線網路系統等等，此部分設計的考量，主要在於符合系統規範下，提出新的演算法和低成本硬體架構實現方案，以不同的智產方式實現 (如 SOFT-IP、FIRM-IP、HARD-IP)，並進一步探討可能的低功耗設計方式和深次微米製程技術下雜訊消除等等。由於牽涉到系統層級行為，如何提出一具創新又有實用性的解決方案，是此晶片系統研發的重點。大致分類為：

1. 寬頻網路系統
2. 有線傳輸系統
3. 無線傳輸系統
4. 多媒體系統
5. 資訊家電
6. 智慧型控制系統
7. 環境運算系統
8. 無線診療系統

同時以上系統所需求之關鍵模組，亦為研究之重點。如

- 各式壓縮、解壓縮 (Compression/Decompression) 模組
- 通道 (Channel) 編碼、解碼 (Encoding/Decoding) 模組
- 各式濾波器 (Filtering) 模組
- 各式轉換 (Transform) 模組
- 繪圖加速 (Graphics Acceleration) 模組
- 視訊顯示比例 (Video Scaling) 模組
- 加密、解密 (Encryption/Decryption) 模組

# 國科會微電子學門矽半導體暨化合物半導體領域規規劃會議分組及議程

開會時間: 93年9月7日 pm:2:00

地點: 交通大學工程四館 424R

## 一、分組:

### 矽基元件與製程技術

清大 葉鳳生教授

中央 李佩雯教授

台大 管傑雄教授

### 化合物半導體

台大 林浩雄教授

成功 王水進教授

中山 李明達教授

中央 蔡政瀛教授

### 前瞻性技術

工研院電子所 陳良基所長

交通大學 雷添福教授

## 二、議程:

14:00-14:15: General overview of NSC/silicon/compounds

14:15-15:00: sub-group discussion on each research area

15:00-15:30: joint-discussion on 3 areas

15:30-15:50: concluding remark

# 矽基元件與製程技術

矽基元件與相關製程技術無疑的是現今半導體工業之一主要核心發展領域，為因應未來半導體工業的快速成長，及面臨可能的跨領域結合，新的技術整合無可必免的將會是未來的趨勢。此外，鄰近大陸的快速發展，國內半導體產業的部份外移，如何跟緊時代最新技術潮流，建立國內雄厚的研發能力及技術，及適時培養研發人才，實身為學術研究單位的我們所應注意的，國科會微電子組本領域教授同仁，除了配合國家的主要研究方向外，在此亦對往年的規劃予以更新，以便同仁之參考。

在矽基元件與相關製程技術之規劃重點仍以學術基礎研究與前瞻應用並重為原則，分為元件、前段製程模組、後段製程模組、及製程模擬與元件模擬等四大項。

## 1、元件

### 1.1 前言

在積體電路製作日益進步，元件尺寸持續縮小的情形下，現今只有大公司才有能力作出更小尺寸之元件。因此在元件部分，將朝向比生產更前瞻之基礎研究規劃，包括矽基元件、絕緣層上矽元件 (SOI Devices)、高頻元件(RF CMOS Devices)、及系統單晶片元件(SOC Devices)等。此外，大尺寸之高功率元件(High Power Devices)亦為現今業界不可或缺之重要元件，值得學術界持續的研發。

### 1.2 國內外研究狀況

在國內部份，幾家大廠如 TSMC、UMC 等，已完成 90 奈米之量產技術，也已進入銅製程的時代。由於學界所擁有之資源實在無法負擔昂貴之半導體製程設備，因此當台灣半導體業界拼命往前衝之同時，學界能貢獻的便顯得越來越少。但是在模組方面，則有許多可以和業界互補的，如先期銅製程技術、單電子元件、下一代光阻、次微米元件可靠性分析等。另一方面由於市場競爭激烈，每一代產品之生命期越來越短，各大廠商面臨著每一代技術研發時間越來越短之空前壓力。根據 2003 ITRS 近期資料(如表一)，很多製程待解決，因此，唯有繼續更具前瞻性的研究才能趕上世界潮流。

隨著積體電路製程技術的不斷進步，積體電路元件的尺寸也縮小到 100nm 以下，進入奈米的範疇。但是縮小元件的技術是有極限的，在縮小的過程中也會碰到許多技術的瓶頸，像閘極氧化層的厚度等，因此一般相信，在未來 15 到 20 年，超大型積體電路(VLSI)就會撞上紅磚牆(red brick wall)，而無法再繼續縮小下去了。而從 2000 年開始發展的奈米科技，其原始構想之一就是找出方法來解決元件縮小的瓶頸問題。其中奈米碳管(carbon nanotube)由於製程簡單，可以做出 CMOSFET 及相關電路而廣受注目。不過值得注意的是，發展奈米線電子元件的目的並不是要與 CMOS 技術競爭，因為它在複雜程度上是競爭不過的，而是要與 CMOS 技術相結合。

Table 1 High-performance Logic Technology Requirements-Near term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		90nm			65nm		
DRAM $\lambda$ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) $\lambda$ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC $\lambda$ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	55	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Physical gate length high-performance (HP) (nm) [1]	45	37	32	28	25	22	20
EOT: equivalent oxide thickness (physical) for high-performance (nm) [2]	1.3	1.2	1.1	1.0	0.9	0.8	0.8
Electrical thickness adjustment for gate depletion and inversion layer effects (nm) [3]	0.8	0.8	0.7	0.7	0.4	0.4	0.4
Equivalent electrical oxide thickness (inversion) (nm) [4]	2.1	2.0	1.8	1.7	1.3	1.2	1.2
Nominal gate leakage current density (limit at 25°C) ( $A/cm^2$ ) [5]	2.2E+02	4.5E+02	5.2E+02	6.0E+02	9.3E+02	1.1E+03	1.2E+03
Nominal power supply voltage ( $V_{DD}$ ) (V) [6]	1.2	1.2	1.1	1.1	1.1	1.0	1.0
Saturation threshold voltage (V) [7]	0.21	0.20	0.20	0.21	0.18	0.17	0.16
Nominal high-performance NMOS sub-threshold leakage current, $I_{sub}$ (at 25°C) ( $\mu A/\mu m$ ) [8]	0.03	0.05	0.05	0.05	0.07	0.07	0.07
Nominal high-performance NMOS saturation drive current, $I_{drive}$ (at $V_{DD}$ , at 25°C) ( $mA/\mu m$ ) [9]	980	1110	1090	1170	1510	1530	1590
Required "mobility/transconductance improvement" factor [10]	1.0	1.3	1.3	1.4	2.0	2.0	2.0
Sub-threshold slope adjustment factor (full depletion/multiple-gate effects) ( $\theta-1$ ) [11]	1.0	1.0	1.0	1.0	1.0	0.8	0.7
Effective saturation carrier velocity enhancement factor (due to quasi-ballistic transport) [12]	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Parasitic source/drain series resistance ( $R_{sd}$ ) (Ohm- $\mu m$ ) [13]	180	180	180	171	162	153	144
Ideal NMOS device gate capacitance ( $F/\mu m$ ) [14]	7.40E-16	6.39E-16	6.14E-16	5.69E-16	6.64E-16	6.33E-16	6.76E-16
Parasitic fringe/overlap capacitance ( $F/\mu m$ ) [15]	2.40E-16	2.40E-16	2.40E-16	2.30E-16	2.20E-16	2.00E-16	1.90E-16
High-performance NMOS intrinsic delay, $\tau = C_{gate} * V_{DD} / I_{drive}$ (ps) [16]	1.20	0.95	0.86	0.75	0.64	0.54	0.48
Relative NMOS intrinsic switching speed, $1/\tau$ , normalized to 2003 [17]	1.00	1.26	1.39	1.60	1.96	2.20	2.40
Nominal logic gate delay (NAND Gate) (ps) [18]	30.24	23.94	21.72	18.92	16.23	13.72	12.13
NMOSFET power-delay product ( $\mu J/\mu m$ ) [19]	1.41E-15	1.27E-15	1.03E-15	9.64E-16	1.07E-15	8.33E-16	7.66E-16
NMOSFET static power dissipation due to drain and gate leakage (W/ $\mu m$ ) [20]	3.96E-07	6.60E-07	6.05E-07	6.05E-07	8.47E-07	7.70E-07	7.70E-07

Manufacturable solutions exist, and are being optimized  
 Manufacturable solutions are known  
 Interim solutions are known  
 Manufacturable solutions are NOT known



### 1.3 規劃重點

#### 1. 矽基元件:

單電子元件 (SET)、記憶體(memory)、與邏輯(logic)元件。

- 單電子元件可分成矽基上不同材料量子點合成技術，有閘極控制之記憶元件，及單電子元件之理論特性分析等。
- 記憶體可分成 DRAM，SRAM，非揮發性記憶體等。重點包含新結構與材料(BST、SBT、PZT)，低漏流，穿隧氧化層，記憶體操作穩定度，元件縮小，FeRAM，Flash 等。
- 邏輯元件以 CMOS 為主，包含低  $I_{off}$  高  $I_d$  元件，深次微米元件製作，穩定度，靜電放電保護(ESD protection)，多臨陷電壓(multiple threshold voltages)，新結構，金屬閘元件。

#### 2. 絕緣層上矽元件 (SOI Devices):

包含高品質低缺陷 SOI 成長技術，全空乏元件(Fully Depleted SOI CMOS)，穩定度，深次微米元件(SOI MOSFETs)，本體接觸元件(Body-contacted SOI MOSFETs)，界面陷阱特性，輻射

效應(Radiation effect)等。

3. **Si 相關的奈米元件**:如 Si 奈米線及其衍生出的電晶體及記憶體等，主要是可以與 Si 積體電路整合者。
4. **SiGe 元件**:相關的異質界面元件，包含長晶技術，結構，及光、電特性等。
5. **高頻元件(RF CMOS)**:  
包含傳輸/接收元件(Transmitter/Receiver)，電感元件，隔絕技術，低電壓元件，低閘極漏流元件，強化信號雜訊比技術，低接觸電阻元件，元件匹配技術。
6. **系統單晶片元件(System-on-A-Chip SOC Devices)**:  
包含嵌入技術(embedded DRAM technology) - 將 logic 及 DRAM 元件同時於製程中含入，溝渠電容元件，多電壓技術，多閘極氧化層厚度技術等。
7. **高功率元件(High Power Devices)**:  
包含耐高壓及大電流電晶體，閘流體，及驅動元件電路等。

## 2、前段模組製程

### 2.1 前言

積體電路之特性主要決定在元件之好壞，例如閘介電層與通道材料之品質可以影響到元件之可靠性與生命期之長短與通道材質之。前段製程包含了元件製作最重要的部份，其中包含通道材料，超薄絕緣層，閘極材料，超淺接面，金屬矽化物，和淺溝隔絕。

### 2.2 國內外研究狀況

形變矽鍺/矽材料與技術近年來廣受半導體積體電路界的矚目，因為可以使目前的矽材料在微電子及光電工業的應用上更加的多元化及更具功能性。矽鍺/矽異質結構雙載子電晶體已成功地證明了其在高頻元件及電路應用的優越性；而在互補型金氧半電晶體技術的應用上更期望借重於形變矽/矽鍺之高電子/電洞的漂移率與能隙調變工程，來大幅地改善目前超大型積體電路之操作速度與元件特性。

超薄絕緣層，在國內外皆有很好的研究成果，例如利用堆疊如  $Ta_2O_5/SiO_2$ 、 $TiO_2/SiO_2$  或是利用  $HfO_2$ 、Hf-silicate、稀土(rare earth)金屬氧化物如  $La_2O_3$ 、 $Pr_2O_3$ 、及  $Gd_2O_3$  等皆能使  $T_{ox(eff)} < 10\text{\AA}$ ，而傳統 DRAM 記憶胞 (Memory Cell) 電容之介電材料為單層二氧化矽或複層氮化矽/二氧化矽 (即 ONO)，但是這些材料因受到低 k(約 4)與臨界厚度 (約 4nm) 的限制，已經無法勝任下一代微小尺寸與超高集積度 (Gigabit) 的需求，因而產學研各界已經積極開發高 k 電容介電材料，其中以  $Ta_2O_5$  (k 值約 25)、 $Al_2O_3$  與  $HfO_2$  結構之強介電多元氧化物材料最受矚目。因為  $Ta_2O_5$  與矽晶微電子製程有極佳的整合性與匹配性，半導體業界乃採用  $Ta_2O_5$  製作高容量的 DRAM。日本 Hitachi 公司近來已經推出使用  $Ta_2O_5$  之 256-Mb DRAM 產品，並且預估它可以勝任至 Gigabit 時代；Applied Materials 公司亦推出 CVD- $Ta_2O_5$  機台。資料顯示自 1960 年至今，有關  $Ta_2O_5$  之研究呈現指數增加，充份顯示研發  $Ta_2O_5$  記憶胞高密度電容材料的重要性。目前這種薄膜的沈積製程包括 CVD、濺鍍、溶膠凝膠 (Sol-gel)、脈衝雷射剝鍍 (Pulsed Laser Ablation) 等方法，其研究重點有 1) 製作  $Ta_2O_5$  複合薄膜以近步提升 k 值；2)  $N_2$ 、 $O_2$ 、 $N_2O$  中性氣氛或電漿退火處理，以降低漏失電流；3) 抑制 CVD 氧化氣氛誘發矽晶表面形成  $SiO_2$  介電層；4) 尋求匹配電極，以消除應力與剝離效應，並改善電接觸性等等。

除此之外，產學研界亦利用鋇鋇鈦 (Barium Strontium Titanate, BST)、鉛鋇鈦 (Lead Zirconate

Titanate, PZT) 與銦鉍鉭 (Strontium Bismuth Tantalate, SBT) 等多元氧化物材料的鐵電 (Ferroelectric) 與超高 k 特性, 積極發展低集積度 (<4Mb) 的非揮發性 Nonvolatile 鐵電記憶體 (NVFRAM) 的記憶胞電容。鑑於這些超高 k 材料之沈積製程、蝕刻、電極選擇與 DRAM 電晶體相關製程整合性之諸多技術障礙, 一般認為 Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub> 與 HfO<sub>2</sub> 等氧化物材料較適合 DRAM 元件之使用。在閘級材料方面, 近一二年則有新的金屬閘 (Metal Gate), 矽鍺閘 (SiGe-gate) 等, 其中金屬閘則有低阻值, 無硼穿透等好處。在超淺接面及金屬矽化物方面則會朝向 <500Å 深或提昇型結構及鈷、鎳金屬矽化物製程。

## 2.3 規劃重點

### 1. 應變矽/矽鍺工程

Substrate engineering, strain engineering, 應變 Si/SiGe 通道, strained SiGe 源/汲極, strained Si-on-insulator, Ge-on-insulator 等。

### 2. 超薄絕緣層 (Ultra-thin Gate Dielectrics):

包含超薄氧化層 (<20Å) 生長技術, 穿隧電流與元件製程關係研究, 穩定度 (SILC), 崩潰特性及模型 (TDDDB), 電漿傷害, 靜電放電特性, 熱載子效應 (Hot carrier effect), 輻射效應 (Radiation effect), 製程均勻度 (Process uniformity), 抗硼穿透特性。

### 3. 高介電常數絕緣層技術:

對深次微米 MOSFET 元件而言, 高介電常數絕緣層如 ZrO<sub>2</sub>, HfO<sub>2</sub>, rare earth oxides (La<sub>2</sub>O<sub>3</sub>, Pr<sub>2</sub>O<sub>3</sub>, Gd<sub>2</sub>O<sub>3</sub>) 等。

對記憶胞電容而言, 高介電常數絕緣層如銦鉍鉭 (Barium Strontium Titanate, BST)、鉛鍺鈦 (Lead Zirconate Titanate, PZT) 與銦鉍鉭 (Strontium Bismuth Tantalate, SBT) 等多元氧化物材料及 Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub> 與 HfO<sub>2</sub> 等氧化物。

### 4. 閘極材料 (Gate Materials):

金屬閘, 複晶矽化物 (polycide), 矽鍺閘 (SiGe-gate), 及雙閘 (Dual gate)。

### 5. 井工程 (Well Engineering):

超淺接面 (ultra shallow junction), 固相擴散 (Solid-phase diffusion), 氣相摻雜 (Gas-phase doping), 電漿摻雜 (Plasma doping), 低能量離子佈植, 倒退型井 (retrograde well), 三重井 (triple-well)。

### 6. 金屬矽化物 (Silicide/Salicide):

鈷矽化物 (Co-silicide), 鎳矽化物 (Ni-silicide), (Pt-silicide), 犧牲層矽化技術 (Sacrificial silicidation)。

### 7. 淺溝隔絕 (Shallow Trench Isolation STI):

新穎製程及結構, CMP 平坦化技術, 角落效應, 元件與井間之漏流。

## 3、後段模組製程

### 3.1 前言

隨著高性能 IC 元件特徵尺寸的趨向微小, 及縱橫比 (Aspect Ratio) 與堆積階梯之提高, 發展新型的孔槽 (Hole & Trench) 填充技術、內連接導線系統與平坦化 (Planarization) 處理已日漸迫切。雙重鑲嵌製程的整合面臨挑戰也急待解決

### 3.2 國內外研究狀況

在尺寸縮小時, RC delay 儘量減少受其影響之下, 發展雙重鑲嵌銅製程 (dual-damascene copper process), 但製程複雜性增加很多。在引進新的低介質材料後, 介質材料蝕刻阻障層 (etch-stop) 也得

重新討論,兩者之間,蝕刻選擇性要高。在化學機械研磨時 (chemical-mechanical polish),必須能承受壓力,不易剝落。且在整合過程中,每一次的蝕刻,光阻剝除 (resist strip),及後蝕刻 (post-etch) 也不使低介質材料劣化。接著鍍金屬阻障層 (diffusion barrier) 及結核層 (nucleation layer),尤其在全面連線 (global wiring) 時,其  $A/R$  高,也要有平滑的覆蓋。金屬阻障層越薄時,阻障能力要好以外,也不能增加其有效電阻。其後以電鍍法鍍上銅,配合化學機械研磨,除了各材料之間不能剝落外,也要使盤化 (dishing) 及腐化 (erosion) 減少,而後清潔 (post CMP clean) 的適當選擇,才能減低缺陷密度 (defect density),增加銅製程良率及可靠性,所以從 1998 年發展 Cu/SiO<sub>2</sub> 技術後,降低介質常數一直在 ITRS 討論。尤其銅製程的整合,在低介質材料上,含氟的氧化矽(K=3~7)用於 180nm 技術,而 K 在 2.6~3.0 也沒有在 130nm 技術中完全使用,可能會應用在 90nm 技術中。在整合  $k < 2.6$  多孔低介質,其孔洞密封且維持低  $k$  一直沒法解決。目前在 PMD, IMD 配合材料也多用 spin on MSQ、HSQ、OSG、Polymer 及其多孔材料。在蝕刻阻障層,則用 SiC, SiOC, SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, 也因此有效  $k$  值上也有限制,其要求也列於 Road Map 上。在金屬導線上,其局部連線(Local wiring) 有利用 ALD, CVD, 或 PVD/CVD Al 或 w 填充高  $A/R$  的接面。在金屬線 1 及中間連線(Metal 1 and intermediate wiring)多用 ECD, CVD 甚至在超臨界 CO<sub>2</sub> 下鍍銅。尤其,銅尺寸更小時,其界面,雜質及微結構都會影響電阻值,更急需研究。在全面連線(Global wiring)上目前仍用 ECD 銅,倒是在高  $A/R$  介質上以 PVD, ALD 長較好的銅結核層(nucleation layer)也是當務之急。至於阻障層,也用 ALD, ionized PVD, CVD 或用無電極電鍍 Ta、Ti、W 及其氮化物。在平坦化方面的 CMP 及其後清洗或 ECMP 技術也一直有研究。可是此 CMP 與低介質,阻障層,銅的整合,在可靠性及良率的問題也待解決。我們知道以上述 Cu/低介電質整合技術繼續發展,到 32nm 時,在金屬線 1 (Metal1) 延遲的問題較小。可是,全面連線 (global wiring), RC 延遲高了 10~100 倍,雖然可用重複器 (repeater) 來解決,但又衍生出銷耗率的增加及晶片面積的消耗。另外,當使用電壓及線距縮小時, clock 及 signal 線上發生的 cross talk 也待研究解決。所以在延遲及 cross talk 上,必須突破統的思維,發展新的設計及技術,也是當務之急。

### 3.3 規劃重點

#### 1. **多層導體連線及其阻障層:**

銅金屬沈積 (Cu deposition)技術- 含濺鍍銅(Sputtering Cu)、化學氣相沉積銅(CVD Cu)、無電鍍銅(Electroless Cu)、電鍍銅(Electro-plating Cu), 電遷移特性,阻障層金屬,應力衰退機制,縱橫比效應,平坦化,鋁填充(Al-plug), 選擇性鎢填充( Selective W-plug), 薄阻障層/底層沉積,含聚合物導體,晶片間光連線。

#### 2. **低介電常數介電質 (Low-k Materials)及介質蝕刻阻障層(Dielectric etching stop):**

含氟氧化層(F-doped SiO<sub>2</sub> SIOF), SiOC, 低溫氧化層, 多孔氧化層(Porous oxide), 有機材料, 無機材料, 空氣隙, 應力銅膜, 漏流特性, 抗水氣性, 塗佈技術, CVD 沉積技術。

#### 3. **平坦化 (Planarization):**

蝕刻過鋁膜上低介電層 CMP 技術, 鑲嵌金屬(Damascene metal), 鋁 CMP, 銅 CMP, CMP 及表面清潔技術, CMP 用之漿液開發, CMP 另類平坦化技術。

#### 4. **製程整合及電性測量**

銅、阻障層、低介電質及 CMP 製程整合及研究 resist poison, 應力遷移(stress migration) 電子遷移及可靠度測量等。

## 4、製程模擬與元件模擬

### 4.1 前言

在矽基半導體製程及元件的微縮(miniaturization)發展過程中，製程與元件兩者的模擬扮演相當重要角色，為了達成製程對元件與電路設計的預先評估 - 包含製程準確度、元件結構設計、電性分析、以及製程造成傷害等，此製程與元件模擬之進行將越趨重要而無法避免。善用製程與元件模擬技術，將可加速元件微縮化的進度，而若使用不當，將會嚴重影響半導體元件與電路的電性上之穩定性及可靠性，所以不得不慎重。

### 4.2 國內外研究情況

TCAD 的模擬與模型建立，目前已被廣泛應用於製程之最佳化、改善製程之敏感度、以及檢測製程之穩定性。而在製程快速發展的今日，製程與元件的模擬必須不斷的經過更新與修正，才可得到更精準更合理的計算結果。在 SIA roadmap 裏，已提供一些使用模擬工具會遭遇障礙與必須解決的問題。以下我們將解釋 SIA 中所特別提出的問題。

元件內部雜質濃度分佈(dopant profile)將是元件設計的重要關鍵：在雜質濃度分佈的控制上，熱處理(Thermal budget)造成將會因為離子佈植造成的傷害與 TED(Transient Enhanced Diffusion)效應使之難以控制。這部分所要應用的理論將牽涉到許多互相耦合的物理效應，而且這些效應大部分仍是處於未知的狀況。雜質與缺陷(defect)的衡量方式現在仍然還在開發的階段，這部分必須透過物理的分析與校正才能獲得完整解析，而洞悉元件內部濃度分佈情形。另外，在小於 100nm 製程技術上，目前尚無準確的 1-D、2-D、3-D 模擬工具，所以必須要加以發展。

佈線(interconnect)在製程及電路設計上之重要性逐漸增加：高頻電路必須嚴格的考慮 RLC、傳輸線、長距上與基板(substrate)的耦合效應(coupling effects)等限制。這必須要朝向於研發具高效率的佈線上全晶片模型(full-chip model)與模擬技術，其中更包含了不同圖案(pattern)佈線與三度空間互相耦合的分析技巧。而且在新材料紛紛被開發出來（諸如銅導線與低介電常數材質被導入半導體製程），以及佈線系統的可靠性的考量下（諸如電遷移(electromigration)和應力傷害(stress)等），模擬的方法將必須重新設計。未來應用於佈線上的模擬工具，將必須有更好的模型才能更有效率的解決元件高頻操作下的問題。

製程造成的表面形貌(topography)變化，仍缺乏足夠的知識去分析：因為製程上，物理與化學的表面反應（諸如 CVD、CMP、plasma etch、化學蝕刻等），都會因為使用的物理或化學藥劑反應速率，而嚴重影響到微區域（小於 10nm 的區域）沉積或是蝕刻上形貌上的變化。反應劑造成的元件表面形貌上的變化，將會嚴重的影響後續製程（諸如佈線、微影蝕刻等）的進行。至於如何去控制表面形貌，將會是影響下一世代製程良率的關鍵。

封裝技術的模型必須重新考慮：由於晶片尺寸、晶片散熱、切換速度、封裝的技術與材料的演進，模擬工具必須針對熱、機械應力、以及電性上重新考量。如何把晶片從切割到封裝，而再從封裝到出貨，始知電性保持一定，封裝模型及模擬必須進一步的研發。

傳統模型無法應用於 100nm 新世代元件技術：到了 100nm 元件的世代，必須考慮物理與化學製程中之原子級反應。由於原子的數量級很大，這將會大量需要電腦運算的速度；而原子與原子的反應，則必須要有更先進的基礎科學的解析才可獲得解決。

### 4.3 規劃重點

目前製程與元件模擬技術上所需要發展的重點，可分成以下六個部分：

#### 1. 製程設備模型建立(Equipment Modeling):



包含反應室氣體作用，表面室壁反應，傳輸機制，熱分佈，氣流分佈，感應器，晶圓表面反應等。

## 2. **表面形貌模型建立(Topography Modeling):**

包含晶圓表面反應機制，特徵模擬，及圖案影響機制。

## 3. **前段製程模擬(Front End Process Modeling):**

包含離子布植，雜質分布，及材料生長。

## 4. **元件模擬(Device Modeling):**

包含

- (1) 非熱平衡傳輸: 現象了解及物理機制，非熱平衡模擬器
- (2) 閘極模型: 超薄絕緣層，替代閘極材料特性，穿隧模型，崩潰模型
- (3) 量子效應: 一維反轉層修正，二維及三維量子效應模型，量子元件
- (4) 新材料模型(比如 SiGe)
- (5) 穩定度模型: 連線衰退機制，RLC 及傳輸線，電磁波響應，氧化層 TDDB 模型，熱載子模型，電遷移模型
- (6) 電晶體模型: 密實模型(Compact model)，高頻效應
- (7) 連線模型
- (8) 基底模型(Substrate models): 記憶體模型，快閃記憶體模型，DRAM 記憶體模型，嵌入式(Embedded)結構模型
- (9) 元件雜訊的模擬: 包含  $1/f$  noise, thermal noise, shot noise 等。

## 5. **數值方法(Numerical Methods):**

包含現有方法速度提升，並聯模擬方法，Monte Carlo 方法及應用

# 化合物半導體

## 前 言

化合物半導體領域的研究涵蓋材料、元件、製程與電路，其應用以無線通訊、光通訊，及光儲存為主。近年來高亮度發光二極體之迅速竄起，使固態照明亦成為最有發展潛力的應用領域。這些應用領域的發展與需求領導著技術的研發方向與時程；對等的，化合物半導體技術的進展與成熟度亦深切地影響其應用市場的成長與地位。我國在過去五年內，化合物半導體產業蓬勃發展，周邊建設與產業供應鏈已漸趨完整並漸具規模，例如在電子產品方面的 IC 設計，晶圓代工，封裝測試與磊晶代工；在光電產品方面的磊晶成長，晶粒製造與封裝組合，均已在國際間扮演舉足輕重之角色。然而，面對國內外產業發展趨勢，我國勢必無法持續以低廉之製造能力於國際市場競爭，創新的知識與技術才是藉以立足與永續發展之基石。因此，除了舊技術之改良外，新領域、新技術的探索是學術研究上必須特別強調的方針。本規劃書就化合物半導體未來之發展趨勢，勾勒出涵蓋基礎、應用與前瞻性之研究重點，提供各位同仁參考，以期結合眾人之智慧，創造衝擊性之成果，培育高水準之人才，提昇我國在二十一世紀所需之競爭力。

# 材料

## 1. 前言

化合物半導體主要包括 III-V 族，II-VI 族、IV-IV 族及 I-III-VI 族等，但就研究現況及未來遠景而言，仍以 III-V 族、II-VI 族及 IV-IV 族為主流，其研究重點概述如下。

## 2. III-V 族

- 1) GaAs 系列材料：包括 AlGaAs、應力型的 InGaAs 材料，已是最成熟的化合物半導體，也是在光纖通訊、無線通訊及資訊產業上不可或缺的關鍵材料。近年來，研究重點除了與量產技術相關的課題外，最受注意的方向就是與奈米科技相關的 InGaAs、InAs 量子點、量子線低維度結構及其臨場即時檢測技術、Metamorphic 磊晶技術、含氮的 InGaAsSbN 材料、以及含 Mn, Co, Ni 及 Cr 等元素之磁性材料。這些新穎材料搭配奈米結構會是未來發展量子元件的基礎。
- 2) 磷化物系列材料：包括可見光範圍的 AlGaInP/GaAs 及光纖通訊應用的 InGaAsP/InP 以及 InAlGaAs/InP 系列材料。含磷系列的材料，在 MOCVD 磊晶技術上已相當成熟，但在分子束磊晶 (MBE) 技術方面，直到最近幾年由於固態磷源技術之進步，且有良好的均勻性及安全性的優點，而成為許多人青睞的選項之一。AlGaInP 材料主要應用於 LED 及雷射，而 InGaP/GaAs 則是重要的 HBT 材料，InP 系列除了光纖通訊的應用之外，也是高速元件及 MMIC 的重要材料，特別是 InP HBT 將在 100 GHz 以上的電路扮演極重要的角色。當然，其奈米結構亦是研究重點之一。
- 3) 氮化物系列材料：包括 BN, AlN, GaN 及 InN 等，是當今最熱門的研究重點，相關材料的波長涵蓋範圍包括紫外光、紫光、藍光、綠光、紅光，甚至紅外光，而元件則包括高亮度發光二極體、半導體雷射、光偵測器，以及高功率電子元件，如 HEMT 及整流器等。由於它的應用廣泛且較其他化合物半導體環保，各種不同的磊晶技術都值得發展。目前氮化物系列材料最大的課題是沒有適當的基板可與之晶格匹配。因此，基板材料之單晶成長技術，及以 HVPE 成長厚層 GaN 作為基板的相關技術，均是值得探討的課題。除了六方晶系氮化物系列材料之外，低度含氮的立方化合物半導體材料也是一個重要的研究主題，在 GaAs 基板上成長 InGaAsN 以製作 1.3  $\mu\text{m}$ , 1.55  $\mu\text{m}$  雷射及光放大器即是一例。這類型材料的磊晶成長、材料缺陷研究、物理研究與元件應用，目前雖已有良好的進展，但其中牽涉之物理仍未十分清楚，有待深入研究。
- 4) 銻化物系列材料：銻化物系列的材料過去主要是在中紅外線波長範圍 (2-5 $\mu\text{m}$ ) 的應用，包括下一世代的光纖通訊、中紅外線光源、偵測器及熱光伏特(TPV)能源轉換器等。然而近年來含銻化合物的 MOCVD 與 MBE 技術都有所進步，在電子與光纖通信領域也逐漸受到重視。例如完全沒有位障突起的 InP/GaAsSb/InP DHBT、GaAsSb/GaAs 長波長面射型雷射 (VCSEL)，以及未來超高頻、低電壓、低功率消耗的銻基材料的電子元件與積體電路技術等。同時銻元素常在異質磊晶成長時扮演界面活性劑(surfactant)的角色，有助於獲得平整的界面。因此，銻化物材料，製程與元件有其研究價值。此外，銻化物中 InAs 與 GaSb 系列的碎能隙結構亦有產生許多有趣物理課題的可能性。
- 5) 氧化物材料：一直受到無法成長高品質氧化層的限制，III-V 族的 MOSFET 發展有限，最近幾年，III-V 族的 MOSFET 在氮化物技術有所突破後，已再次燃起研究者興趣，氧化物的材料從 SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, 發展到 Ga<sub>2</sub>O<sub>3</sub>, Gd<sub>2</sub>(Ga<sub>2</sub>O<sub>3</sub>)，氧化物的成長技術包括液相沉積法(LPD)，

熱氧化，PECVD 及 MBE 等，除了 GaAs MOSFET，增強型 GaN MOSFET 最近也已被實現，惟仍有很大的研究空間。

### 3. II-VI 族

II-VI 族材料以 ZnSe 及 HgCdTe 二個系統最為普遍，近年來 ZnO、MgO 等寬能階材料亦漸受重視。自 1991 年 ZnSe 藍綠光脈衝型雷射二極體發展成功，至今，其壽命雖可達 400 小時，但已被 GaN 系列的雷射所超越。因此，在雷射二極體的應用上，ZnSe 幾乎已喪失其舞台，不過在白光二極體之應用仍有一些可能性。日本住友公司利用 ZnSe 基板深層能階所發出之黃光混合於其上之二極體的藍紫光，製作白光二極體，初步證實可行，惟目前其壽命仍不及 GaN 元件，一些用以提高其可靠度的方法尚待證實。

ZnSe、CdSe、CdS 等材料除了應用於現已成熟之光電產品上，未來最具潛力的領域應是應用於生物晶片及醫學檢驗之量子點結構。此外，在太陽電池、磁性材料與自旋電子元件上亦有發揮之空間。

ZnO 材料之研究人口逐年增加，焦點大多是在透明電極、發光元件，及奈米結構，如奈米柱的製備等。

### 4. IV-IV 族

- 1) SiGe/SiGeC：這材料是目前極為熱門的材料，未來將與 Si 結合，大幅增加 Si-based 元件之功能，性能與應用潛力，將具有廣大商機。此材料之製備目前仍以高真空 CVD 成長技術為主，它的材料特性，物理特性（如量子現象等）及元件特性有許多值得研究之處。
- 2) SiC：由於它屬於間接能隙，在發光元件方面，無法和已高度發展的氮化物系列材料競爭，但它具有高導電性及較佳的晶格匹配，可作為氮化物材料成長的基板選擇。另外，它的大能隙及較佳的熱導係數，使其可往高功率高溫的電子元件或 MOSFET 發展。目前 SiC 材料缺陷仍多，價格昂貴，所以 SiC 之長晶技術亦是值得開發的領域之一。

## . 元件

### 1. 前言

以化合物半導體異質結構為主體的電子元件部份，包括應用在高速、高頻電路的元件，以及利用量子效應所發展出來的新穎元件。因此電子元件的規劃即以偏重於應用科技的高速元件及較偏重於學術探討的量子元件這兩個主軸為主要的方向。在高速、高頻電子元件方面，由於無線區域網路傳輸，個人通訊基地台及衛星通訊收發訊號，高頻元件也必須同時擁有高功率的特性，以滿足產品的需求。此外，超低雜訊高頻元件的研發也對應於遠距離傳輸接收系統對雜訊更嚴謹的規格。在個人通訊方面，低供應電壓相關的元件及 MMIC 隨著手機市場的熱絡而逐漸引起開發的動機。

此外，化合物半導體多為直接能隙材料，所具有高效率的放光直接復合是矽材料所沒有的特性。因此化合物半導體在光電元件的應用中具有不可取代性。化合物半導體材料的光電元件應用波長範圍由紫外光到紅外線，相當地廣泛。包括多媒體、通信、網路、醫療與軍事等用途。

近年來在化合物半導體領域的重大發展有下列幾項：首先是 GaN 系列材料的出現，包括藍綠光發光二極體及雷射二極體，其中藍光發光二極體以進入量產，而雷射二極體的生命期也已達商用的

標準。除了藍綠波段外，也已經有白色、及琥珀色發光二極體出現。前者具有照明方面的應用，而後者與傳統的 InGaP 發光二極體比較，具有較佳的溫度特性。此外這個系列的材料也可用於 Solar-blind 光偵測器。

其次是在低維度量子元件的發展，主要是藉由磊晶技術成長的自形成量子點(quantum dots) 結構應用於雷射二極體之上。這些量子點結構除了預期能使雷射二極體有較佳特性之外，可以延伸雷射的波長，目前除了雷射起振(threshold) 電流密度到  $50\text{A}/\text{cm}^2$  以下之外，在 GaAs 基板上的 InGaAs 量子點雷射也可以到達  $1.3\ \mu\text{m}$ 。這可使光纖通信元件與現有的 GaAs MMIC 技術結合，或者應用於  $1.3\ \mu\text{m}$  面射型雷射可以結合 AlGaAs 材料系統的 DBR 結構。但目前的溫度特性  $T_0$  尚未能達到預期。

在光纖通信方面，可以預期因為網路與個人通信的大量普及，作為通信骨幹(infrastructure)的光纖系統也有相對的發展。光電元件在這個部份有相當多的課題值得研究，包括高品質 DBR/DFB 雷射二極體光源、調變器、就光纖耦合的元件結構考量、不需冷卻具良好溫度特性的光纖波段雷射二極體、大量生產所需考慮的積體化技術等等。就雷射二極體的溫度特性方面，目前有使用 InAlGaAs 與 InAsP 等具有較大導電帶能隙不連續之雷射二極體，另外也有含少量氮化物(diluted nitrides)的 InGaAsN 材料研究。後者直接成長於 GaAs 基板之上，利用能隙的 bowing 效應，能夠同時縮小晶格與能隙並提昇導電帶能隙不連續，目前已經有長波長的邊射型及面射型雷射的報告。此外，也有利用疊晶格結構造成載子的量子位障以提昇雷射溫度特性的作法。在積體化技術的部份，因為需要結合具不同主動層波長的元件於同一基板之上，所以有幾種不同的磊晶技術包括選擇成長技術或再成長技術等。此外，也包括結合光偵測元件與前端放大器的光接收器高頻積體電路。

而在更長波長 ( $>2\ \mu\text{m}$ ) 的範圍，光電元件除了傳統的 InAs、InAlGaSb、HgCdTe 等材料系統之偵測器及長波長雷射二極體與發光二極體之外，目前也有能夠使用較大能隙、較成熟材料的元件：在雷射二極體方面是量子串接雷射(quantum cascade lasers)，與量子井紅外線偵測器(QWIP)。

## 2. 高頻元件

由於無線通訊及光纖通訊的急速發展，頻寬的不足一直都是存在的問題，因此元件朝更高頻率響應的方向走是一致的趨勢。例如 LMDS 需要操作在 30 GHz 的 MMIC，而光纖網路也走向 40 Gbps 的速度。同時在不同材料系統所做成的高速元件或改善元件結構以符合某些特定電路之要求，如可靠度、線性度、崩潰電壓等，也都有持續性的研究工作在進行。在量子元件方面，除了低維量子結構外，單電子電晶體也是在過去幾年中很重要的課題。

國內在上述兩方面的發展，事實上與國外水準並沒有太大的差距，在高速元件方面雖然學術界已經開始逐步建立昂貴的製程設備，包括電子微影術等，以及製作深次微米元件與奈米元件的技術能力。而長期我們在磊晶技術及元件設計上的經驗，也已發展出相當不錯各式結構的高速元件。在磊晶技術方面，國外已具備從磊晶技術，高頻電路設計，晶圓測試及封裝等完整的垂直產業結構，國內由於化合物半導體磊晶產業包括中下游的蓬勃發展，使得研究單位在異質結構的實現方面有更大的空間。隨之而起的晶圓代工業所提供的步進式和電子束曝光機服務，也使研究單位以往對深次微米元件及 MMIC 受限於製程能力的瓶頸得以突破。

規劃研究重點包括如下：

- 1) 新材料或新異質結構，如 GaN-based 或 SiC, SiGe-based, metamorphic 電子元件。
- 2) 利用製程技術改進或元件結構設計上的最佳化，改善元件的高頻響應、輸出功率、雜訊指

數、線性度、崩潰電壓等特性，並建立各種相對小訊號，功率模型以為電路設計應用。

- 3) 在現有已商品化元件如 MESFET, PHEMT, HBT, 可從事元件設計及製程上的改善, 如更多功能元件及電路之整合, 新穎散熱結構與製程, 及平坦化製程, 以增加其效能與可靠度。
- 4) 毫微米電路將是未來無線通訊很重要的技術, 因此應積極開發能應用於毫米波之高頻元件, 其  $f_t/f_{max}$  應高於 300 GHz 以上。
- 5) 進行下一代電子元件如低維量子元件, 單電子電晶體的研究工作。

### 3. 光電元件

目前國內有相當大的發光二極體產業, 也有雷射二極體的公司。主要的材料在於 InGaP 系統與 GaN 系列。研究方面, 工研院光電所在可見光、紅外線材料的部份都有研究的部門, 包括 InGaP, InGaAsN, InAs 量子點系列的面射型雷射以及 GaN 的材料。中華電信研究所則在光纖通信範圍的光電元件包括 InGaAsP, InAlGaAs 材料的雷射二極體、DFB 雷射二極體與光偵測器等元件均擁有準生產的技術能力。在學界的部份, 台灣大學研究的範圍包括光纖通信範圍的光電材料與元件、遠紅外線範圍的偵測器、發光元件、量子點結構、面射型雷射與 GaN 材料等。中央大學研究的範圍包括 InAlGaAs 雷射二極體、疊晶格量子位障技術、量子點雷射二極體、光接收器高頻積體電路與 GaN 材料等。交通大學反射式光調變器、面射型雷射、量子點雷射二極體、與 GaN 材料等。成功大學則有 InGaP 紅外雷射二極體、GaN/InGaP 發光二極體、遠紅外線材料元件、面射型雷射等之研究。

規畫之重點研究項目包括如下：

- 1) GaN 及相關材料的光電元件技術, 包括雷射二極體, 各種發光二極體及偵測器等。
- 2) 量子點或量子線材料與元件技術。
- 3) 低含氮氮化物材料與元件技術。
- 4) 光纖通信波長光電元件, 包括單頻雷射二極體(DFB, DBR LD), 可調 (tunable) 及穩頻雷射, 光調變器, 光偵測器等。
- 5) 光電積體電路技術, 包括選擇成長技術、再磊晶技術與光接收器高頻積體電路, 光晶體 (photonic crystal)。
- 6) 面射型雷射二極體。
- 7) 量子串接雷射二極體。
- 8) 紅外線量子井光偵測器。
- 9) 半導體光放大器(SOA)之研製。

### 4. 製程技術

目前化合物半導體在國際上的發展, 除了傳統的 III-V 和 Si-based SiGe 等, 亦有新發展的 GaAlN, GaAs, InP, SiC 及 SiGeC。這些材料之製程可用於高功率元件及高頻通訊元件上。此外, 使用新的製程技術, 目前 III-V 半導體已初步的做出氧化層及 MOS 電晶體。另一重要的製程技術, 即在於化合物半導體自動形成的低維量子結構, 而這些結構可大幅提昇目前光電元件的性能。另一重要製程技術的突破, 則在於使用 nano-lithography 而製作出新元件如單一電子電晶體(single electron transistor-SET)。目前的研究則有製造此 SET 於化合物材料(如  $Al_2O_3$ )上, 且 128M SET 之記憶體已成功的做出, 證明其有取代目前之 DRAM 及 Flash memory 的可能。

因此目前發展之化合物半導體的製程技術, 不但可和目前 IC 產業形成互補的作用, 在未來更可在高功率、高頻無線通訊、記憶體、及光電元件上和 IC 產業相輔相成, 或甚至可延長 IC 產業未來的發展空間。化合物半導體製程技術的發展重點主要在應用於以上所提及之高功率元件、無線通訊元件、記憶體、及光電元件上。

規劃之研究重點包括：

- 1) 高頻無線通訊元件之製程
  - III-V，HEMT，HBT 之製程
  - SiGe or SiGeC HBT，MOSFET，HEMT 之製程
  - III-V oxide & MOSFET 之製程
  - AlGaIn/GaN 功率元件之製程
  - 元件可靠度開發之相關製程
- 2) 光電元件之製程
  - GaN 系列之 LED 及 LD 之製程
  - VCSEL 之製程
  - 光導波管之製程
- 3) 新元件，材料，及單電子電晶體之製程
  - 新元件之構想及製程
  - 材料自動形成的低維量子結構於元件應用之構想及製程
  - 室溫可操作之單電子電晶體之製程
  - 利用新的微影技術開發奈米結構

### III. 電路

#### 1. 前言

在微波電路方面，國內這幾年由於砷化鎵專業代工廠陸續成立，其技術水準已是世界一流，若能配合微波電路設計能力的建立，將有助於我國成立自主性的研發及產業環境。

在光電方面，發展適用於光電通信、光信號傳輸及光儲存的光電積體電路(OEIC)，並結合微機電(MEMS)技術於光電積體電路中，發展微光機電系統(MOEMS)。

#### 2. 微波單晶積體電路

因微波(毫微米波)頻率範圍很大，應用極廣，僅以國內或世界共同所需，規劃下列幾大領域。

- 1) 900MHz/1800MHz/1900MHz 的個人通訊服務(PCS)無線通訊紀元已來到，這一方面正大大的需求中，而且急速膨脹。舉凡所需的高頻開關、功率放大器、低雜訊放大器及 transceiver 均為重點。
- 2) LMDS (local multi-point distribution service)此一系統為高頻微波，頻率為 28-32 GHz 左右，頻寬為 1.3 GHz。此一頻段未來有可能為後 3 G (Beyond 3G) 個人無線通訊所採用。用作快速數據通訊，速度比一般電話線要快上數千倍，為未來電腦網路無線通訊的規劃系統。美國即將對此頻段作一拍賣，市場潛力極大。學術單位此時投入，正當及時，迎向未來。
- 3) 高功率元件電路設計  
超過 10 瓦之功率元件阻抗匹配是一大技術挑戰。可選定 1.9 GHz 頻率作為基礎頻率，研發出 10 瓦，20 瓦及 50 瓦的阻抗匹配電路，作為無線通訊基座站用。
- 4) WLAN (wireless local area network)  
現行之 WiFi 產品已相當成熟，超寬頻的 WiMAX 系統則在起步階段，應用於此系統之高效率，高線度性功率放大器應是發展重點。
- 5) 設計平台與元件模型技術

為因應砷化鎵專業代工廠的蓬勃發展，用於電路設計的元件模型及設計環境的建立技術也逐漸具有重要性。

### 3. 光電積體電路 (Optoelectronic Integrated Circuit, OEIC)

#### 1) 光積體電路(photonic integrated circuits, PIC)

將多個發光元件(photonic components)或導波光元件(guided wave optical components)積體化在同一晶片上，此光積體電路中，包括主動及被動光元件與電子元件，包括(a)雷射調制器及波長可調雷射光積體電路與(b)光可交換光積體電路。在光積體電路中不需利用光纖互連光信號，而是利用波導互連光信號，可以簡化光元件的封裝。

#### 2) 光電積體電路(optoelectronic integrated circuits, OEIC)

在光電積體電路的單石晶片中，其光電元件包括雷射二極體及光檢測器，電子電路包括驅動電路、調制電路、檢測電路及放大電路。光電積體電路應用在光電接收系統及光電發射系統。

#### 3) 微光機電系統(microoptoelectromechanical systems, MOEMS)

微光機電系統將利用微機電技術所製作的微機電系統及光電元件積體化在同一晶片中。將可動的光機元件及自由轉動光交換鏡陣列與微致動器(microactuator)積體化。



# 前 瞻 性 技 術

## 前 言

隨著 21 世紀的來臨，微電子領域仍將保持高度成長，各種新的製程技術及元件不斷出現，進而帶動電子產業大幅向前邁進。為因應未來五至十年微電子技術可能之發展，特別提出前瞻性技術之規劃，以建立基礎研究。本學門規劃為二大部分及九小子題。分別為；第一部分：新型材料與元件，包括：非晶矽、多晶矽薄膜元件與應用，有機半導體材料及元件，非揮發性記憶體元件與次世代微影技術。第二部份：奈米結構與元件，包括：奈米製程，奈米結構及元件分析，奈米元件，電子自旋元件與分子電子。

# I. 新型材料與元件

## 1. 非晶矽、多晶矽薄膜元件與應用

### 1.1 前言

非晶矽、多晶矽及相關的薄膜製備技術，可應用在包括超大型積體電路、微機電感測元件、顯示器、及光電元件等領域。除了傳統習知的 LCD 面板、太陽電池、感光元件與發光二極體外，近來業界與研發單位也積極地將相關的薄膜電晶體(TFT)技術應用於有機發光或場發射顯示器，並嘗試將面板系統化。同時，在微機電與生化感測器的應用方面，也可發現有愈來愈多的相關研究出現，顯見此類技術發展之多樣化，與其潛力和重要性。

### 1.2 國內外研究現況

薄膜電晶體(TFT)仍是相關領域內最主要的研究主題，特別是在 LCD 平面顯示器的應用。雖然以 excimer laser 再結晶的技術已漸應用於生產線上，但仍有許多單位繼續嘗試開發更先進的多晶矽薄膜製備技術。例如，近來 Fujitsu 發表利用 diode pump solid state CW laser 來使非晶矽結晶，其晶粒呈長條狀，且大小遠較傳統以 excimer laser 的方式為大，所得到的元件其 mobility 可大於  $500 \text{ cm}^2/\text{V}\cdot\text{s}$ ！還有香港與韓國的大學研究所，發展以金屬引發再結晶(metal-induced crystallization)的多晶矽薄膜技術，亦已證明可得到好的 mobility。同時相關技術，也有可能應用於三維多層的電路技術。

為了提昇顯示器的品質，面板系統(System-on-Panel, SOP)是未來的必然趨勢。所謂的 SOP 是指將 memory、DA converter、amplifier、driver 等電路直接製作於面板上，但不含 CPU(因為沒必要)。SOP 的優點包括畫質提昇，省電等，目前已有將 SRAM 製作於 pixel 的產品。其主要的問題為相關的電路設計，製程整合，TFT 元件特性的控制，這也是目前國內外各大廠與研發單位的主要研究方向。

多晶矽鍺的薄膜技術與應用近來又受到矚目，除了用在 CMOS 的閘極外，微機電的應用可能更具潛力，包括歐洲的 IMEC 及加州大學 Berkeley 分校均已投入相關的研究，它的優點包括：良好的機械性質、可達極低的阻值、容易加工、容易加與與 CMOS 整合、及非常低的製程溫度。

國內目前也有許多學術單位投入相關領域的研究，近來較受矚目的成果包括：交大的 excimer laser 再結晶技術與相關的新式薄膜電晶體元件結構，國家毫微米實驗室的蕭特基雙向性(ambipolar)薄膜電晶體技術，台大的非晶矽鍺 X 光感測器，中央大學的 MSM 光感測器，及成大的非晶矽/矽碳膜感測元件及應用等。

### 1.3 規劃之研究重點

綜觀國內外的研究發展情況，配合微電子學門未來發展的趨勢，僅建議下列研究的重點項目：

1. 非晶矽與多晶矽薄膜之製備與材料特性研究。
2. 新式元件結構發展與分析。
3. 薄膜電晶體可靠性。
4. SOP 薄膜電晶體電路設計、模擬、與製程整合。
5. 低溫雷射再結晶多晶矽薄膜技術之開發。
6. 金屬引發再結晶多晶矽薄膜技術之開發。
7. 三維多層薄膜電晶體與電路技術之開發。
8. 矽鍺薄膜技術與元件應用。
9. 製作於塑膠基板上之低溫薄膜電晶體製程發展。
10. 光電元件及其他感測器之開發。

## 2. 有機半導體材料及元件

### 2.1 前言

近年來，隨著有機導體、絕緣體、及半導體的齊備，有機半導體在主動性電子及光電(子)元件的領域裏，如發光元件、薄膜電晶體、感測元件等，獲致快速的進展。一般而言，有機半導體元件具有薄膜元件及低溫製程之特性，製程較傳統無機半導體簡化，適用於各種基板以及大面積的製作方式，因此訴求與傳統無機半導體有明顯區隔之應用。有機半導體的發展至今始進入初期的應用階段，所以無論是在元件製程、元件物理、新材料的開發以至應用的技術上，均蘊含許多發明與創新的機會，為一豐富、前瞻及適合跨領域合作之研究領域。

### 2.2 國內外發展現況：

在各種有機半導體元件中，有機薄膜發光二極體(Organic Light Emitting Diodes, OLEDs)由於具有自發光、低電壓、高效率、高亮度、全彩、廣視角、快速應答速度、及機械可撓性等相對於其它現存顯示器技術的特性，所以對於有機薄膜發光二極體材料、元件、及應用上的研究，無論是學術界或工業界都非常積極。近幾年來陸續已有多家國際性的電子公司，發表各種彩色高階之被動矩陣或主動矩陣式 OLED 顯示面板原型，並先後已有數家國內外公司進入 OLED 顯示器的量產。體會到 OLED 技術的潛力與重要性，目前在國內研究機構如工研院、中研院、各大學材料、化學、光電、電機相關科系亦相當積極地參與 OLED 的研究。

有機發光元件的快速進展，連帶地帶動其它有機半導體元件，如有機感光元件、有機太陽能電池、有機薄膜電晶體、有機生化感測元件、甚至高溫有機超導體元件等的大幅度進展，預期的應用包括大型的影像感測陣列以及以低成本的塗佈或印刷方式製作在各式基板上的中、小規模積體電路或光電積體電路等，不少公司是以超低價位、用量極大之小型消費電子(如電子識別、電子標籤、智慧卡、可撓性塑膠 IC 等)為目標。

### 2.3 規劃重點

1. 有機薄膜(半導體、絕緣體、導體)成長技術與物性分析。
2. 有機發光元件製程、結構與光電特性。
3. 有機薄膜電晶體之製作與特性分析。
4. 其它有機半導體元件製程與基礎研究。
5. 有機光、電元件積體化系統及技術。
6. 有機元件可靠度。
7. 有機/無機半導體元件整合、應用。

## 3. 非揮發性記憶體元件

### 3.1 前言：

利用半導體技術所衍生出來的各式記憶體元件，如 DRAM，SRAM，NVRAM 等，在目前的半導體產業中佔了舉足輕重的地位。隨著日益成熟的技術，這些記憶體也被廣泛地應用於個人電腦、行動電話、網路等方面，已成為生活中不可或缺的重要電子產品。

但由於半導體世代的不斷向下微縮，這些現有的記憶體將面臨一些挑戰，如 DRAM 的漏電流所造成的功率消耗、SRAM 所佔的面積過大、FLASH 中的 SILC 及讀/寫時需高電壓等問題。因此，我們需要去開發新的記憶體元件，其具有高密度、非揮發性、讀/寫速度快及不限讀/寫次數、低操作電壓、低功率消耗、與現有的 CMOS 製程相容等優點。目前崛起的一些新型半導體記憶體元件有

MRAM、FeRAM、OUM、SET、SESO、MFSFET、polymer memories、SONOS、TRAM、IBTD memories、奈米點記憶體(nano dots memory)等。其中，MRAM 及 FeRAM 被認為極具潛力，因為這兩種記憶體元件不但具有上述的優點外，也有抗輻射的優點。而且，MRAM 及 FeRAM 可以同時兼具 DRAM 及 NVRAM 的功能。此外，OUM 與奈米點記憶體的潛力也不容忽視。

MRAM 中已發展出的有 (1) 利用巨磁電阻 (GMR) 材料的自旋閥 (spin valve) 結構，(2) 利用 GMR 的 Pseudo Spin Valve (PSV) 結構，(3) 利用磁性穿隧界面 (MTJ) 的結構。由於 GMR 的阻值變化只有約 5% 到 15%，變化率不夠大，加上所佔的面積較大。相較之下，MTJ 結構具有 40% 的阻值變化，及面積小的優點。因此，MTJ 結構被視為最有希望與傳統 RAM 競爭市場的 MRAM。

FeRAM 目前發展的重點為 1T1C 的結構，所使用的鐵電性材料有 PZT 及 SBT 兩種。PZT 有材料疲勞問題，易造成可靠性爭議。隨著不同的製程世代，操作電壓與鐵電性薄膜的厚度都將降低。因此，未來具有較高穩定性及 endurance 的 SBT 將逐漸取代 PZT 成為主流。

奈米結晶點記憶體 (Nanocrystal memory) 為目前在非揮發性記憶體 (Non-Volatile Memory; NVRAM) 的研究中，最有可能成為在未來快閃記憶體 (Flash memory) 的替代方案。現今如矽奈米結晶點，鍺奈米結晶點，以及金屬奈米點之研究，皆可作為儲存電荷層來取代傳統的氮化矽儲存電荷層。當尺寸縮小後，奈米結晶點記憶體仍然具有良好特性，將電荷儲存在奈米結晶點層裡面，以發揮記憶體儲存電荷的效果。雖然目前奈米結晶點記憶體仍然需要進一步的研究，但我們相信奈米結晶點記憶體將會成為在未來快閃記憶體的主流。

### 3.2 國內外發展現況：

MRAM 方面：

- IBM、Infenion 合作發表 16Mb MRAM 技術(VLSI 2004)
- Renease 開發出 1.2V 1Mb Embedded MRAM (VLSI 2004)
- Samsung 在 2003 年可以提供 MRAM 樣品，2004 年可以推出 4M 嵌入式 MRAM (2003.2)
- Motorola 於 2004 年發表 4Mb MRAM 技術(ISSCC 2004)
- 日本成立 MRAM 技術開發的國家型計畫，其研發團隊包括 Toshiba、Matsushita、Fujitsu、NEC and SONY
- NEC、Toshiba 策略聯盟並計畫在 2005 年前推出產品
- Cypress 開始提供 32K x 8(SRAM compatible)樣品

FeRAM 方面：

- 國內只有少數學界教授及業界之旺宏有單打獨鬥之零散研究。
- Infineon 及大多數的日本公司都朝 1T1C 發展。Infineon 於 2000 年發表 1T1C 加上 depletion 元件，用以改善可靠性問題。
- Fujitsu 發展出新的 reference 電路及改善製程中產生的 crystallization。
- Samsung 研發出新型 sensing 架構，是利用 gate oxide reference cell 來產生一均勻、無疲勞現象的 reference cell。
- 發展 CMVP (Capacitor on Metal/Via-stacked-Plug) 技術，降低因後段製程對電容特性所產生的退化影響，以便與標準 CMOS 製程相容。

OUM (Phase change RAM) 方面：目前國內已有半導體記憶體廠家與研究單位致力 OUM 產品技術的開發，目前尚在記憶胞開發的階段；學界也有教授從事 OUM 相關相變化材料與電極材料的開發研究。

- Inte、Ovonyx 和 Azalea 在 2002 年發表 4-Mb chalcogenide-based OUM test chip。製程設計準則是 3V 0.18 $\mu$ m CMOS 技術，reset current  $\sim$ 1-1.3mA。Inte 和 Ovonyx 在 2002 年發表 OUM 記憶胞的可靠度可重複擦寫達  $10^{12}$  次。
- Samsung 在 2003 年發表 Edge contact 型態的 OUM 記憶胞構造，電極接觸面積縮小至  $20 \times 200 \text{nm}^2$ ，reset current  $\sim$ 0.34mA。Samsung 在 2003 年發表 Nitrogen-doped OUM 相變化材料，

增高相變化材料結晶態的電阻， reset current ~50ns 0.6mA。STMicroelectronics 在 2004, 發表整合 3V 0.18 $\mu$ m CMOS 技術的 8Mb OUM 記憶體晶圓。Samsung 在 2004 年發表整合 3V 0.18 $\mu$ m CMOS 技術的 64Mb OUM test chip。

Nanocrystal Memory 方面：

- 國內愈來愈多學界教授及業界如旺宏等 flash 公司致力於此研究及開發，如矽奈米結晶點，鍺奈米結晶點，以及金屬奈米點的研究。
- Hitachi 在 2004 年 VLSI 發表 2bit/cell 矽結晶奈米點非揮發性記憶體，使其可操作於在 65-90nm technology node 的元件工作環境下。
- Motorola 在 2003 年 IEDM 發表低工作電壓的矽結晶奈米點非揮發性記憶體，使用 0.25 $\mu$ m 的製程技術於 90nm technology node 的元件工作環境下。

### 3.3 規劃重點：

MRAM：

- 研發具有高阻值變化率的 MTJ 結構及與目前 CMOS 製程相容的低溫磁性材料製程技術。
- 改善沉積 ferromagnetic 材料及 tunnel barrier 薄膜在晶圓上的均勻性。
- 設計新的 MTJ cell，縮小面積 ( $\sim 8f^2$ )。
- 建立 MRAM 電性方面相關的可靠性分析。
- 發展 spintronics 及磁性半導體。

FeRAM：

- 研發穩定性的鐵電性材料 SBT，及其相關的低溫製程技術。
- 將 FeRAM 與現有的 DRAM 技術進行整合。
- 開發 FLASH-like 的 FeFET。
- 將 FeRAM 用於 SOC 中的 embedded memory。

OUM：

- 研發新相變材料以因應 OUM scalability 的需求以及提昇記憶速度。
- 研發熱模擬與分子模擬技術，達成 OUM 記憶胞結構的設計與最佳化。
- 降低 OUM 記憶體操作電流/功率的材料與結構的研究。
- OUM Endurance 的破壞機制研究與提高 OUM Endurance 的材料與結構。
- OUM 電極材料特性與相變層之間的 Adhesion 與穩定性的研究。
- 研發 OUM 多階記憶的材料與結構以及穩定 Read margin 與 Uniformity 的研究。

Nanocrystal Memory：

- 研發新的奈米結晶點材料使其達到儲存電荷層的效果。
- 研發新的技術來達成高密度且均勻的奈米結晶點儲存電荷層。
- 設計新的奈米點儲存電荷層結構使其達到可長時間儲存電荷的效果。
- 設計奈米點儲存電荷層使其儲存電荷/放出電荷重複讀寫使用而不降低其可靠性。

## 4. 次世代微影技術

### 4.1 前言

雖然美國半導體協會 (SIA) 的微影術地圖指南 (road map) 以確定波長 157 奈米光學微影術做為達成 70 奈米世代的主要技術，但光學微影術配合解析加強技術可以往下再延續多少世代，迄無定論。另一方面，目前許多奈米技術大多借助電子束微影來完成，通常限制於小面積，複雜圖案。相對地，光學干涉微影術可達到的線寬 $\sim 50$  奈米，若配合解析加強技術將可更小，一維或二維的圖案皆可達成。其特色在於曝光時間短，一次可完成相當大的面積。

除此之外，未來進入奈米量產製程時代。除了光學微影術外，投射式電子束微影及奈米轉印微影皆會被使用。

## 4.2 國內外發展現況

光學干涉微影術與其延伸變化在 IBM, LL/MIT 國家實驗室, MIT, UNM 等機構皆有研發。其應用除了在磁光儲存, 量子點元件製程, 最近也用來完成製做 3-D 光子晶體。預期這方面的技術若配合解析加強技術例如相位偏移光罩, 偏軸照射, 光學鄰近效應修正, 表面成像等, 可突破光學極限。

投射式電子束微影分別在 1990 年 Bell 實驗室發明稱為限角散射電子束投射微影術。和 1995 年 IBM 公司發明稱為投射微縮可變軸透鏡曝光技術此技術的優點是系統透鏡組會移動, 因此電子束之中心軸會移動, 可以將電子束進行移動曝光, 具有局部快速掃瞄的特性。此技術屬於電子束投射微影術之一種。故投射式電子束微影技術已經成功克服電子束微影曝光速度不夠快的缺點, 未來可以應用在晶圓量產上。

奈米轉印微影術在 1995 年由明尼蘇達大學的周郁教授發明, 此技術係利用一個硬的母模(mold)輔以機器高壓, 配合升溫與降溫的過程, 使 PMMA 高分子材料產生形變, 轉印出與母模一致且精確度高的圖形。此種方法具有生產成本低且大量製造的優點, 又能印到 10-20nm 的圖案。未來可以應用在奈米製造的量產上。

## 4.3 規劃重點

1. 電子束微影技術。
2. 光學與電子束微影之匹配技術。
3. 奈米轉印微影技術。
4. 浸泡微影技術 (Immersion Lithography)。
5. 光學干涉微影術之研究。
6. 衰減相位偏移膜材質的開發與量測。
7. 微影解析度加強技術之模擬。

# II 奈米結構與元件

## 1. 前言

奈米結構與元件將是電子元件的明日之星。由於尺寸縮小所帶來的量子現象及新的物理性質, 使得人類有可能發展出更新更好的電子元件, 並帶來新的應用。奈米結構的應用除電子外尚遍及化學, 材料, 機械, 生物等等。我國的電子及半導體工業有堅實的基礎, 因此發展奈米結構及元件在電子上的應用將有事半功倍之效。

除了半導體電子元件應用之外, 把個別的分分子當作電子開關的研究使始於 1974。當時 Aviram 與 Ratner 提出了分子整流器的理論。至 1990 年代, 由於製程技術的發展, 使得更多的研究者投入分子電子的領域。分子電子可以應用在許多的地方, 如邏輯電路, 記憶體等等, 其最大的優勢就是分子本身就是奈米等級的結構, 不需要額外的加工, 而且彼此大小特性一致, 這有利於高密度電路的設計。而一般半導體元件則需昂貴的製程才可達到微小化。由於分子的微小架構, 其元件必須利用量子效應來操作, 這是與一般元件不同的地方。因此研究如何有效利用此一效應及研發新型電路架構是一重點。雖然分子奈米尺寸有助於高密度的設計, 但如何將分子緊密的排列在一起卻是極大的挑戰。關於分子電子元件的製造, 目前有物理及化學的合成。其中化學合成法中的自我組裝 (self-assembly) 相當受到重視, 對奈米製程技術有很大的影響。

## 2. 國內外發展

奈米結構是目前全世界最矚目的研究焦點。美國推動的 NNI (National Nanotechnology Initiative) 計劃，耗資無數，所投入的研究人力資源不計其數。日本也是如此。此外加拿大，歐洲各國以及中國大陸均投入大量的資金及人力從事這方面研究。而這些研究當中，又以電子領域最為矚目而且進展最快。以奈米結構所製作的新一代電子元件將指日可待。

國內在奈米科技方面的起步較晚，但近年來在政府及國科會的推動下已急起直追。各主要大學及研究機構莫不爭相成立奈米中心進行奈米相關的研究。工研院已在 2002 初成立奈米中心。交大也成立了奈米中心推動大型奈米計劃。

## 3. 規劃重點

在奈米結構及元件方面我們將推動下列幾個重點：

### 1) 奈米製程

其中包括：

- a) Self-assembled 量子點成長及選擇性長
- b) AFM 的 microfabrication 技術

### 2) 奈米結構及元件分析

包括：

- a) AFM 及 STM 的結構分析
- b) 同步輻射 X-ray 的分析
- c) 低溫高磁的 transport 量測
- d) 光學特性分析
- e) micro-PL 量測
- f) micro-電性分析等等

### 3) 奈米元件

包括：

- a) 奈米碳管的製作及元件應用
- b) 半導體量子點光電元件
- c) 半導體量子結構的穿遂元件
- d) Si/Ge 的量子結構及發光元件
- e) 單電子電晶體的發展
- f) photonic crystal 的開發與應用
- g) 中，遠紅外線量子元件(如 Tera Hertz 雷射等)
- h) 量子元件的物性

### 4) 電子自旋元件 (Spintronics)

傳統的電子元件無法區分電子自旋的極性。在奈米結構中，電子自旋的極性有可能被區分而形成有用的 Spintronic 元件。近年來 Spintronics 的研究方興未艾，研究的領域包括：

- a) 磁性材料的 Spintronics，如 MRAM
- b) 非磁性半導體材料的 Spintronics
- c) Spin-dependent 穿遂效應
- d) Spin-dependent confinement 效應
- e) Spin-dependent scattering 效應
- f) 在磁場下的 Spintronics

g) Spintronics 的理論分析

h) Spintronics 的實際應用

## 5) 分子電子

分子電子元件包含了邏輯元件與記憶體。HP 與 UCLA 展示出可以利用分子來製作邏輯閘。MITRE 的研究者也展示出如何利用分子的整流器製作 adder。耶魯大學 Mark reed 的研究群發明了分子大小的記憶體。在製作方面，HP 宣稱已利用自我組裝的方法在 Si 表面製作分子線。美國的 DARPA 計劃有分子電子分項，其中最終的目的就是要製造出高計算能力的邏輯電路( $10^{12}$  gates/cm<sup>2</sup>)與高密度的記憶體( $10^{15}$  bits/cm<sup>2</sup>)，這些元件相當微小且消耗很小功率。最重要的是，它們不需要利用昂貴的製程設備來製造。提出研究計劃的單位包括 Notre Dame，California，Rice，Harvard，Vanderbilt，Colorado，UCLA 等大學，與 HP，MITRE 等機構。範圍則包含了模擬，一般邏輯單元，記憶體，新型量子邏輯架構等元件的設計，與自我組裝的製程方法。在國內方面則尚在萌芽階段。

研究的領域包括：

a) 分子材料之研究

b) 電子於分子內之傳輸機制

c) 分子間之可靠連結

d) 分子導線

e) 自我組裝之機制與生產方法

f) 分子邏輯元件之研究

g) 分子於記憶體之應用

h) 無接線式的邏輯架構





## 國科會微電子學門 VLSI/CAD 92年度專題研究計畫

### 學術成果研討會議

主持人：交大電子工程系 周世傑教授

A) PM 20:00 ~ 20:15

中正電機系 陳添福教授

「低功率多媒體晶片系統之貼心(UniCore)處理器」

B) PM 20:15~ 20:30

清大資訊工程 張世杰教授

「內嵌式可程式化邏輯模組：新架構及相關設計軟體」

C) PM 20:30 ~ 20:45

交大電子工程 陳紹基教授

「用於軟體無線電基頻處理之系統晶片設計技術」

D) PM 20:45 ~ 21:00

台大電機工程 劉深淵教授

「百億位元的乙太網路系統晶片設計」

E) PM 21:00 ~ 22:00

微電子學門VLSI/CAD相關事項報告與討論







# 晶片系統國家型科技計畫--公開徵求 94 年度研究計畫書

## 壹、前言

國科會工程處已於 91 年度開始推動晶片系統整合型研究計畫，並於 92 年度配合晶片系統國家型科技計畫的執行，目前有十多件核准案件執行中；內容包含前瞻性系統、平台以及矽智財等研究計畫，藉由這些整合型計畫的推動，已促成學術界在積體電路及系統設計的活躍研究。

94 年度工程處仍將持續推動相關前瞻性技術的整合型計畫，技術指標以及前瞻系統應用將參考晶片系統國家型科技計畫的第二期規劃主軸—創造優質生活之兆級多元化整合技術，一方面培育更多相關領域的高科技人才，另一方面，落實並提昇技術層次，進而強化國內積體電路及系統設計產業在國際上的競爭優勢。

## 貳、推動目標

以國際一流會議以及學術期刊所發表之論文技術層次，並參考 IC 設計趨勢和未來國家整體科技產業發展之需求，制定明確技術指標，作為計畫成果驗收之評估標準，藉以提昇學術界創新技術之研發能量。

## 參、推動重點

### (一) 創新 SOC 產品技術，包含

1. Heterogeneous Networks Integration: Multimedia&Multimode handsets, IP-based Application Devices, Heterogeneous Networks Devices, Security-related SoC, ...
2. Edutainment: Multimedia&Multimode Player, Home Media Center (Gateway, Server), Entertainment Center, ...

3. Life Care: Health monitoring/Alarm, Intelligent Home Helper, Security/Surveillance, Life Care Security, ...

(二) 前瞻 SoC 設計技術，包含

1. SoC/IP Components: Embedded Software, MPU/DSP Cores, Embedded Memories, Function-Specific Cores, RF and Mixed-Signal Blocks, Sensor and High-Speed Interfaces, Novel Circuits in Advanced Process, X-on-Chips, ...
2. Design Technologies: SoC Design Methodology, System-Level Design, Logic/Circuit/Physical Design Closure, AMS Design and Integration, Design for Manufacturing, Verification and Validation, Test and Testable Design, Power Management, SiP Design Technologies.

肆、計畫內涵

申請案件只接受整合型計畫(至少含三件子計畫)，每一總計畫必須包含陳述國內外現狀以及執行期限內所欲達成之標的和技術指標，並分年陳述如何與世界同步(或超前)，進而以一前瞻系統載具驗證所研發技術之可能性。

伍、推動時程

93/10/15 正式公告

93/10/15~ 依據國科會公布之 94 年度專題研究計畫申請作業流程

94/1/1~94/3/31 計畫書審查

94/4/1~94/4/30 會議審查

94/8/1 計畫開始執行 --- 依 NSC 一般作業時程

陸、申請辦法

研究計畫書請依據國科會公布之 94 年度專題研究計畫申請作業流程，計畫書撰

寫時，計畫歸屬請勾選「工程處」、學門代碼請勾選「EW」。另此次申請只接受整合型計畫，若整合型計畫未通過，所屬個別子計畫將不再轉入微電子學門內審查。

#### 柒、注意事項

有關國科會所補助之晶片系統國家型科技計畫，因屬學術研究，故以「B 二級」管制，並依「政府資助敏感科技研究計畫安全管制作業手冊」之相關規定辦理，詳細內容請參考附件檔案或上網參閱 [http://www.nsc.gov.tw/pla/rule\\_doc/s\\_plan.doc](http://www.nsc.gov.tw/pla/rule_doc/s_plan.doc)

#### 捌、專案推動工作小組

計畫規劃人：

李鎮宜教授（交通大學電子工程系主任）

Tel：(03)571-2121ext.54110

E-mail：cylee@faculty.nctu.edu.tw

周伶霞小姐（微電子學門專任助理）

Tel：(03)571-2121 ext.54251

E-mail：[lhchou@si2lab.net](mailto:lhchou@si2lab.net)

計畫聯絡人：

潘敏治先生（國科會工程處）

Tel：(02)2737-7983

E-mail：mcpan@nsc.gov.tw

林晏妃小姐（NSoC 專任助理）

Tel：(02)2737-7371

E-mail：yflin@nsc.gov.tw