

行政院國家科學委員會專題研究計畫 成果報告

總計畫

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-009-002-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：李崇仁

共同主持人：董蘭榮，陳竹一

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 12 月 9 日

對以智財單元為基系統晶片設計之驗證測試與診斷技術開發研究(II)

計畫編號：NSC 92 -2220 -E -009 -002

執行期限：2003 年 8 月 1 日至 2004 年 7 月 31 日

主持人：李崇仁教授 交通大學電子工程系

計畫參與人員：董蘭榮教授 交通大學電機與控制系
陳竹一教授 中華大學電機工程系

一、 中文摘要

以系統晶片(System-on-Chip)來實現複雜的系統已成為積體電路設計的主要趨勢。系統晶片的設計一方面要整合多個智財(IP)單元於單一的系統晶片上，另一方面要驗證設計結果以符合系統要求。合成智財單元與整合系統晶片的過程繁複已屬不易，而要確認該系統晶片製造完成後，是否能正確地運作則是更大的挑戰。於SOC設計過程中 synthesis, verification 與 test 是三項極重要之技術，而於生產階段，chip test, wafer diagnosis, 與 yield analysis and improvement 是得到晶片最後生產高良率之重要工作。本研究團隊之執行本計畫，即在上述之領域研究積體電路驗證測試良率提升技術，以期達成培養人才，厚植國家晶片驗證測試診斷技術能量之目的。

二、 計畫已獲得之主要成就與成果(請以條列式簡述)

子計畫一：

1. 已完成軟硬體物件之靜態互動模型並實現高階合成之轉換驗證。
2. 部份成果已發表於國際會議及被接受為期刊論文。

子計畫二：

1. 對計畫中之 Delay fault testing based on path inertia 項目已完成研究，且已獲得成果。論文已投稿至 ATS2004 國際會議並獲接受。

2. 對計畫中之 A BIST scheme for DAC in the SOC environment 項目亦已完成研究，且已獲得成果。論文已投稿至 ATS2004 國際會議並獲接受。
3. 對計畫另一 A new scheme of statistical testing for ADC/DAC 項目亦已完成研究，且已獲得成果。論文已投稿至 ATS2004 國際會議並獲接受。
4. 對計畫中之 Oscillation Ring Test Methodology for Crosstalk Faults 項目亦已完成研究，且已獲得成果。論文已投稿至 ITSW2004 國際會議並獲接受發表。

子計畫三：

1. 建構一個測試良率與品質分析之系統工作平台
2. 強化精確度的連續準位產生器
3. 掃描鍊時脈診斷的統計分析
4. 高速串列輸出入埠 USB 的傳輸品質分析
5. 具激突的時鐘波形產生與分析

三、 評估主要成就及成果之價值與貢獻度 (請從學術、技術創新、經濟效益、社會衝擊等影響面)(請以條列式簡述截至 93 年 6 月 15 日止重要執行成果)

子計畫一：

1. 成果在已接受之期刊論文中證實可應用於系統階層設計。
2. 利用目前發展之技術可成功驗證出高階合成之時序錯誤與元件配置衝突。

子計畫二：

1. 對計畫原定之研究項目皆已達成，且寫成論文發表。該等研究項目之結果皆屬新創意，應皆可申請專利。
2. 在研究過程中訓練完成二碩士班學生。

子計畫三：

1. 測試良率與品質分析之系統工作平台：可用做測試規格決定、測試機選擇、產品品質觀察、良率與品質追蹤等綜合工作平台，是很有效的決策參考。
2. 強化精確度的連續準位產生器：在陣列元件佈局上，已發展出一套有系統性的排列方式可克服製程變動，為一具突破性創新技術，此成果準備申請專利。
3. 掃描鍊時脈診斷的統計分析：數位電路的可測性設計絕大部份仰賴掃描鍊，然而掃描鍊在診斷時數倍難於邏輯核心，此工作為先導性研究，吾人提出統計模型以分析時脈運作細下，掃描鍊時斷時續、間歇性的故障模式。
4. 高速串列輸出入埠 USB 的傳輸品質分析：提出一個可量化的傳輸模型，為一具突破性創新技術，基於此吾人後續希望能提出有效的測試策略，此成果亦準備申請專利。
5. 具激突的時鐘波形產生與分析：此工作為先導性研究，以利後續以蒙地卡羅方法做良率與品質分析。

四、 整體計畫進度（截至 93 年 6 月 15 日止）

總預定 / 實際執行進度差異 (%)	90%	總支用數 (%)	90%
--------------------	-----	----------	-----

五、 績效指標

預定目標值	達成目標值
100	90

六、 經濟面效益（由附件二 FY9208-9307 成果統計 Excel 檔統計）

專利			技術移轉		其他
預備申請數	現正申請數	已獲數	可轉移數	已技轉授權數	專門技術數
6					

七、與相關計畫之配合（其他國家型科技計畫及非國家型計畫之計畫）

八、後續工作構想之重點

子計畫一：

基礎的軟硬體共驗證架構經由第一年的計畫執行已略見雛形。本計畫的第二年將著重於

元件間通訊的模擬以完成效能模型核心的發展。主要的工作項目為：

1. 研究效能模型與形式表示間的應對轉換
2. 研究晶片上匯流排(ON-CHIP BUS)通訊協定
3. 發展晶片上匯流排之效能模型
4. 建立既有元件效能模型庫
5. 設計自動效能模型產生器

6. 發展互動工作單元之效能模型

子計畫二：

1. 本子計畫已獲致相當成果，對其中之數項，如 Delay fault testing based on path inertia 項目，A BIST scheme for DAC in the SOC environment 項目，與 Oscillation Ring Test Methodology for Crosstalk Faults 項目，可考慮準備申請專利。
2. 第二年準備對原先計畫中所擬定之工作，如：
 - A. BIST for cross-talk induced delay fault Testing
 - B. Placement and routing study for oscillation ring test
 - C. An on-chip jitter measurement circuit for the PLL.
 - D. A Crypto-Wan chip design with DFT

進行研究，期望亦能得良好之結果。

子計畫三：

1. 對上述去年已完成之 2、4 項工作，準備申請專利。
2. 對上述 1、3、5 項工作，擬更加強深入研究，以期獲致更豐碩的成果。特別是 3 項之掃描鍊時脈診斷的統計分析，吾人已提出統計模型分析掃描鍊時脈運作之時斷時續、間歇性的故障模式；與第 5 項之激突的時鐘波形產生與分析，二者皆有一些先導性研究。後續將再深入研究，以期獲得成果。

九、檢討與展望

- 一、今年度執行成果基本上達到達到預期，有些子計畫

已有成果在研討會中發表，但是部分成果來不及在今年度完成投稿。原因在於第一年執行，花不少時間在資料收集與環境建置。希望未來能如期將所有結果完成論文投稿並於論文章量上穩定成長。另外，第一年並無專利產出，故專利申請工作將列為第二年要務之一。

- 二、由今年之成果，吾人有信心，在未來一年研究亦可將所預定之進度與工作達成。