

行政院國家科學委員會補助專題研究計畫成果報告
無線正交分頻多重進接頻道使用技術研究及全系統整合(1/2)
Wireless OFDMA Channel Utilization Techniques Research and Full-System Integration

計畫編號：NSC 92-2219-E-009-018

執行期限：92年8月1日至93年7月31日

主持人：林大衛 交通大學電子工程學系 教授

計畫參與人員：吳俊榮、李明哲、林筱晴、陳盈縈、余子瀚、董景中、陳昱昇、陳汝芬
交通大學電子工程學系 研究生

摘要

本計畫為一整合型計畫之子計畫，全期三年。本年核定之計畫名稱雖註為 1/2，實為第二年。在全期計畫中，最主要的工作是基於 IEEE 802.16a 標準，研究正交分頻多重進接(OFDMA)在作無線行動通訊服務之用時的傳收技術與其實現，並將各子計畫之實現成果予以整合。其中的實現工作係併用數位訊號處理器(DSP)、現場可程式閘陣列(FPGA)、及個人電腦來完成。此外亦對多載波調變與分碼多重進接技術，從事基礎性的研究。在本年度的工作中，我們探討了 IEEE 802.16a 傳收器所需的幾項關鍵技術，即上下行傳輸之同步及通道估計技術，以及相關無線通道模擬之技術。我們亦正在使用 DSP 與 FPGA 進行同步機制及無線通道模擬器的實現。此外，在無線傳輸與進接的基礎性研究方面，我們探討了增加分集度(diversity order)的途徑，其中針對分碼多重進接，研究新近被提出的片碼間插直接序列傳輸法的相關傳收技術與其效能。

關鍵詞：IEEE 802.16a、正交分頻多重進接、正交分頻多工調變、時間同步、頻率同步、通道估計、無線通道模擬、片碼間插直接序列分碼多重進接

Abstract

This subproject is a part of an integrated project whose whole term is three years. Although the designated numeral reference in the subproject title for the current year is 1/2, this is actually the second year of study. For the whole term of the subproject, the major work is to base on the IEEE 802.16a standard and research into the transceiving technologies, as well as their implementation, for wireless mobile communication employing OFDMA (orthogonal frequency-division multiaccess). The subproject is also responsible for integrating the implementation results of all the subprojects. For the implementation, we consider joint use of digital signal processors (DSPs), field-programmable gate arrays (FPGAs), and personal computers. In addition, the subproject also considers some fundamental issues concerning multicarrier modulation and CDMA (code-division multi-access). In this year, we have considered several key technologies in IEEE 802.16a transceivers, which are uplink and downlink synchronization and channel estimation techniques, as well as the related wireless channel simulation techniques. We are also conducting implementation of the synchronization mechanisms and a wireless channel simulator using DSP and FPGA. In addition, in fundamental research concerning wireless transmission and access, we have investigated ways to increase the diversity order, in which we have researched into the transceiving technologies and performance associated with the recently proposed chip-interleaved DS-CDMA technique.

Keywords: IEEE 802.16a, Orthogonal Frequency-Division Multiaccess (OFDMA), Orthogonal Frequency-Division Multiplexing (OFDM), Time Synchronization, Frequency Synchronization, Channel Estimation, Wireless Channel Simulation, Chip-Interleaved Direct-Sequence Code-Division Multiaccess (DS-CDMA)

目錄 Table of Contents

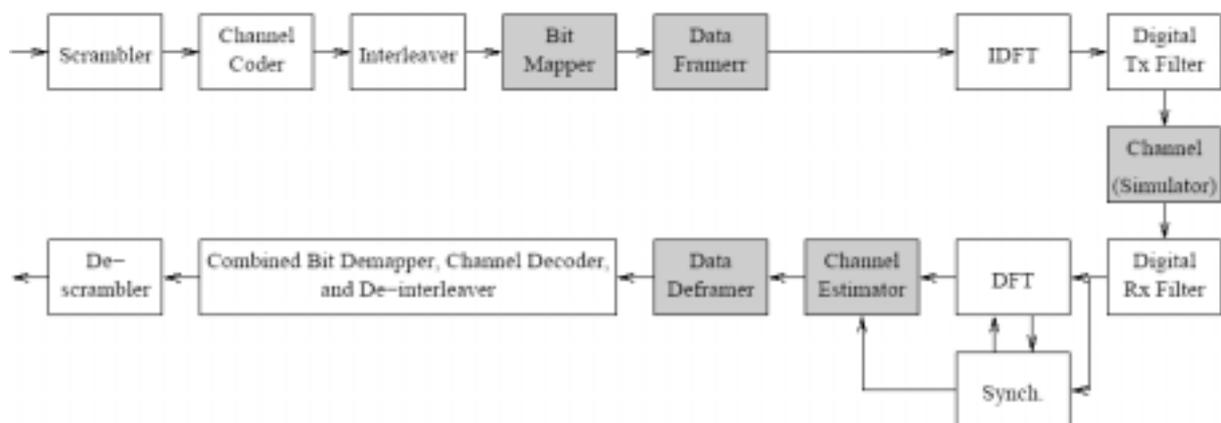
一、計畫緣由與目的	1
二、結果與討論之一：IEEE 802.16a 傳收技術與傳收系統組件之研究	1
A. 資料組裝與解組裝(data framer/deframer)及位元映射與解映射(bit mapper/demapper)	2
B. DFT/IDFT 與傳收濾波器	3
C. 通道模擬	3
D. 同步	4
1. 下行同步	4
2. 上行同步	7
E. 通道估計	9
1. 下行通道估計	9
2. 上行通道估計	12
三、結果與討論之二：IEEE 802.16a 傳收技術之數位訊號處理實現之研究	13
A. 數位訊號處理實現平台	13
B. 數位訊號處理之實作	15
四、結果與討論之三：提高無線傳輸分集度之研究	16
A. 簡介	16
B. 分集度與接收效能之關係	17
C. 片碼間插式直接序列分碼多重進接	17
五、參考文獻	20
六、計畫成果自評	21
可供推廣之研發成果資料表	22

一、計畫緣由與目的

本計畫為一整合型計畫之子計畫，全期三年。該整合型計畫一主要目標是基於 IEEE 802.16a 標準[1]，研究正交分頻多重進接(OFDMA)在作無線行動通訊服務之用時的傳收技術，並將各分項技術作數位訊號處理器(DSP)軟體或 FPGA 硬體實現。本子計畫負責其中若干傳收技術之研究，並負責將各子計畫之分項實現成果予以整合。此外，本子計畫亦對多載波調變與分碼多重進接技術，從事較基礎性的研究。本子計畫本年核定之計畫名稱雖註為 1/2，實為第二年。

IEEE 802.16a 標準容許 FDD (frequency-division duplexing)及 TDD (time-division duplexing)兩種雙工方式。鑒於未來的高速無線通訊很可能具有雙向不對稱的傳輸率，我們考慮 TDD 雙工，並兼顧上行與下行(或稱上鏈與下鏈)兩方向傳輸技術的研究。IEEE 802.16a 之 OFDMA 實體層(PHY layer)傳輸系統，在上行與下行二個方向的基本架構是相似的，概略如圖一所示。圖中以陰影突顯之組件由本子計畫負責實現。但為求對整個系統有較完整的掌握(本子計畫要負責全系統的整合)，本子計畫的研究並未限於陰影所示之組件。在前一年的研究中，我們對 IEEE 802.16a 之 channel coding 及 synchronization 均曾進行研究[2],[3]。在本年的研究中，我們探討了上行及下行傳輸之通道估計技術，以及無線通道模擬之技術。我們並正在使用 DSP 與 FPGA 進行同步機制及無線通道模擬器實現的研究。此外，在無線傳輸與進接的基礎性研究方面，我們探討了增加分集度(diversity order)的途徑，其中針對分碼多重進接，研究新近被提出的片碼間插直接序列傳輸法(chip-interleaved DS-CDMA)的相關傳收技術與其效能。

以下我們分段陳述本年的研究內容，其中首先討論 IEEE 802.16a 傳收技術與傳收系統組件的研究，其次討論系統實現的工作，最後討論片碼間插直接序列分碼多重進接技術的研究。



圖一：OFDMA 傳收系統簡圖

二、結果與討論之一：IEEE 802.16a 傳收技術與傳收系統組件之研究

A. 資料組裝與解組裝 (data framer/deframer) 及位元映射與解映射 (bit mapper/demapper)

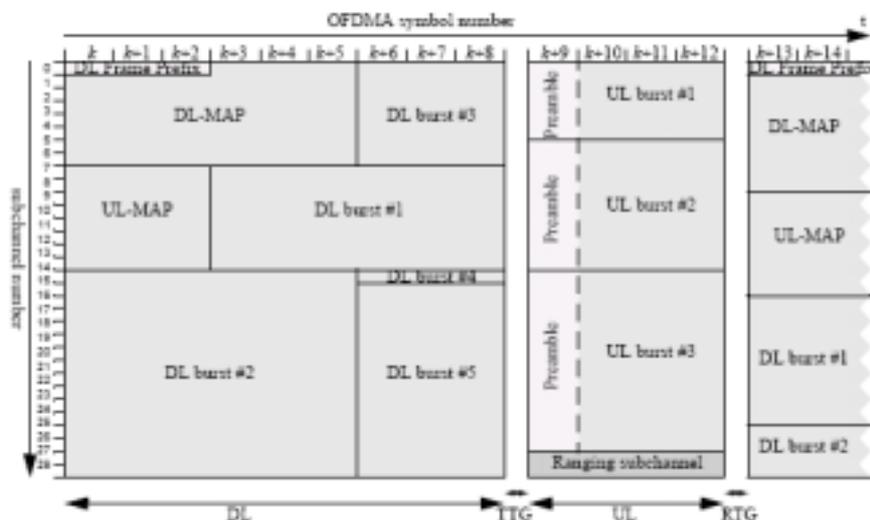
圖二所示為 IEEE 802.16a OFDMA TDD 訊框(frame)中，上下行時間的分配與資料結構的示意。在有關資料組裝與位元映射的規範中，和同步及通道估計息息相關的是子通道(subchannels)與嚮導載波(pilot carriers)的分配安排。以下就簡介這些規範，若干細節則留待後續文字中再予介紹。

IEEE 802.16a OFDMA TDD mode 將訊號分成 32 個子通道。每一個使用者(user, subscriber station, SS)可以僅用一個或數的子通道，由基地台(base station, BS)負責分配。其分配係透過 DL-MAP 及 UL-MAP 告知使用者，其中 DL-MAP 告知下行通道之使用，UL-MAP 告知上行通道之使用。

對下鏈傳輸而言，嚮導載波的安排比較簡單。在總共 2048 個次載波中，最左端有 172 個空載波(null carriers)，最右端有 173 個，共 345 個空載波。中間 1703 個次載波中，則包含 1536 個資料載波，166 個嚮導載波與 1 個直流載波。嚮導載波中又可分為 32 個固定位置者與 142 個變動位置者，但二種載波中有 8 個重疊。變動位置嚮導載波的安排是每四個 OFDM symbols 循環一次。二種載波的位置變化，使嚮導載波在不同的 OFDM 訊號中，相當平均的分散在不同的位置。這樣的安排有助於估計隨時間而變的通道狀況。

上鏈的情況比較複雜。扣除左右端的空載波後，剩下的次載波先均分為 32 組子通道。在每個子通道的 53 個次載波中，有 1 個固定位置嚮導載波及 4 個變動位置嚮導載波，其餘均為資料載波。

本子計畫中關於資料組裝與解組裝及位元映射與解映射的研究，基本上在於了解 IEEE 802.16a 標準的規範。至於子通道應如何配合無線通道之狀況來選用，以及應選用怎樣的調變與編碼選項(IEEE 802.16a 中共規範了六個選擇)，目前有其他子計畫在進行相關之研究。至於實現方面，目前正進行 DSP 軟體撰寫之工作。



圖二：IEEE 802.16a OFDMA TDD 訊框架構(取自 802.16a 標準 Figure 128av)

B. DFT/IDFT 與傳收濾波器

DFT/IDFT 之計算，在近數十年來已有許多研究，且已為數位訊號處理課程的基本內容。但 OFDMA 系統中的 DFT/IDFT 與一般常用者有相當差異，因為每一使用者可能只需傳收少數的子載波。因此，最有效的 DFT/IDFT 計算方法就可能與一般狀況下的方法有所不同。有些文獻對此種非對稱(多入少出或多出少入)的 DFT/IDFT 有所探討[4],[5]。我們也就此做了初步的探討，將繼續進行之。

如一般的 OFDM 訊號，IEEE 802.16a OFDMA 的訊號也是在頻譜的左右端使用 null carriers 來控制輸出頻譜的寬度。另一個習用的控制頻寬的方法是將 OFDM/OFDMA 訊號作 time-domain 的 rolloff shaping。但若在 D/A 之前作 oversampling，以遂行數位濾波或方便具 fractional-spaced delay paths 之通道模擬，則 time-domain rolloff shaping 無法消除 oversampling 之後所產生的倍頻之處的 spectrum components。在上一年度的研究中，我們已針對此狀況下的濾波問題進行分析研究[2]，目前正根據其結果進行後續之濾波器設計實現研究。

C. 通道模擬

在我們的系統中，接收端和傳輸端之間是以通道模擬器串聯起來，使傳輸端輸出的原始信號抵達接收端時，已加入模擬真實無線環境的通道狀況，藉此可驗證整體系統的運算設計與實現的正確性。在無線通道的模擬演算法中，最廣為人知，用來產生瑞利淡化 (Rayleigh fading) 的模型為 Jakes' model，我們以這套模型為基礎，產生隨著時間變化的六條獨立多重路徑，其傳輸延遲特性 (propagation delay profile) 符合 ESTI TR 101112V.3.2.0(1998-04) 的規範，表一所示為其規範內容。

無線通道的模擬，其計算量極大。我們將於下節討論其實現。

Vehicular Test Environment, High Antenna, Tapped-Delay-Line Parameters

Tap	Channel A		Channel B		Doppler Spectrum
	Rel. Delay (nsec)	Avg. Power (dB)	Rel. Delay (nsec)	Avg. Power (dB)	
1	0	0.0	0	-2.5	CLASSIC
2	310	-1.0	300	0	CLASSIC
3	710	-9.0	8900	-12.8	CLASSIC
4	1090	-10.0	12900	-10.0	CLASSIC
5	1730	-15.0	17100	-25.2	CLASSIC
6	2510	-20.0	20000	-16.0	CLASSIC

表一：採用之傳輸延遲特性

D. 同步

在 OFDM (正交分頻多工調變) 的傳輸系統中, 信號 (symbol) 同步的運算是接收端前段的重要工作之一。影響 OFDM 效能的同步問題主要可分為兩大項: 起始時間 (symbol time) 同步與載波頻率 (carrier frequency) 同步。當 symbol time 不同步時, symbol 抵達時間與接收端預定時間不同會造成解調變後的相位偏移, 更嚴重時則會造成前後 symbol 間的相互干擾 (ISI, intersymbol interference); 而載波頻率的不同步則會破壞次載波 (subcarrier) 之間的正交性, 並造成載波相互干擾 (inter-carrier interference), 使解調變後的雜訊相對的提高。綜上所述, 同步技術是為了解決這些問題所發展的運算, 而為了因應 OFDMA (正交分頻多重進接) 上行下行不同的傳輸特性, 同步的技術考量也略有不同。

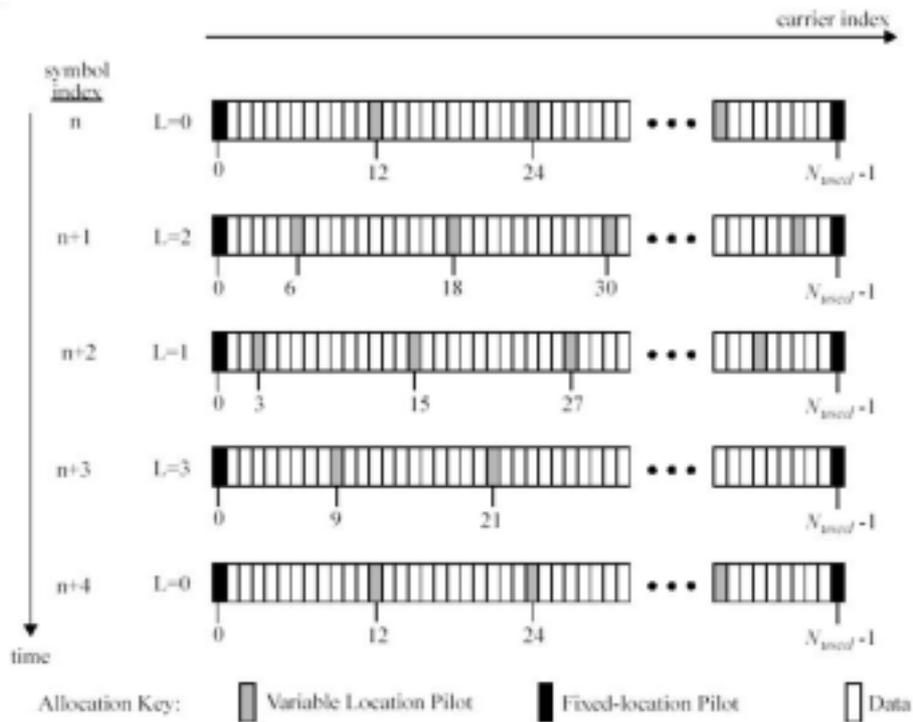
一般而言, 不論是 symbol time 同步或載波頻率同步, 都會利用 OFDM 傳輸信號的特性, 如循環起始 (CP, cyclic prefix), 前置訊號 (preamble) 或嚮導載波 (pilot carrier) 等等進行同步運算。循環起始是指將 OFDM symbol 的尾端複製一份置於信號的前端 (如圖三所示), 這樣的設計主要是用以避免 ISI 並且保持載波的正交性, 然而對接收端而言, 循環起始的重複特性亦成為 symbol time 同步運算中的重要資訊。前置訊號 (見圖二中 preamble 的標示) 是指在的下行信號結束後的第一個上行 symbol, 其所有的次載波皆為已知信號, 接收端可藉進行同步或通道估計的運算; 相對於前置訊號佔用所有的次載波, 嚮導載波則為零星安插於次載波中的已知信號 (如以下圖四所示之下行嚮導載波的配置), 主要用於載波頻率同步與通道估計的運算。以下將分別簡述下行和上行傳輸如何利用這些資訊進行同步運算處理。



圖三：OFDM 信號與 cyclic prefix 配置

1. 下行同步

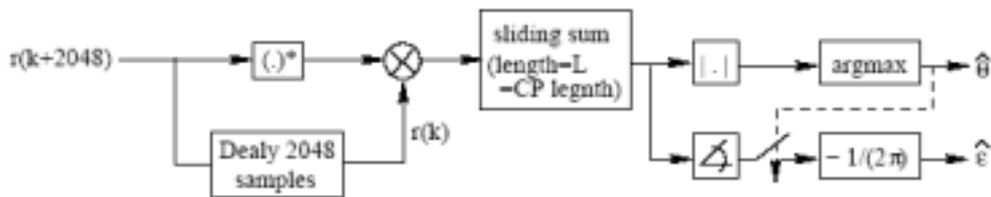
圖四呈示下行嚮導載波的配置。在下行傳輸中的同步處理運算主要分為下列步驟: 以 CP correlation 方式計算 symbol time 同步與載波頻率偏移的小數部分, 接著以防護載波 (guard carrier) 及嚮導載波估計載波頻率偏移的整數部分, 最後以嚮導載波計算訊框同步 (frame synchronization) 的狀況。



圖四：下行嚮導載波之配置(取自 IEEE 802.16a 標準文件)

步驟一：CP correlation 的同步運算

利用 CP 重複出現的特性，以最大可能 (maximum likelihood) 原理計算大概的分布。圖五為 ML 運算的架構與 symbol time 同步的估算公式。公式中的 θ 為時間偏移， ε 為非整數載波頻偏移。當 correlation 的最大值找到時，就可得到起始時間偏移量，而此最大相關值的向角即為非整數載波頻偏移。



$$\hat{\theta} = \operatorname{argmax} \left| \sum_{k=\theta}^{\theta+L-1} r(k)r^*(k+N) \right| \quad \Gamma(\theta) = \sum_{k=\theta}^{\theta+L-1} r(k)r^*(k+N) \quad \hat{\varepsilon} = \frac{-1}{2\pi} \angle \Gamma(\hat{\theta})$$

圖五：以 CP correlation 作 OFDM symbol 時間與頻率之 ML 同步之運算方法

步驟二：載波頻率偏移的整數部分的同步運算

此步驟要分為二部份，首先需判斷收到的 OFDM 信號是否為下行傳輸信號，接下來再針對下行的 OFDM 信號做相對於子載波頻率整數誤差的估計。

a. 判斷是否為下行 OFDM symbol：

根據 802.16a 標準，下行 OFDM 防護載波在第 $\{-1024 \sim -852\}$ 以及 $\{852 \sim 1023\}$ 的

子載波, 上行的防護載波在第 $\{-1024 \sim -849\}$ 以及 $\{849 \sim 1023\}$ 個子載波。在這些子載波的量值是 0。因此對一個收到的 OFDM symbol 先檢查其第 $\{-851, -850, -849, 849, 850, 851\}$ 子載波上傳遞的能量值是否有大於一個先預先設好合理的量, 如果其中的任何子載波接收到的能量值大於此量, 則此信號為下行的 OFDM 傳輸。

b. 整數載波頻率偏移估計：

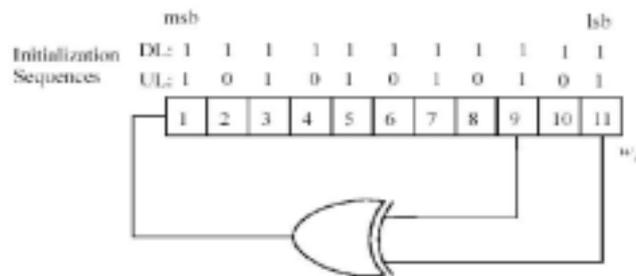
上述下行防護載波在最外二側的子載波上, 而第-851 和 851 為固定的嚮導載波, 其量值為 $(+/-)4/3$ 。估計整數頻偏的做法便是利用檢查此二最外側的嚮導載波, 先從最右邊的 1023 個子載波開始到第 852, 再從最左邊的-1024 個子載波開始到第 -852 個。若發現第 k 個大於預定設定的門檻值(threshold), 則 $k-851$ 為整數頻偏的估計值且用來補償整數頻偏。當二側的嚮導載波都被修正回正確的位置時, 即可完成整數頻偏的修正。

步驟三：訊框同步運算

根據 802.16a 標準, 下行的 OFDM symbol 其嚮導載波會因信號的傳遞順序和是否為 preamble (最前面 3 個 symbols) 而有不同的位置和量值。圖四顯示出不同順序下的固定和可變的嚮導載波的位置。嚮導載波的量值由下式決定：

$$Re\{c_k\} = \frac{8}{3}(\frac{1}{2} - w_k), Im\{c_k\} = 0.$$

其中 W_k 由圖六之方式產生, 但前置 symbol 和一般 symbol 的初始值不同。如此共有七種不同的組合, 如表二所示。



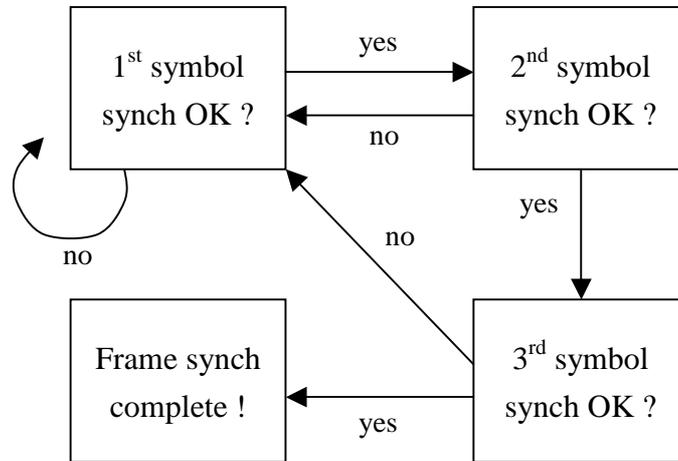
圖六：嚮導載波量值之產稱方法

DL preamble	DL normal symbol
$L = 0, PRBS = 01010101010$	$L = 0, PRBS = 11111111111$
$L = 2, PRBS = 01010101010$	$L = 2, PRBS = 11111111111$
$L = 1, PRBS = 01010101010$	$L = 1, PRBS = 11111111111$
	$L = 3, PRBS = 11111111111$

表二：嚮導載波產生器之初始值

訊框同步的目的是要找到訊框的開始。經過 symbol time 和頻率偏移補償後將 OFDM symbol 做 DFT 轉換。之後對每個 OFDM symbol 和表二列出的七種嚮導載波

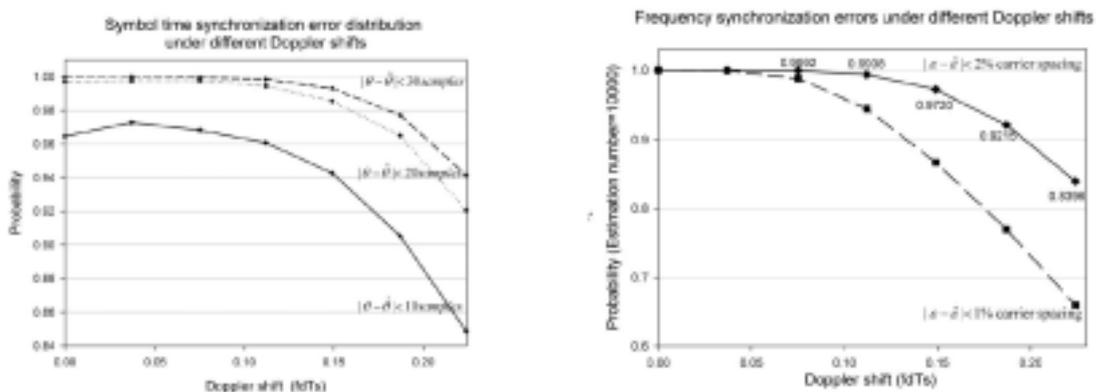
計算 correlation。當得到最大值是 DL preamble 中 L=0 那一項時，再檢查接下來的 symbol，其相關計量最大值是否為 DL preamble L=2，再接下來的 symbol 則該是 L=1。若此三個步驟其一不成立則再重新找第一個。步驟如圖七所示。



圖七：訊框同步的流程

由模擬的結果看來，當在做 symbol time 同步時的方法對時間的估計並不能保證有很高的正確率，僅能保證估計的結果是在正確時間點的附近。因此，可利用此步驟的 correlation 結果來確認 symbol time 同步的正確性。方法是在估計出 OFDM symbol 的時間後，在估計值的前後 32 個取樣點都做 DFT 之後再做嚮導載波 correlation。如此可得比較高的準確值。以下就簡述模擬的結果。

對於下行傳輸同步的運算，我們曾模擬不同都卜勒效應下的 symbol time 同步（圖八左）與頻率偏移同步（圖八右）。由 symbol time 同步的結果可知，在都卜勒效應小於 0.1 時，錯誤點數小於 30 的機率為 100%，由此證實在訊框同步的運算中取 +/-32 的範圍是合理的。



圖八：Symbol time 同步(左)與頻率偏移同步(右)之模擬結果

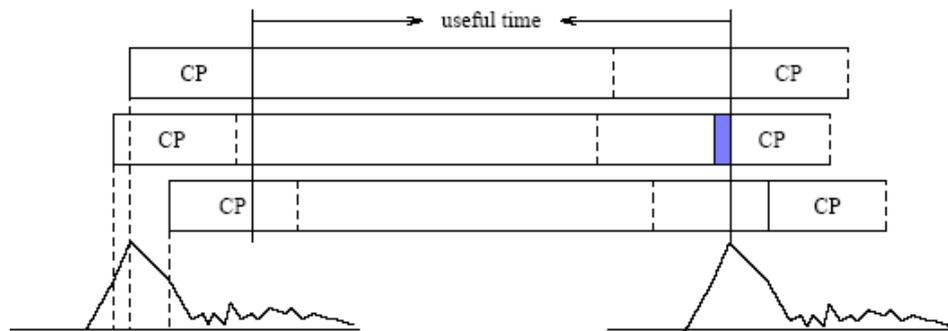
2. 上行同步

在上行傳輸中，用戶端的 OFDM symbol 可能會於不同時間抵達基地台，在我們所設計的方法中，主要是針對這項問題提出解決的方案，使基地台能掌握第一個抵達的用戶端 OFDM symbol。主要包含下列兩個步驟：首先利用 CP 的重複性，試圖得到抵達時間的大略位置，接下來以 preamble 估算較為精確的抵達時間。

步驟一：使用 C 進行 correlation 運算

利用 CP 重複出現的特性，以最大可能 (maximum likelihood) 原理計算大概的分布。其方法與下行同步相似。

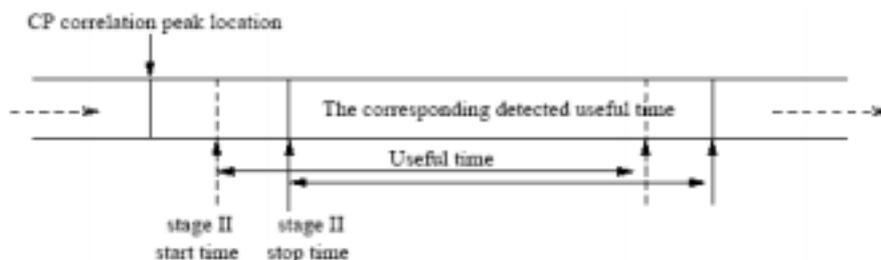
對接收端來說，每個上行的訊號抵達的時間並不一致。利用 CP correlation 所得到的最大值會介於數個 symbol 不同抵達時間，並非最先抵達的時間點。如果我們誤將最大值當成最先抵達的時間點，所導致 ISI 效應會影響解調後結果的準確度，這些現象可以圖九說明。



圖九：CP correlation 的最大值介於不同的信號抵達時間之間

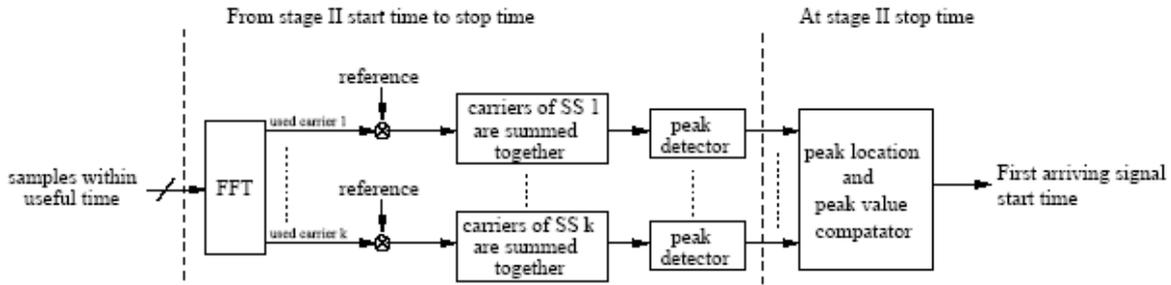
步驟二：使用 preamble 估計精確的抵達時間

由於 preamble 的資訊是由基地台所決定，因此在上行的環境中，接收端 BS 可以利用 preamble correlation 的特性來求出精確的抵達時間。假設藉由 CP correlation 所得到最大值為 A，我們知道最先抵達的用戶端信號必然在 A 之前，且兩者的差距小於 CP 長度的二分之一，也就是不超過 128 個 samples。圖十顯示了在最糟的情況下，也就是來自不同使用者的 symbol 之間的時間差為 128 個 sample 時，執行 preamble correlation 的起始點與結束點。

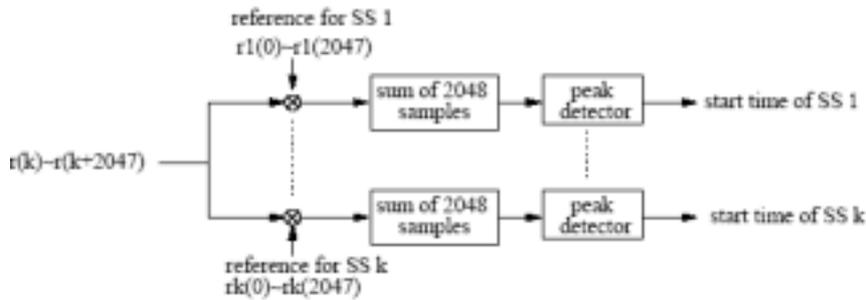


圖十：執行 preamble correlation 的起始點與結束點

Preamble correlation 有兩種做法，第一種是從 frequency domain 的角度來看，第二種是從 time domain 的角度來看，其架構分別顯示於圖十一與圖十二。



圖十一：從 frequency domain 執行 preamble correlation



圖十二：從 time domain 執行 preamble correlation

模擬的結果顯示(其中考慮三個上行使用者，而 burst 1 與 burst 2 之間差了 64 個 samples，burst 1 與 burst 3 之間則差了 128 個 samples 的情況)，發現 time-domain approach 的效果較佳，且運算複雜度較低。

E. 通道估計

OFDM 系統最重要的特性是經過調變與解調變之後，可視為將頻段分為許多較小的傳輸通道，資料經由這些次通道傳至接收端時，解調變後的信號只與對應的次通道頻率響應有關，因此若要有有效的進行同相檢測 (coherent detection)，就必須經由通道估計的技術求出通道響應的數值。

一般而言，如果不使用盲目估計法進行通道估計的話，接收端必須仰賴一些已知的信 (如嚮導載波或 preamble) 先求出這些已知信號載波所在的通道頻率響應，以作為接下來更進一步的估計。如果以知載波的數量夠多，可使用內插的方式估算其他未知的載波；如果以知載波不多且通道的多重路徑延遲的狀態已知，則可以用 DFT 轉換為基礎的方式估計其他載波的響應。以下將分別介紹下行和上行傳輸時我們採用的運算。

1. 下行通道估計

在下行的 OFDM symbol 中，嚮導載波可分為固定位置和變動位置兩種，兩者總數

為 136。我們所採用的估計技術即以這些已知次載波為基礎，先求出已知次載波所在位置的最小平方差頻率響應 (least square)，再用內插法求出其他次載波的頻率響應，另在我們亦使用過去已估計的通道響應進一步修正目前接收的 symbol 所對應的通道響應。

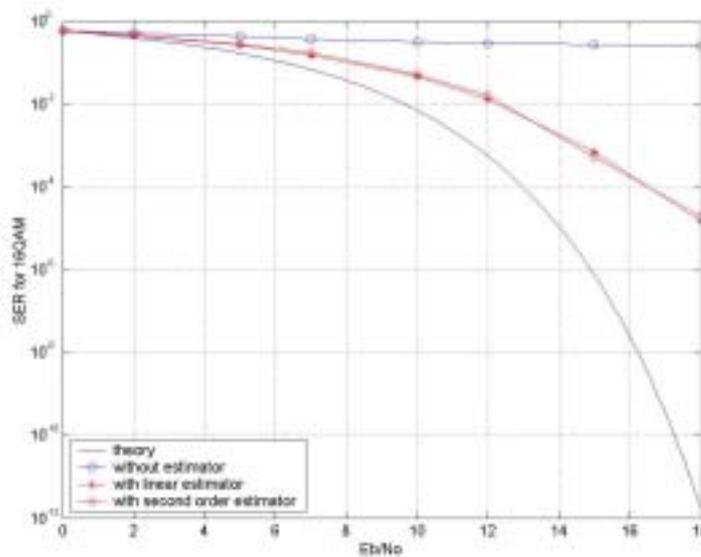
以內插方式求出其他次載波響應時我們使用兩種內插公式，一是線性內插：

$$\begin{aligned} H_c(k) &= H_c(mL+l), \quad 0 \leq l < L \\ &= (H_p(m+l) - H_p(m)) \frac{1}{L} + H_p(m), \end{aligned}$$

二是二次項內插：

$$\begin{aligned} H_c(k) &= H_c(mL+l), \quad 0 \leq l < L \\ &= c_1 H_p(m-1) + c_0 H_p(m) + c_{-1} H_p(m+1) \end{aligned} \quad \left\{ \begin{array}{l} c_1 = \frac{\alpha(\alpha-1)}{2} \\ c_{-1} = \frac{\alpha(\alpha+1)}{2} \\ c_0 = -(\alpha-1)(\alpha+1), \quad \alpha = \frac{l}{N} \end{array} \right.$$

上述這兩種內插方法在通道響應為 $\delta[n] + 0.3162\delta[n-2]$ 時，通道估計錯誤造成的符元信號錯誤率 (symbol error rate) 比較如圖十三所示。

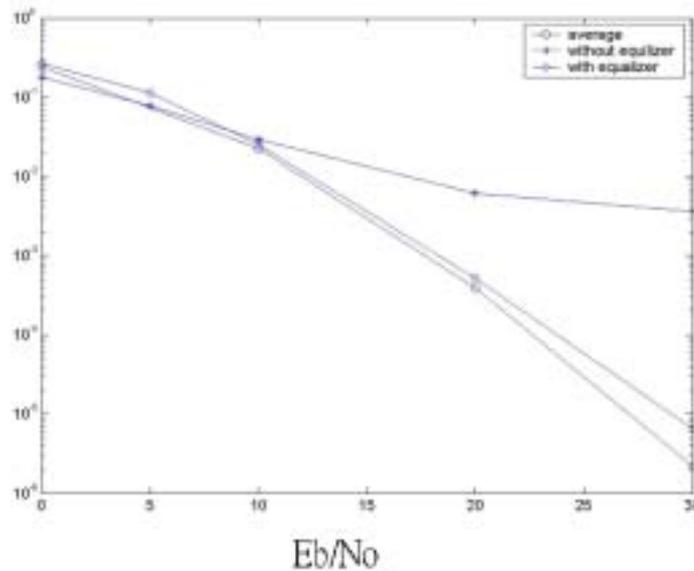


圖十三：不同內插法產生之信號錯誤率

另外，根據過去估計的 symbol 修正目前的通道估計也可分兩種方式：

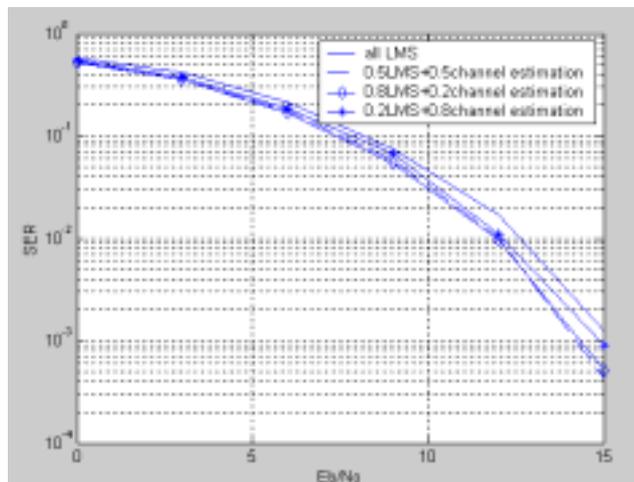
- 平均法：假設通道特性中的同相週期 (coherence time) 已知，就可使用同相週期內的其他 symbol 取平均修正目前的 symbol。例如車速 100 km/hour，傳輸頻率為 10 GHz 時，都卜勒頻率約為 930 Hz，所以經換算可知大約五個 symbols 內的時間為同相週期，亦即可假設五個週期的時間內通道狀況不變，因此再處理目前接收的 symbol 時，可取前四個已估計過的 symbol 所得到的通道響應與目前的估計結果平

均，由圖十四的模擬狀況可證實錯誤率有顯著的改善。



圖十四：以平均法修正通道估計所造成的信號錯誤率

- b. 最小平均差異平方法 (LMS, least mean square)：亦即目前 symbol 估計出來的通道響應，加上目前 symbol 估計出傳送值的差異（假設次載波上的資料判定正確，估計的通道響應值乘上次載波上的資料與收到的值之間的差異）便可計算出下一個 symbol 的通道響應，其公式為 $\tilde{w}(n+1) = \tilde{w}(n) + u \times e^*(n) \times x(n)$ （其中 \tilde{w} 是估計的通道響應， u 是變化大小參數， e 是差異， x 是收到的資料）。然而，如果純粹只用此方法估計通道響應，並不會包含嚮導載波所產生的估計。因此我們利用線性的加權，把最小平均差異平方法估計出來的通道響應，加上內插法求出的通道響應來產生綜合性的估計結果，其 symbol 錯誤率比較如圖十五所示，而加權的不同值也一併列出。



圖十五：以 LMS 法修正通道估計所造成的信號錯誤率

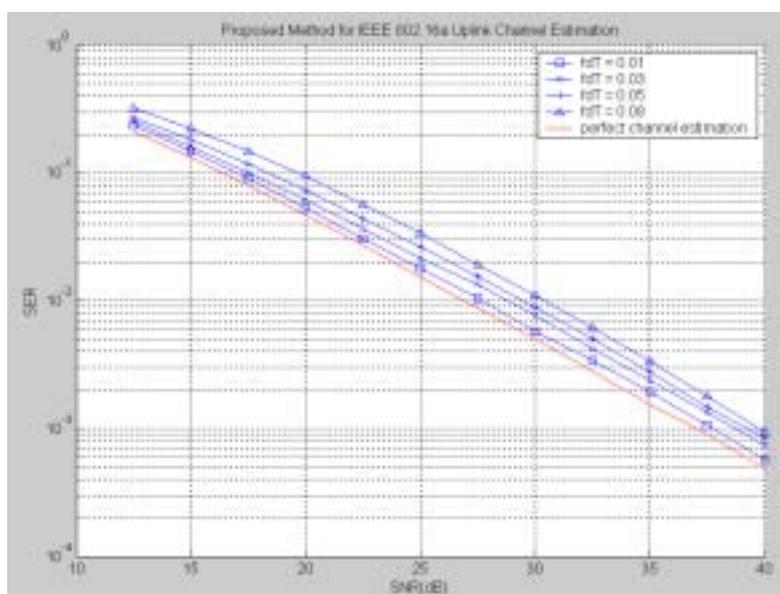
觀察實驗數據，發現在通道響應變動不大的情形之下，最佳的通道估計為最小平均差異平方法與一次內插法估計出來的通道響應平均之值。

2. 上行通道估計

在上行傳輸中，根據 802.16a 標準的規定，每個子通道包含 53 個子載波，其中 48 個子載波用來傳送資料，另外的 5 個子載波傳送嚮導載波，藉以估計通道。而這 5 個子載波的所在位置隨著不同 symbol 有不同的變化，以週期 12 循環。

傳統上以 DFT 轉換為基礎的通道估計是先以嚮導載波求得所在頻率位置的頻率響應，接著將這幾點頻率響應轉換至時間領域 (time domain) 的通道響應。然而，這個方法雖然簡單，其先決條件為嚮導載波數目必須大於最大的多重路徑延遲數值 (multipath delay spread)。在 802.16a 的設計中，最大可容忍的延遲數值為 CP 的長度，亦即超過兩百個信號取樣的點數，很明顯的 5 個嚮導載波的設計無法完成上述的運算。因此在我們提出的系統中，假設多重路徑中強度最大的前五條路徑之延遲數值已知，在進行以 DFT 轉換為基礎的通道估計時，可僅使用五個嚮導載波完成時間領域的通道估計。

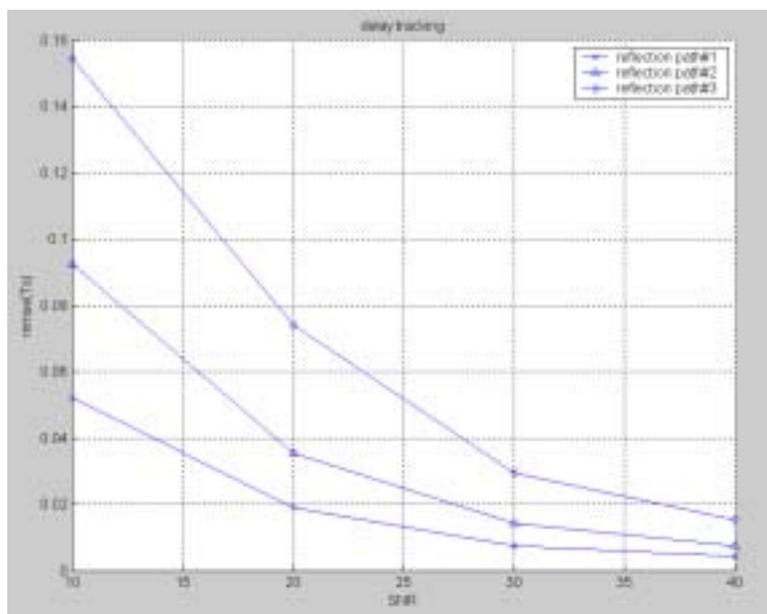
為了改善估計通道的效果，我們利用通道響應的時間領域中相互關連性，以過去估計的通道響應做簡單的線性加權，修正上段所述方法得到的通道估計值，得到更精準的通道響應估計。在此利用的是適應性濾波器 (Adaptive filter) 裡的最小平均平方 (LMS, least mean square) 演算法決定加權係數。圖十六所示為模擬的 symbol 錯誤率。



圖十六：上行傳輸通道估計所產生的 symbol 錯誤率

多重路徑的延遲數值會隨著接收端的移動或時間而改變。我們假設基地台可估算多重路徑延遲的初始值，隨著時間的變化，基地台接收端必須追蹤多重路徑延遲時間的變化量。收到訊號的頻率響應是多路徑之響應合成，所以若要對某一反射路徑追蹤其延遲時間，必須先將其它反射路徑的響應扣除，經過這樣的處理，扣除後的響應包含

待估計路徑之響應、雜訊、以及扣除不完全之其它反射路徑的影響。以此扣除其他路徑的通道頻率響應中的相位角隨頻率變化的速率萃取出來，即可得到此反射路徑的延遲時間。圖十七所示為不同的訊噪比下所模擬的路徑追蹤結果。能量強度較小的反射路徑所追蹤出來的延遲時間誤差較大，其原因應為能量較小的反射路徑的容易受到扣除不完全之其它反射路徑的能量或雜訊的影響，所以追蹤的效果較差。



圖十七：多重路徑延遲時間追蹤的模擬結果

三、結果與討論之二：IEEE 802.16a 傳收技術之數位訊號處理實現之研究

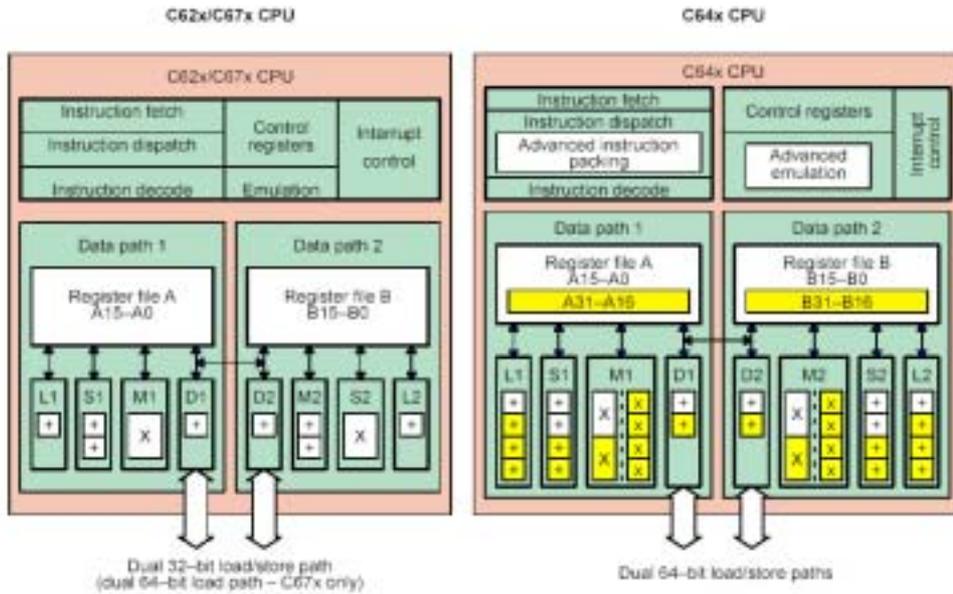
A. 數位訊號處理實現平台

在系統實現與整合方面，首先要完成的是實作平台的選定。經思考後，我們選擇了混合 DSP 晶片與 FPGA 的系統，以提供具彈性的實現平台。這是因為我們的系統大部分的運算是希望以高效能的 DSP 晶片完成，但某些高運算複雜度的傳收系統組件，或須使用 FPGA 才便於實現。而兼用此兩者來進行實現工作，也可給參與計畫的學生們很好的學習。

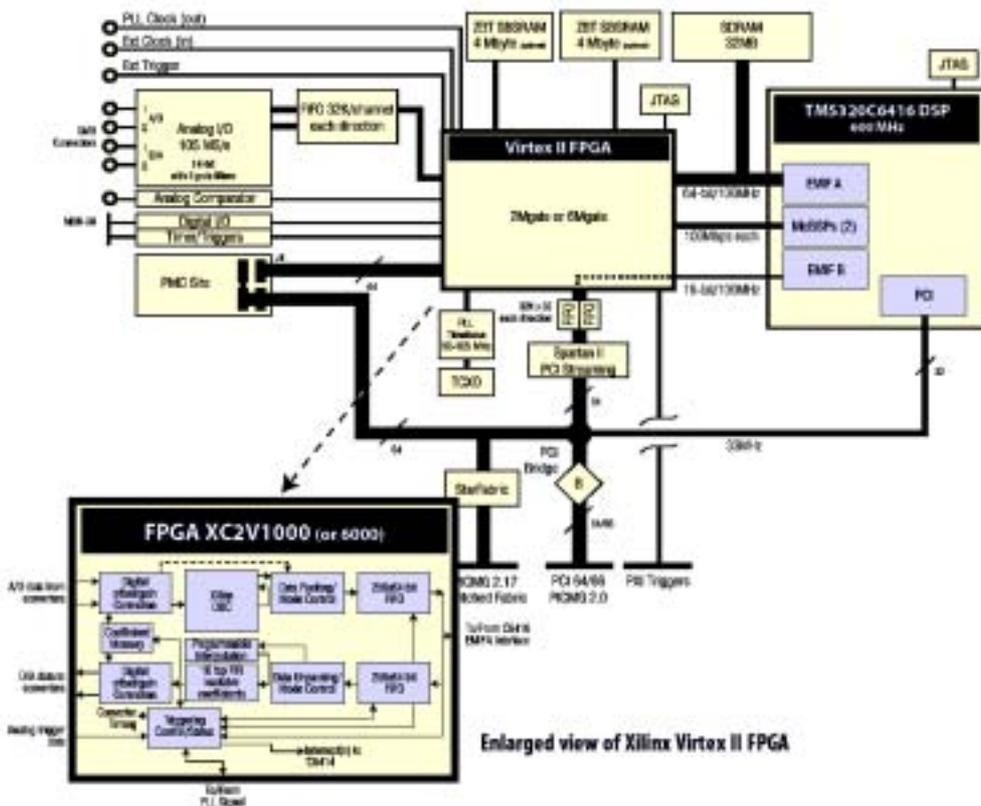
Innovative Integration 公司有一系列名為 Quixote 的數位訊號處理發展系統(個人電腦插板)。此插板包含一顆 Texas Instruments 的 TMS320C6416 DSP 晶片(600 MHz, 4800 Mops)與一顆 Xilinx Virtex-II FPGA 晶片，其基本架構符合以上需求。此外，我們過去曾使用該公司出品的 Quatro6x 數位訊號處理發展系統(也是個人電腦插板)為 DSP 實現平台，該系統配置四顆 Texas Instruments 的 TMS320C62x (200MHz, 1600 Mops)或 C67x (166 MHz) DSP 晶片，並能在 DSP 與 DSP 間以及插版與插板間作高速資訊傳輸。本計畫可繼續採用 Quatro6x 以實現不須使用 FPGA 的傳收功能，並使之與 Quixote 互連以形成一整合之系統。

圖十八所示為 C62x/C67x 及 C64x 的 CPU 架構，顯示其各具有兩個 data paths 及八

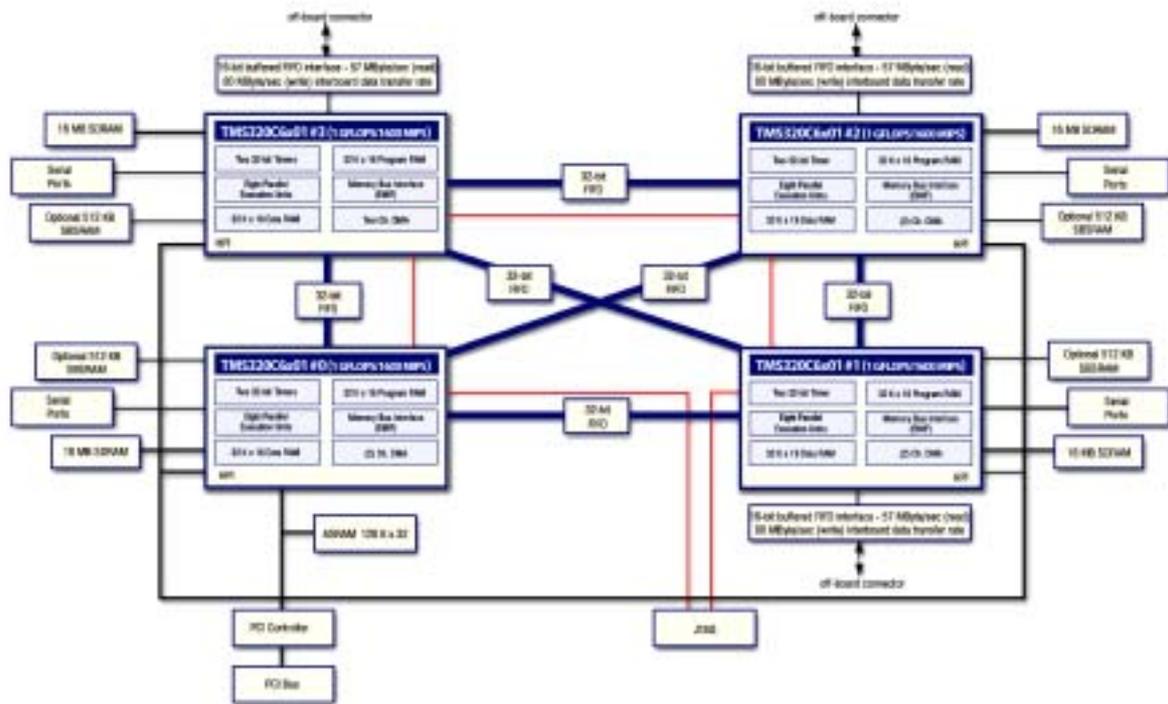
個運算單元。其晶片特性不在此詳述。圖十九及圖二十則分別顯示 Quixote 及 Quatro6x 的架構，以供了解。



圖十八：Texas Instruments TMS320C62x/C67x 及 C64x DSP 晶片之 CPU 架構



圖十九：Innovative Integration 之 Quixote 數位訊號處理發展系統之架構



圖二十：Innovative Integration 之 Quatro6x 數位訊號處理發展系統之架構

B. 數位訊號處理之實作

本年度進行中的數位訊號處理實作工作包括圖一中之 data framer, bit mapper, DFT, digital filter, channel simulator, 及 synchronizer。目前工作均尚在進行中，故以下以較大篇幅討論通道模擬的實作，其他部分則僅作簡單敘述。

整個通道模擬器的架構，主要由三個部分組成。第一部分為一台個人電腦，透過 PCI 插槽負責將欲運算之訊號資料傳入 Quixote 板中。第二部分則為 Quixote 板子上的 FPGA chip，負責產生通道係數並送入同一塊板子上的 DSP chip。第三部分則為 DSP chip，負責將通道係數以及輸入訊號做旋積(convolution)運算，並將結果送回個人電腦上，完成整個通道模擬的過程。

假設使用者以時速 108 公里移動下使用系統，傳輸頻率為 2 GHz，則其都卜勒頻率飄移為 200 Hz，同相時間大約為 $1/200 = 5$ ms。OFDMA 系統的每個 symbol 是 0.2 ms 左右，故其受都普勒頻率飄移效應之影響，通道係數大致可假設經過 25 個 symbols 才有顯著變化，也就是每秒鐘約變化 200 次。因此對於六條多重路徑的通道而言，在 FPGA chip 上所實現的通道係數模擬器工作頻率至少要大於 1200 Hz。

我們使用 Jakes' model 來產生 Rayleigh fading 的通道係數，其公式如下：

$$\begin{aligned}
u(t) &= u_c(t) + ju_z(t) \\
u_c(t) &= \frac{2}{\sqrt{N}} \sum_{n=0}^M a_n \cos(w_n t) \\
u_z(t) &= \frac{2}{\sqrt{N}} \sum_{n=0}^M b_n \cos(w_n t)
\end{aligned}
\quad N = 4M + 2, \text{ and}
\quad
\begin{aligned}
a_n &= \begin{cases} \sqrt{2} \cos \beta_0, & n = 0 \\ 2 \cos \beta_n, & n = 1, 2, \dots, M \end{cases} \\
b_n &= \begin{cases} \sqrt{2} \sin \beta_0, & n = 0 \\ 2 \sin \beta_n, & n = 1, 2, \dots, M \end{cases} \\
\beta_n &= \begin{cases} \frac{\pi}{4}, & n = 0 \\ \frac{2n\pi}{M}, & n = 1, 2, \dots, M \end{cases} \\
w_n &= \begin{cases} w_c, & n = 0 \\ w_c \cos \frac{2n\pi}{M}, & n = 1, 2, \dots, M. \end{cases}
\end{aligned}$$

由上式可知，三角函數為整個係數模型的最主要組成函數，係數產生的速度也決取於三角函數的產生速度。我們使用了 CORDIC (*COordinate Rotation Digital Computer*) 的演算法來實現三角函數的運算，其好處在於該演算法不需要乘法，並且一次的運算可以同時產生 cosine 以及 sine 函數。

目前我們所實現出來的通道係數產生器，其工作頻率約在 10 MHz，可以說是遠遠的超過所需。當初決定要以 FPGA 獨立產生通道係數的原因就在於此，由於通道係數產生器的效能不受到 DSP chip 的限制，因此，我們將來可以模擬更複雜的通道條件。

至於在通道係數中扮演很重要角色的 AWGN，也就是白色高斯雜訊，我們將無法以及時產生的方法來產生。因為就這個系統而言，其每個 symbol 的點數為 2304，並且有四倍的升頻取樣，又 symbol 的時間長度為 201.9 μ s，因此每秒鐘必須產生 46 百萬筆白色高斯雜訊 $((1/201.9 \mu s) \times (2304) \times 4 = 46M/sec)$ ，這是相當龐大的運算負荷，因此我們考慮以預先產生的方式儲存在記憶體中，並外加於通道產生器的結果。

在濾波器與同步器等系統組件方面，最初是用浮點運算來作模擬。因此須先改成定點運算，來提高 DSP 執行的效率。對此，我們先考慮了 32-bit 的定點運算，並在探討如何改為 16-bit 的運算。DFT/IDFT 方面，目前暫時採用 TI 所提供的 C64x DSP 函式 DSP_ifft32x32() 與 DSP_fft32x32() 來實現。

四、結果與討論之三：提高無線傳輸分集度之研究

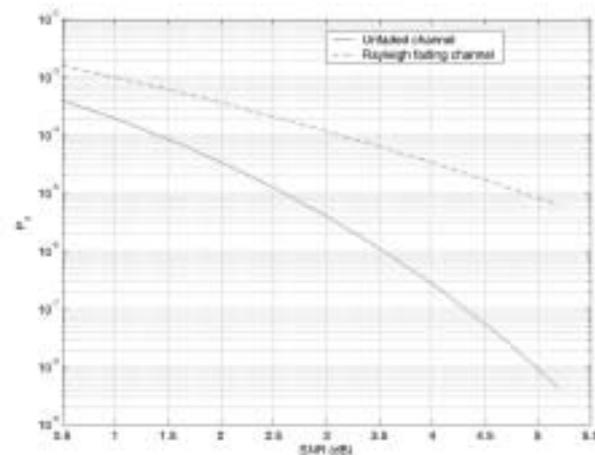
A. 簡介

此部分的研究較具基礎性，非僅針對 OFDMA。面對時變的淡化通道，OFDM 或 OFDMA 主要透過適應性調變(adaptive modulation)的方式在不同的子載波上根據 SNR 傳送不等的資料量。然而，此方式僅適用於淡化速度較慢的通道。對於變化較快的通道，由於量測後反饋的延遲，系統效能會大幅降低，而且系統複雜度也會增加。另一種降低淡化通道效應的方式是經由分集來減少接收訊號的能量變化。雖然配合軟式(soft-decision)通道解碼器，位元間插可以提供部份的訊號分集，但接收效果仍有改善空間。在此部分的研究中，我們係本於 DS-CDMA，探討提高分集度的方法，並作理論分析。考慮 DS-CDMA 的原因，主要是為延續過去幾年已有一些成果的研究，加以擴大之。但由於其基本觀念具有基礎性，故預期在未來應可使用相關之觀念於其他形式之傳輸系統，即 single-carrier 及 OFDM 中。本研究中假設傳收系統採用迴旋碼

(convolutional code)，但結果亦可應用於其他通道編碼方式。

B. 分集度與接收效能之關係

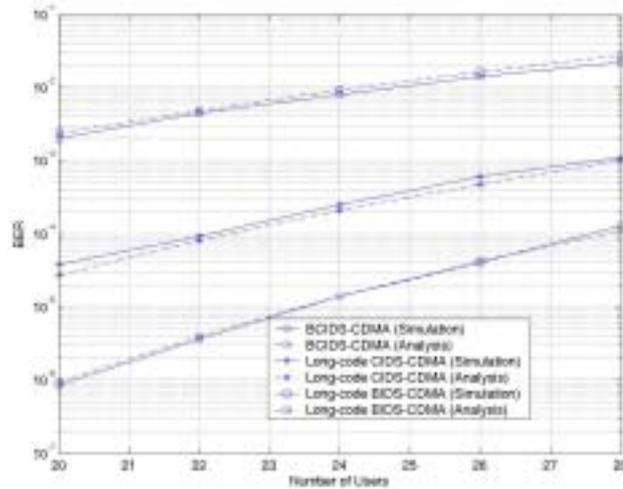
在完美位元間插的假定下，每個位元都被不同的、獨立的通道係數所影響。然而，在通道解碼時，所得之分集度只和自由距離 (free distance) 相等。換言之，即使加大回溯長度 (traceback length) 也無法增加分集度。假定干擾 (interference) 可用白色雜訊來模擬，則自由距離為 d 的 path metric 可表示為 $\chi_{2d} \cdot \gamma / 2$ ，其中 γ 是未經通道解碼前的位元訊噪比， χ_{2d} 是自由度為 $2d$ 的 chi-square 隨機變數。圖二十一表示當 $d=10$ 的時候，組訊號錯誤率 (pairwise error probability) 和訊噪比的關係。很明顯地，雖然經由位元間插在通道解碼時提供了位元間的分集(inter-bit diversity)，接收效果仍遠遜於未經淡化通道影響時的結果。



圖二十一：不同傳輸通道下之組信號錯誤率(pairwise error probability)

C. 片碼間插式直接序列分碼多重進接

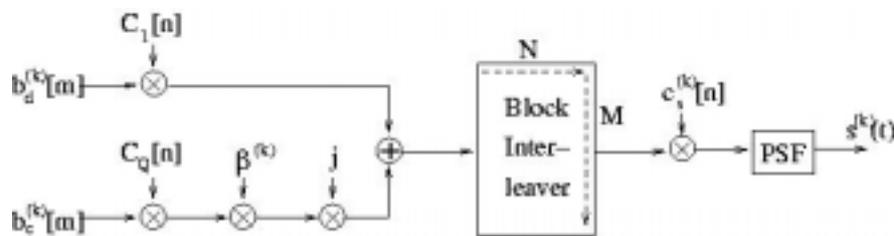
在 DS-CDMA 系統中，每個資料位元都經展頻碼展頻後由多個片碼傳送出去。不同於傳統的作法，CIDS-CDMA 在傳送片碼前會先經間插元將屬於同一個資料元的片碼散於不同的時間傳輸。如此，在間插深度夠大的時候，若展頻係數為 N 時，每個資料元本身最多可有 N 個分集度。我們已針對 CIDS-CDMA 在多重用戶下的效能作深入討論，並提出準確之位元錯誤率理論值。經由此探討，我們發現，在只有片碼間插的系統中，使用週期遠大於展頻係數的展頻碼，由於能打亂用戶干擾訊號的相關性，故能提供較好的接收結果。而在適當的位元間插加入系統中時，展頻碼的週期對於接收效果並沒有影響；在此情形下，系統中的分集度會等於展頻係數乘上通道碼的自由距離。如圖二十二所示，加上位元間插及片碼間插的系統(BCIDS-CDMA)之位元錯誤率遠小於單用片碼間插(CIDS-CDMA)及單用位元間插 (BIDS-CDMA) 的系統；而結果也顯示我們的理論分析非常符合模擬結果。



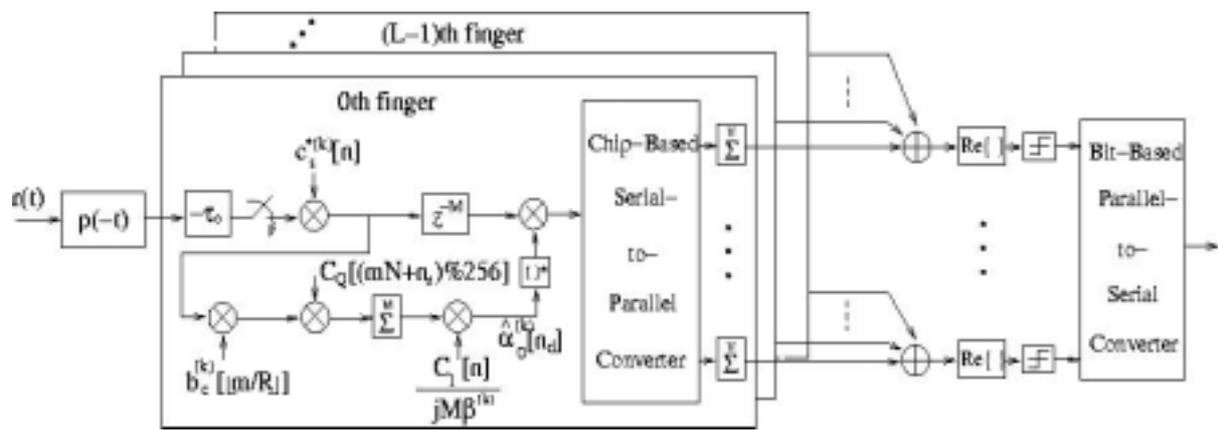
圖二十二：不同間插技術下之位元錯誤率

此外，我們也討論當系統中各用戶移動速度不同而導致不同淡化速度時的接收效果。分析結果顯示在用戶數目很小時，由於多重用戶干擾雜訊的相關性，移動速度較快的用戶會有較差的接收效果。然而，當用戶數目稍多時，則只跟用戶本身的移動速度有關，並不受其他用戶的影響。

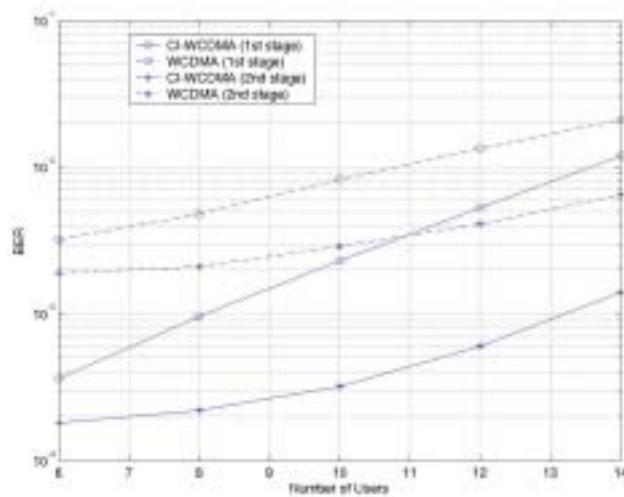
由於 CDMA 系統的容量通常受多重用戶干擾所限，我們亦研究應用平行式干擾消除器(PIC) 於系統中以增加容量。考慮到系統複雜度，PIC 的干擾消除作用通常在通道解編前完成；因此，由位元間插所帶來的分集並不能幫助 PIC 的運作，而得靠其他方式增加分集度。我們因之提出了一個基於 3GPP 寬頻分碼多重進取系統下使用片碼間插的傳輸技術(CI-WCDMA)。圖二十三所示為所提出的傳輸架構，和 3GPP 所訂的不同點僅在於展頻後、亂序排列 (scrambling) 前多加了片碼間插元。相對的耙狀接收器包含通道估測元則如圖二十四所示。圖二十五是部份模擬結果。



圖二十三：CI-WCDMA 之傳輸架構



圖二十四：CI-WCDMA 系統之耙狀接收器



圖二十五：不同系統之 PIC 接收效果

五、參考文獻

- [1] IEEE Std 802.16a-2003, *IEEE Standard for Local and Metropolitan Area Networks – Part 16: Air Interface for Fixed Broadband Wireless Access Systems – Amendment 2: Medium Access Control Modifications and Additional Physical Layer Specifications for 2-11 GHz*. New York: IEEE, Apr. 2003.
- [2] M.-T. Lin, “Fixed and mobile wireless communication based on IEEE 802.16a TDD OFDMA: transmission filtering and synchronization,” M.S. thesis, Dept. Electronics Engineering, National Chiao Tung University, June 2003.
- [3] Y.-P. Ho, “Study on OFDM signal description and channel coding in the IEEE 802.16a TDD OFDMA wireless communication standard,” M.S. thesis, Dept. Electronics Engineering, National Chiao Tung University, June 2003.
- [4] C. D. Murphy, “Low-complexity FFT structures for OFDM transceivers,” *IEEE Trans. Commun.*, vol. 50, no. 12, pp. 1878-1881, Dec. 2002.
- [5] H. V. Sorensen and C. S. Burrus, “Efficient computation of the DFT with only a subset of input or output points,” *IEEE Trans. Signal Processing*, vol. 41, pp. 1184-1200, Mar. 1993.

六、計畫成果自評

研究內容與原計畫相符程度：本子計畫為一個整合型計畫之一部分，本年度之研究內容與本子計畫之原規劃大體相符，並符合整合型計畫之整體需求。

達成預期目標情況：本子計畫達成之貢獻形式，含創新之發現、理論之推導、技術水準之提昇、實驗原型之建立、人才培育等。

成果之學術與應用價值等：本子計畫達成之科技領域成果，主要為 IEEE 802.16a OFDMA TDD mode 下行與上行時間與頻率同步方法之設計與 DSP 軟體實現(部分完成)、Rayleigh fading 無線通道的 DSP 與 FPGA 聯合模擬、下行與上行通道估計方法的研究、以及對提高無線傳輸分集度方法的研究。以上成果具學術價值，正陸續撰寫發表為會議與期刊論文中，部分成果亦將發表為四篇碩士論文。應用價值方面，Rayleigh fading 通道的 DSP 與 FPGA 聯合模擬，可供相關研發機構參考。同步方法的 DSP 軟體實現，在完成後，亦可為 IEEE 802.16a OFDMA 或相關傳收系統開發之參考。

綜合評估：本計畫獲得一些具有學術與應用價值的成果，並達人才培育之效。

可供推廣之研發成果資料表

可申請專利

可技術移轉

日期：93年5月27日

<p>國科會補助計畫</p>	<p>計畫名稱：無線正交分頻多重進接頻道使用技術研究及全系統整合(1/2) 計畫主持人：林大衛 計畫編號：NSC 92-2219-E-009-018 學門領域：電信國家型計畫</p>
<p>技術/創作名稱</p>	<p>Rayleigh fading 通道的 DSP 與 FPGA 聯合模擬</p>
<p>發明人/創作人</p>	<p>余子瀚、魏哲和、林大衛</p>
<p>技術說明</p>	<p>中文：使用 DSP 晶片與 FPGA 晶片，共同完成 Rayleigh fading 通道的即時模擬。</p> <p>英文：Employing a DSP chip and an FPGA chip to accomplish the real-time simulation of a Rayleigh fading channel.</p>
<p>可利用之產業及可開發之產品</p>	<p>無線通訊技術研發機構。</p>
<p>技術特點</p>	<p>使用 DSP 晶片與 FPGA 晶片，共同完成 Rayleigh fading 通道的即時模擬。</p>
<p>推廣及運用的價值</p>	<p>可用於無線通道模擬設備之研發。</p>

1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。
2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。
3. 本表若不敷使用，請自行影印使用。