

行政院國家科學委員會專題研究計畫 成果報告

總計畫

計畫類別：整合型計畫

計畫編號：NSC92-2215-E-009-012-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：張俊彥

共同主持人：張鼎張，洪志旺

計畫參與人員：涂峻豪,吳元均,楊哲育

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 93 年 11 月 20 日

複晶矽鍺與 MILC 在低溫複晶矽薄膜電晶體上之應用
Poly-SiGe and MILC Technologies for Low Temperature TFT Applications

計劃編號: NSC92-2215-E009-012

執行期限: 92 年 8 月 1 日至 93 年 7 月 31 日

計劃主持人: 國立交通大學電子研究所張俊彥 教授

一、中文摘要

本研究計畫將以三年時間，研究探討複晶矽鍺 (poly-SiGe) 與金屬誘發側向結晶 (MILC) 應用在低溫複晶矽薄膜與其薄膜電晶體的製成技術。我們提出數種不同結構的電晶體，利用蕭特基接觸汲極/源極、傳統 MILC 與無電鍍 MILC 等方式來製作複晶矽薄膜電晶體，主要重點在於改善複晶矽電晶體長久以來的致命傷——漏電流及 kink-effect，並提高其導通電流，嘗試做成小尺寸電晶體並探討其短通道效應及可靠度問題等。第一年著重在複晶矽鍺選擇性成長、金屬矽化物蕭特基接觸與 MILC 資料庫的建立，我們利用不同的壓力、溫度、氣體種類、退火條件、無電鍍濃度、酸鹼值及金屬種類等製成因子，藉由 TEM、SEM、XRD、Auger、Raman、薄膜測厚儀等分析儀器找出最佳的製成條件。第二年則利用第一年的資料庫製作複晶矽薄膜電晶體，量測電性，萃取參數並與傳統結構比較，研究分析找出機制。第三年著重在小尺寸電晶體的製作，探討不同結構及不同製成方式電晶體的短通道效應並與傳統結構小尺寸電晶體比較，藉由變溫量測以及電壓 stress，討論小尺寸新結構製程薄膜電晶體的可靠度問題及原因。

關鍵字：複晶矽鍺、金屬誘發側向結晶、kink effect

Abstract

In this project, we intend to study low-temperature polycrystalline thin film and thin-film transistors using poly-SiGe and MILC (Metal-Induced-Laterally-Growth) technologies by three years. We propose novel poly-Si TFTs fabricated by Schottky Source/Drain contact or recrystallized by conventional MILC and electroless MILC technologies. These novel structures are expected to suppress the leakage current and the kink effect. The ON current will be also improved. In addition, small-dimension ($<1\mu\text{m}$) novel poly-Si TFTs are also fabricated and characterized. The dimensional effects and the reliability issues are carefully

studied.

In the first year, we will establish the database of selectively-growth SiGe, metal silicide Schottky contact and MILC technologies. The film is analyzed by using TEM, SEM, XRD, Auger, Raman and a-stepper. Process factors such as pressures, temperatures, gas sorts, annealing conditions, electroless concentrations, PH values and metal sorts are varied to find the optimal condition. The second year, poly-Si TFTs are fabricated using the optimal condition specified in the first year. Typical characteristics are measured and typical parameters are extracted. By comparing to the conventional TFTs, the mechanism dominates our devices are proposed. The small-dimension TFTs are fabricated in the third year. The short channel effects of different structures are compared with that of conventional small-dimension TFTs. The reliability issues are also discussed after thermal measurement and electrical stress.

Keyword: poly-SiGe, MILC, Kink effect

二、計畫的緣由與目的

近年來主動式矩陣液晶顯示器 (Active Matrix Liquid Crystal Display) 技術越來越成熟，顯示器面積越作越大有逐漸取代傳統陰極射線管 CRT 的趨勢，引起產業界和學術界廣泛的興趣。

非晶矽薄膜電晶體 (Amorphous Silicon Thin Film Transistor) 常被用來當作主動式矩陣液晶顯示器的切換元件，此乃因非晶矽具有可在低溫下沈積，生產成本低，適合大面積製作以及漏電流小等優點，是目前技術較成熟且已有商業化的產品；相較於複晶矽薄膜電晶體 (polycrystalline Silicon Thin Film Transistor)，複晶矽薄膜電晶體有較大的導通電流，因此可以縮小電晶體面積進而提高顯示器的透光率 (aperture ratio)，此外由於複晶矽薄膜電晶體與 MOS 製成相容，故複晶矽也可以做成驅動電路 (driving circuit)，如此液晶顯示器和週邊電路可整合在一起，簡化製程複雜度而有效的降低成本。

漏電流太大是複晶矽薄膜電晶體的致命傷，實際顯示器上應用要求每片圖素 (pixel) 的漏電流必須小於 1pA，因此在本計畫中，我們提出數種結構以及方式利用複晶矽鍺及 MILC 在低溫複晶矽薄膜電晶體上的應用以提升電晶體的特性：

1. 抬升汲極與源極(Raised-S/D) TFT

降低複晶矽薄膜電晶體通道層(channel layer)的厚度，可有效的改善導通特性，如載子遷移率提升，導通電流增加，降低臨界電壓，降低次臨界撥動，漏電流變小等，但降低厚度會使汲極與源極端的電阻值上升而影響電晶體的導通電流，在本計畫中，我們首先提出 Raised-S/D 的結構來降低汲極與源極端的電阻值，改善複晶矽電晶體的導通特性及降低漏電流等，但卻不需要額外的光罩，節省成本。

2. 矽鍺間壁隙(SiGe Spacer) TFT

由於漏電流是複晶矽薄膜電晶體一大致命傷，而漏電流又與通道汲極端橫向電場有關係，橫向電場越大，漏電流則越大，為了降低漏電流，不少文獻報告指出做成 LDD (lightly-Doped Drain) 結構，亦即在閘極兩端形成 spacer 的形式，可以降低汲極端的橫向電場而達到降低漏電流的目的，但由於此結構有個偏移層 (offset) 在汲極/源極與閘極間，造成導通電流也隨偏移層寬度增加而下降的情況，為了降低漏電流但使導通電流不至於下降太多，有人提出 Gate-overlap LDD (GOLD) 結構來改善此問題，如此 on/off 電流比率可以提高，但此等結構的上級 metal gate-electrode 並無法與下面的 poly-gate 作有效的自我對準 (self-alignment)，元件尺寸縮小時，會產生問題。在本計畫中，我們首先提出矽鍺 SiGe Spacer TFT 的結構來改善漏電流。

3. 金屬矽化物蕭特基接觸汲極/源極

近幾年來，許多矽電晶體的研究著重於將傳統含有離子佈植區的汲極與源極改用金屬矽化物(silicide)蕭特基接觸，其主要優點是可製作出僅一兩百埃通道長度的電晶體，傳統藉由離子佈植後再加熱活化佈植雜質的製程會造成佈植雜質擴散而不利於製作淺接觸面短通道電晶體。此外，在蕭特基接觸電晶體中，汲極區內建電場效應可有效降低汲極區的電場，且源極蕭特基接觸亦可有效地吸收被碰撞游離出的電洞，因此可有效改善使汲極和源極易崩潰的浮接體效應 (floating-body effect)。基於上述說明，基於上述

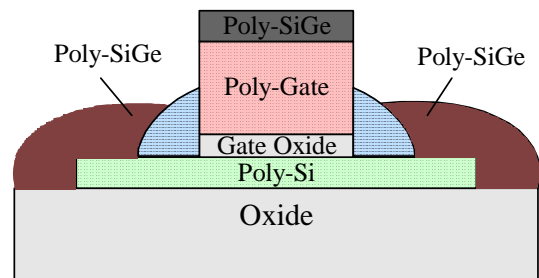
說明，本計畫在氧化矽晶片上研製具蕭特基汲/源極接觸的非晶矽化鍺薄膜電晶體，且為降低接觸電阻及改善電晶體切換速度，在汲極及源極區擬採用雙金屬合金製作蕭特基接觸。

4. 金屬誘發側向結晶化之複晶矽薄膜電晶體研究

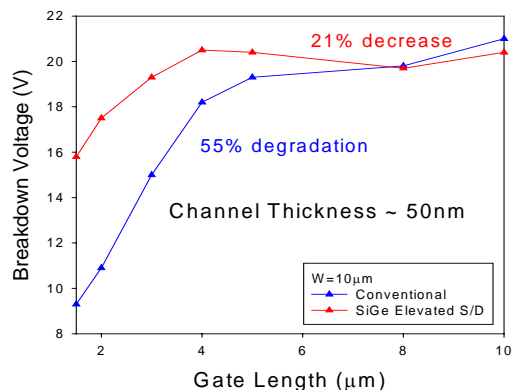
由於顯示器的玻璃基板最高只能承受 600 的溫度，所以複晶矽薄膜電晶體顯示器的製作必須採用低於 600 的低溫製程。近幾年來，學界提出了一種新的低溫再結晶方式可以大幅降低製程的溫度(再結晶溫度約 500)而且可以得到極大的晶粒尺寸(平行於通道方向可達數十 μ m)稱為金屬誘導橫向結晶(MILC ,Metal Induced Laterally Crystallization)。以金屬晶粒形成的金屬矽化物，進行橫向再結晶。我們將此 MILC 的技術應用在一新結構複晶矽薄膜電晶體，並做成小尺寸電晶體，當閘極長度小於一晶粒大小時，便成了單晶的複晶矽薄膜電晶體，預期特性將會大幅度改善，並探討其可靠度問題。

二、研究方法及成果

1. 抬升汲極與源極(Raised-S/D) TFT



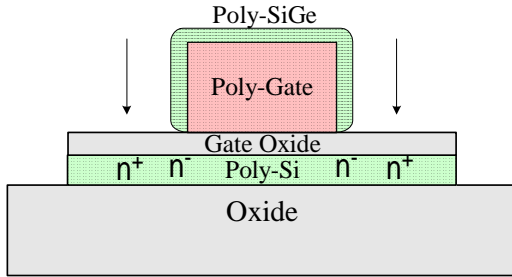
圖一、新穎複晶矽薄膜電晶體(SiGe Raised S/D)，通道厚度約為 20 nm，而複晶矽鍺汲極/源極厚度約為 120nm。



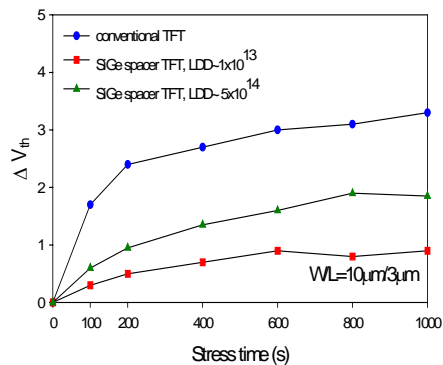
圖二為通道厚度為 50nm 新穎結構薄膜電晶體 (SiGe LDD TFTs)以及傳統薄膜電晶體的崩潰電

壓關係圖。

2. 矽鍺間壁隙(SiGe Spacer) TFT

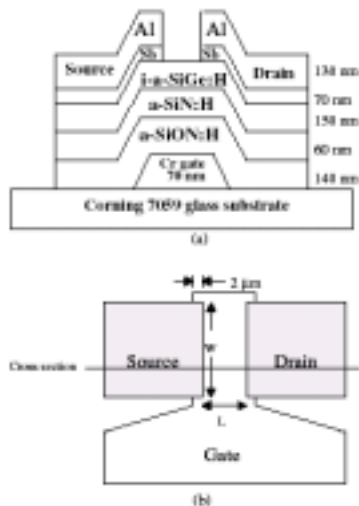


圖三為新穎複晶矽薄膜電晶體(SiGe LDD TFTs), 間隙壁部分利用選擇性方式沈積, 不需要額外光罩及達成 LDD 結構。

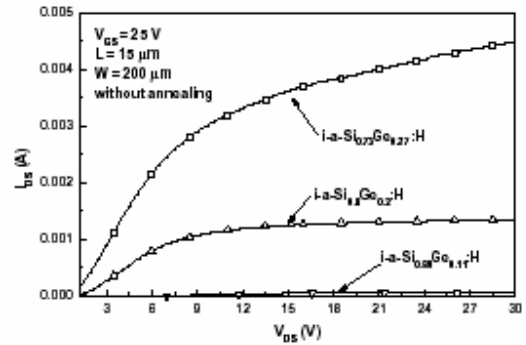


圖四為對 SiGe LDD TFTs 以及傳統的薄膜電晶體做 $V_g=V_d=20V$ 的施壓條件後的 V_T 變化。

3. 金屬矽化物蕭特基接觸汲極/源極

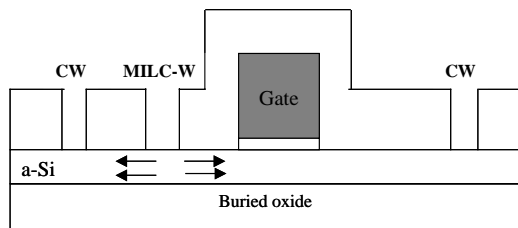


圖五: 非晶矽化鍺氫薄膜電晶體結構的 (a) 剖面圖、(b) 頂視圖。

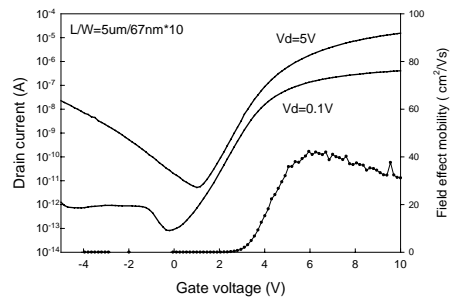


圖六為不同通道層薄膜電晶體的 $I_{DS}-V_D$ 特性圖

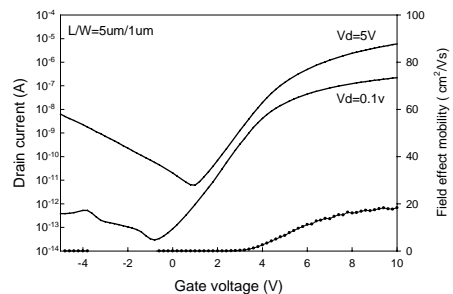
4. 金屬誘發側向結晶化之複晶矽薄膜電晶體



圖七為元件圖案相依的複晶矽薄膜電晶體結構的剖面圖。



圖八為十條奈米通道複晶矽薄膜電晶體的轉換及輸出特性圖。



圖九為單條通道複晶矽薄膜電晶體的轉換及輸出特性圖。

Device name	Mobility (cm ² /Vs)	V _{th} (V)	SS (V/dec.)	Ion / Ioff
L5S1	18.11	4.79	0.80	2.90 × 10 ⁶
L5M10	42.29	4.05	0.59	2.93 × 10 ⁶

表一為單通道及十條奈米通道複晶矽薄膜電晶體的電特性比較表。

三、 討論與總結

1. 抬升汲極與源極(Raised-S/D) TFT

SiGe Raised S/D TFTs 相較於傳統的 TFTs 結構有較高的導通電流，以及較高的 Ion/Ioff 比例，而且其崩潰電壓有很明顯的改善，而且在主動式矩陣液晶顯示器應用上可以有自我對準的能力以及可以節省一道光罩的成本。

2. 矽鍺間壁隙(SiGe Spacer) TFT

SiGe LDD TFTs 有較低的漏電流、較高的 Ion/Ioff 比例，而且可以抑制 kink effect。此外，此結構也可以有較好的電性容忍能力。同時也具有自我對準的優點，並且可以節省一道光罩的成本。

3. 金屬矽化物蕭特基接觸汲極/源極

本研究計畫製作了具雙金屬合金蕭特基源/汲極接觸的非(複)晶矽化鍺薄膜電晶體，並研究了元件的電性特性在經過適當的退火處理後，金屬 Sb 與非晶矽化鍺氫通道介面間的串聯電阻減少了，如此增強了元件的操作特性，薄膜電晶體元件的等效電子遷移率與臨界電壓由介面間的蕭特基位障與退火溫度所主導；此外利用組成梯度的技術及適當的退火溫度處理，元件的特性很明顯的提升了。

4. 金屬誘發側向結晶化之複晶矽薄膜電晶體

由實驗可知遷移率是與元件的多條通道寬度相依。對同樣閘極長度為 5 um 的元件而言，遷移率隨著通道寬度的縮減而提昇，遷移率由單通道的 18.11 cm²/Vs 提昇到 42.29 cm²/Vs。

本研究群的相關研究成果已經發表在國際期刊上，其相關論文見參考文獻 [9][10][11][12][13][14]。

五、 參考文獻

- 1.A. Kumar K. P. and J. K. O. Sin, IEDM Tech. Dig. **97**, 515 (1997).
- 2.M. G. Clark, IEE Proc. - Circuits Devices Syst. **141**, 3 (1994).
- 3.T. Naguchi, H. Hayashi, and T. Oshima, Jpn. J. Appl. Phys. **25**, L121 (1986).
- 4.M. Miyasaka, T. Komatsu, W. Itoh, A. Yamaguchi, and H.

- Ohashima, Ext. Abstr. SSDM, **95** 647 (1995).
- 5.M. Yoshimi, M. Takahashi, T. Wada, K. Kato, S. Kambayashi, M. Kemmochi, and K. Natori., IEEE Trans. Electron Devices. **37**, 2015 (1990).
6. K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, and Y. Arimoto, "Scaling theory for double-gate SOI MOSFET's," IEEE Trans. Electron Devices, Vol. 40, pp.2326-2329, 1993.
- 7.Shoichi Miyamoto, Shigeto Maegawa, Shigenobu Maeda, Takashi Ipposhi, Hirota Kuriyama, Tadashi Nishimura, and Natsuro Tsubouchi, "Effect of LDD Structure and Channel Polysilicon Thinning on a Gate-All-Around TFT (GAT) for SRAM's," IEEE Trans. Electron Devices, Vol.46, pp.1693-1698, 1999.
8. B. Doyle, B. Boyanov, S. Datta, M. Doczy, S. Harelend, B. Jin, J. Kavalieros, T. Linton, R. Rios and R. Chau, "Tri-Gate Fully-Depleted CMOS Transistors: Fabrication, Design and Layout," Symp. VLSI Technology Dig. Tech. Paper, 2003.
9. M. Nishisaka, and T. Asano, "Reduction of the floating body effect in SOI MOSFETs by using schottky source/drain contacts," Jpn. J. Appl. Phys., vol.37, pp. 1295, 1998.
10. Cha-Shin Lin, Rong-Hwei Yeh, Inn-Xin Li, and Jyh-Wong Hong, "Improving Contact Performances of Al (Al/Pd) and i-a-SiGe:H Interface Using an Additional Very Thin Sb Layer ", IEE Electronic Letters, vol.38, no.5, pp.253-255, 2002.
11. Cha-Shin Lin, Rong-Hwei Yeh, Inn-Xin Li, and Jyh-Wong Hong, "Electrical Characteristics of a-SiGe:H Thin-Film Transistors with Sb/Al Binary Alloy Schottky Source/Drain Contact ", Solid-State Electronics, vol.47, pp.1787-1791, 2003.
- K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, and Y. Arimoto, "Scaling theory for double-gate SOI MOSFET's," IEEE Trans. Electron Devices, Vol. 40, pp.2326-2329, 1993.
- 7.Shoichi Miyamoto, Shigeto Maegawa, Shigenobu Maeda, Takashi Ipposhi, Hirota Kuriyama, Tadashi Nishimura, and Natsuro Tsubouchi, "Effect of LDD Structure and Channel Polysilicon Thinning on a Gate-All-Around TFT (GAT) for SRAM's," IEEE Trans. Electron Devices, Vol.46, pp.1693-1698, 1999.
8. B. Doyle, B. Boyanov, S. Datta, M. Doczy, S. Harelend, B. Jin, J. Kavalieros, T. Linton, R. Rios and R. Chau, "Tri-Gate Fully-Depleted CMOS Transistors: Fabrication, Design and Layout," Symp. VLSI Technology Dig. Tech. Paper, 2003.
- 9.D. Z. Peng, T. C. Chang, T. S. Liao, P. T. Liu, H. W. Zan and C. Y. Chang, "Performance and Reliability of Lightly Doped Drain Thin-Film Transistors with Selective Growth of SiGe Spacer," submitted to J. Electrochemical Society
- 10.D. Z. Peng, T. C. Chang, C. F. Liu, P. H. Yeh, P. T. Liu, and C. Y. Chang, "A Novel SiGe Raised Source/Drain Polycrystalline Thin-Film Transistor with Improved On-Current and Larger Breakdown Voltage," accepted for publication in Jpn. J. Appl. Phys., 2003.
- 11.D. Z. Peng, T. C. Chang, P. S. Shih, H. W. Zan, T. Y. Huang, C. Y. Chang, and P. T. Liu, "Polycrystalline silicon thin-film transistor with self-aligned SiGe raised source/drain," Appl. Phys. Lett., vol. 81, p. 4763, 2002.
- 12.D. Z. Peng, T. C. Chang, C. Y. Chang, H. W. Zan, T. S. Liao and P. T. Liu, "A lightly doped drain polycrystalline silicon thin-film transistor with selective growth of SiGe spacer," submitted to Appl. Phys. Lett.
- 13..D. Z. Peng P. S. Shih, H. W. Zan, C. Y. Chang, T. C. Chang, and C. W. Lin, "A Novel Self-Aligned SiGe Elevated S/D polycrystalline-Silicon Thin-Film Transistor," SID Digest, 40th anniversary, P. 204, 2002.
- 14 Y. C. Wu, T. C. Chang, C. Y. Chang, C. S. Chen, C. H. Tu, P. T. Liu, H. W. Zan, and Y. H. Tai, Appl. Phys. Lett., 19, 3822 (2004).