

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫二：應用系統構裝技術之多頻射頻前端積體電路

(1/3)

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-009-007-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：郭建男

計畫參與人員：傅昶綜，傅敬銘，劉上逸，馬健嘉，洪英瑞

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 93 年 5 月 28 日

子計畫二：應用系統構裝技術之多頻射頻前端積體電路 (1/3)

Multi-Band RF Front-End Integrated Circuits in System-on-Package Technology (1/3)

計劃編號: NSC 92-2220-E-009-007 執行期間: 92 年 8 月~ 93 年 7 月

計劃主持人: 交通大學電子系 郭建男 助理教授 e-mail: cnkuo@mail.nctu.edu.tw

中文摘要

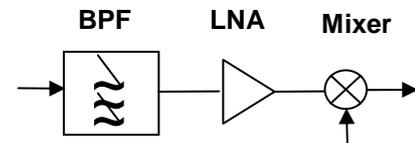
本計劃將應用系統構裝技術，開發高效能射頻前級積體電路，應用於多頻段與寬頻無線通訊。現階段進行晶片系統之前級電路模組技術開發，包含微型化帶通濾波器、雙頻可調增益低雜訊放大器、超寬頻低雜訊放大器、及直接降頻可調增益諧波混波器，等相關電路。目前依照標準 0.18 μ m RF CMOS 製程，研發整合系統之可行技術，計劃下階段將加入後段製程整合技術，進一步提高整體效能。

Abstract

In this three-year project, the technology of system-on-package will be employed to develop high-performance RF front-end integrated circuitry for applications to multi-band and ultra-wideband wireless communication. This is the first phase. Several on-chip circuit blocks have been developed, including miniaturized bandpass filter, dual-band stepped-gain low-noise amplifier, ultra-wideband low-noise amplifier, and direct-downconversion stepped-gain harmonic mixer, and etc. These circuits are implemented in 0.18 μ m RF CMOS technology. In the next phase, the back-end process technology will be implemented for performance improvement.

1. 前言

商業無線通訊蓬勃發展，技術趨勢指標為低成本並且能達高性能之系統設計，加上多頻段應用需求，如何提供適用之射頻積體電路技術是當前一大課題。就系統架構而言，直接降頻架構具有低功率、架構簡單、無鏡像問題(image problem)、及容易進行系統晶片整合等特性，配合積體電路技術，此架構已被廣為使用，本計劃也加以採用。



圖一、射頻前級電路示意圖

圖一所示為本計劃考慮之接收器前級電路示意圖，包含帶通濾波器、低雜訊放大器、及降頻混波器，開發之技術將應用於多頻段與寬頻系統。一般傳統對於多頻段應用，硬體設計採用數套電路，針對不同頻段進行最佳化設計，在此則考慮使用單一線路而能符合系統規劃要求。目前已發展標準製程電路設計技術，未來階段將更進一步應用系統構裝技術加入後段製程整合，提高整體效能。以下分別討論各項電路設計。

2. 微型化帶通濾波器

由於無線通訊之蓬勃發展，以較低成本之 CMOS 製程來實現射頻積體電路已成為產業界之研發目標。目前大部份元件已成功被整合在矽晶片上，但 on-chip 濾波器因面積過大，及 Si-substrate 引起之能量損耗過大，使得設計一小面積(成本考量)、低損耗(insertion loss)之 on-chip 濾波器便成為最大的挑戰。

各種降低 Si-substrate loss 的方法，近年來紛紛被提出。包括直接採用高電阻係數(resistivity)之 Si-substrate[1]、增加介電質之厚度以減少能量 couple 至 Si-substrate[2]、以微機電技術移除 Si-substrate[3] 以及以質子佈植(proton implantation)方式提高 Si-substrate 之電阻係數[4]。但以上各方法均非標準 CMOS 製程所能提供，必須增加額外的製程造成製造成本上升。

在縮小面積方面，各式各樣的 slow-wave 結構可用以縮小元件面積，例如 electric-magnetic-electric (EME) slow-wave microstrip line [5] 和 miniature periodic-structure CPW [6] 已被用來縮小濾波器面積。本計畫以 HS-CPS (標準 CMOS 製程)實現濾波器之傳輸線共振器可達縮小面積、降低損耗之目的。

2.1. 濾波器設計原理

圖二(a)為一 N 階電容耦合共振帶通濾波器 (capacitive coupled resonator bandpass filter) 之傳輸線模型，它是由 N 段傳輸線共振器及 N+1 個電容所組成 [7]。而本次設計為一階電容耦合共振帶通濾波器，其傳輸線模型如圖二(b)。因其佔用之面積取決於傳輸線共振器長度，故本設計使用 slow-wave 傳輸線(HS-CPS)來縮短傳輸線共振器長度。與傳統 CPS 比較，HS-CPS 縮小線寬、增加線距提升了傳輸線的單位長度電感值，又以 MiM 電容分佈在傳輸線上增加單位長度之電容值(圖三)，故使訊號傳送之波速降低($v=1/\sqrt{LC}$)，縮短所需傳輸線長度。此外，MiM 電容可使電場較集中在 MiM 電容附近，降低 Si-substrate loss。

由於本設計為 differential 應用，電容為串聯，故以 HS-CPS 實現圖二(b)電路時， $C=2C1$ (圖四(a))，其 layout 及各部分尺寸如圖三(b)、(c)所示。

2.2. 模擬、量測結果與討論

以 3D 電磁模擬軟體(Ansoft HFSS)模擬傳統 CPS 與 HS-CPS 結構(圖三)，可得兩者特性阻抗均為 50Ω (圖五(a))，slow-wave factor 分別為 2 與 7(圖五(b))，亦即使用 HS-CPS 較使用傳統 CPS 縮小面積約 3.5 倍。單位長度波長之損耗(attenuation/ λ)亦明顯改善(圖五(c))。若將 HS-CPS 之金屬採用理想導體取代可看出在 HS-CPS 結構中 Si-substrate loss 並不嚴重。比較兩者電場分佈(圖六)可知 MIM 電容之相對大電容值使得電場主要集中在 MIM 電容附近，減小了耦合至 Si-substrate 中的能量，降低了 substrate loss。濾波器模擬結果如圖七所示，中心頻率為 39.5GHz 此時之損耗(insertion loss)為 1.1dB，三分貝頻率為 32.5GHz、50.5GHz。模擬曲線與理論值相當接近，與質子佈植矽基板(proton-implantation Si)共平面波導濾波器比較，有較小損耗及較小面積表一。

3. 同時雙頻帶三階段增益低雜訊放大器

現今社會中，無線區域網路越來越普遍，依其操作頻帶可分為 IEEE 802.11b/g 的 2.4GHz 頻帶和 IEEE 802.11a 的 5.2~5.8GHz。在無線區域網路的應用上，正朝向把 IEEE 802.11a/b/g 結合在同一應用硬體的趨勢。

因此利用單一電路即可做到同時支援雙頻帶的接收器成為一個新的研究方向。其優點是其所消耗的面積、成

本、功率都較使用兩組電路再做選擇來的小，但是相對的來說，其電路的複雜度較大，較不好設計。

在另一方面若是輸入低雜訊放大器的訊號過大，在經過放大後，有可能會讓下一級的輸入進入飽和進而造成失真，導致訊號錯誤，因此若能加入調節增益的功能，當輸入訊號過大時，讓增益變小，使下一級不至於飽和造成失真，便能夠解決此問題。

本研究重點即在於設計應用在無線區域網路具有同時雙頻帶和階段增益功能之低雜訊放大器。

3.1 設計原理與方法

圖八為同時雙頻帶三階段增益低雜訊放大器的架構，在輸入阻抗匹配方面，利用 L-degeneration 的原理達成輸入阻抗匹配[8]。

從輸入端看進去的阻抗

$$Z_{in} = \frac{g_m}{C_{gs}} L_s + s(L_g + L_s + \frac{L_1}{1 - \omega^2 L_1 C_1} - \frac{1}{\omega^2 C_{gs}}) \quad (1)$$

為了將輸入阻抗匹配到 50Ω ， L_s 提供輸入阻抗匹配之實部，可導出

$$L_s = \frac{50}{\omega_t} (H) \quad (2)$$

決定 L_s 後，配合 L_g 和 L_1 及 C_1 所組合而成的 LC tank 即可達到虛部雙頻輸入阻抗匹配的效果[9]。

$$\text{image}(Z_{in}) = \omega L_g + \omega L_s + \frac{\omega L_1}{1 - \omega^2 L_1 C_1} - \frac{1}{\omega C_{gs}} = 0 \quad (3)$$

另一方面，在輸出方面，如圖八所示， L_3 和 C_3 串聯諧振電路提供了一個轉移函數的零點，使其具有類似帶拒的效應，可以幫助接收器提供 image-rejected 的效用，配合 L_2 、 C_2 及 C_4 便可在輸出阻抗匹配上提供雙頻帶輸出阻抗匹配[9]。

圖八的 R_1 、 R_2 和 R_3 所組成的電阻串，是利用分壓的觀念來達到階段增益的功能。在 High Gain Mode 時， M_2 為 on， M_3 及 M_4 為 off，此時可以得到最大的增益。當 Medium Gain Mode 時， M_3 on， M_2 及 M_4 為 off，此時由於輸出訊號經 Z_L+R_1 和 R_2+R_3 分壓的關係，會使增益變成約為原來的一半。而在 Low Gain Mode 時， M_4 on， M_2 及 M_3 為 off 時，輸出訊號經 $Z_L+R_1+R_2$ 和 R_3 分壓，使增益掉為原來的四分之一左右。

3.2 模擬

我們使用台積電提供之 $0.18\mu\text{m}$ ADS model 來做模擬，我們利用螺旋電感與 MiM 電容來做輸入及輸出阻抗匹配。

ADS 模擬軟體模擬結果顯示，高增益模式下，在 2.4~2.5GHz 有 15dB 而在 5.2~5.8GHz 有大約 9.5dB 的增益 (S21)，而 S12 均小於 -30 dB，如圖九及圖十之黑線軌跡所示，而 S11 與 S22 在 2.45GHz 分別為 -16 與 -10dB，而在 5.5GHz 為 -18dB 與 -15dB，如圖十一 與圖十二之黑線軌跡所示。而其雜訊指數(NF)則為 3.2 和 3.3dB，如圖十三黑線軌跡所示。Two-tone test 結果，其 IIP3 為 -4 與 1 dBm 而 1-dB compression 則為 -14 和 -7 dBm，此外此電路消耗之功率為 14.6mW。

3.3. 量測結果與討論

表二 為模擬與實測結果比較表，在高增益模式之下，測試結果之 S21 在 2.4~2.5GHz 均大於 9.9dB 其峰值為 2.5GHz 的 10.5dB，而在 5.2~5.8GHz 均大於 6.7dB 而峰值在 5.6GHz 的 8.3dB 如圖九藍線所示，S12 在 5.6GHz 亦有最大之值為 -13.5dB，如圖十藍線所示。S11 的最小值飄到 2.65GHz 和 5.75GHz 分別為 -15.6 和 -7.35dB 如圖十一藍線所示。S22 的最小值 2.55GHz 和 5.5GHz 分別為 -15.6 和 -7.35 dB 如圖十二藍線所示。而雜訊指數在 2.45GHz 和 5.5GHz 則分別為 4 與 5.4dB 如圖十三藍色方塊所示。圖十四與圖十五顯示 2.45 與 5.5GHz 兩頻帶下線性度之量測結果，其顯示 IIP3 為 2 與 0 dBm 而 1-dB compression 則為 -7 與 -10 dBm。

4. 3-8 GHz 超寬頻(UWB)低雜訊放大器

2002 年 2 月 14 日，無線技術—“UWB (Ultra Wideband)” 的產品銷售和使用獲得了美國 FCC (聯邦通信委員會) 的批准。UWB 所佔之頻寬為 3.1~10.6 GHz，其最大數據傳輸速度可達幾十 Mbps~幾 Gbps，並且進行這種高速通信時的耗電量僅為幾百 μ W~幾十 mW，耗電量相當於現有無線通信技術(例如：IEEE802.1b、IEEE 802.11a)的 1/100 以下，而其最大數據傳輸速度可超過 100Mbit/秒—這種夢幻般的無線通信技術也許很快就能夠成為現實，並且廣泛的被一般大眾所應用。在商用市場需求下，將驅使射頻電路設計者尋求低成本半導體技術來設計電路。低成本，高整合度，甚至高性能的互補式金屬氧化半導體製程技術，使得設計者能利用其來實現電路 [10][11]。

本計畫擬進行超寬頻系統前端之低雜訊放大器(LNA)設計。對於寬頻放大器而言，分散式寬頻放大器(Distributed Amplifiers)是最常使用的架構

[12][13][14]。但此種電路的主要缺點在於高的功率消耗以及低的功率增益(S21)，此外由於需要較多的電感元件使得面積的需求增加。2004 年 ISSCC[15]，利用柴比雪夫濾波器製作輸入匹配網路，並且利用 shunt peaking 方式來補償 inductive source degeneration 輸入級在高頻的下降轉導增益以達到增益平坦之電路已被發表，此電路之特色在於低功率消耗以及利用帶通濾波器來製作輸入匹配網路，但如此的匹配網路需要額外的電容與輸入電晶體之 C_{gs} 並聯，此將降低輸入電晶體的截止頻率(f_t)近而降低輸入級之轉導增益，隨著製程技術的進步此電容將更加限制低雜訊放大器之性能。此晶片量測與模擬結果顯示於圖二十一至圖二十四，量測結果顯示此一放大器在 3-8GHz 頻率下有最高功率增益(S21) 9.2dB，輸入返回損耗(S11) 小於 -5.8 dB 以及平均雜訊指數 6.1dB，此外此電路消耗之功率為 15mW。

4.1. 3-8 GHz 超寬頻(UWB)低雜訊放大器

圖十七為此次電路架構，由三級放大器所串接而成。第一級 $m1$ 為共源組態，提供輸入轉導增益。第二級為 $m2$ 構成之共閘組態以降低 Miller's effect 與增加隔離度 (S12)。第三級為 $m3$ 共源組態構成之輸出緩衝級。 R_f 與 R_{f1} 不僅提供負回授並且可提供自偏壓功能。電路小訊號模型如圖十八所示，並聯元件 Z_{in} ， R_{f1} 與 R_{f2} ，表示 R_f 與 R_{f1} 之米勒效應之結果，在此我們忽略由 R_f 在 $m1$ 汲極端所產生之米勒效應，以及各個電晶體之間汲極電容(C_{gd})。以下為此電路之理論分析。

A. 寬頻輸入阻抗匹配

由圖十八分析，輸入阻抗為

$$Z_{in} = Z_{fm} \parallel Z_{in1} \approx \frac{R_f}{1 - A_{v0}(s)} \parallel \left(s(L_g + L_s) + \frac{1}{sC_{gs1}} + \omega_t L_s \right) \quad (1)$$

如圖二十二 Smith chart 所示之 S11，當頻率為零時

$$Z_p(0) = Z_{fm} = \frac{1 + R_f g_{m2}}{g_{m1} + g_{m2}} \quad (2)$$

在此我們選擇 R_f 電阻，使得 $Z_p(0)$ 大於 50Ω ，如 Smith chart 所示。當在共振頻率時(在此我們設定共振頻率為 8GHz)

$$Z_p(\omega_0) \approx \omega_t L_s \quad (3)$$

設定 $Z_p(\omega_0)$ 小於 50Ω ，如 Smith chart 所示，如此之匹配網路能使 3-8GHz 之 S11 匹配至 -10 dB 以下。

B. 平坦增益技術

增益平坦由此三級之頻率補償所達成，輸入級與中間級提供高頻之高轉導增益如圖(十九(a)與(b))所示，其公式如下

$$G_m = \frac{I_{d1}}{V_{in}} = \frac{g_{m1}\omega_{01}^2}{s^2 + s\frac{\omega_{01}}{Q_1} + \omega_{01}} \quad (\omega_{01} = \frac{1}{\sqrt{(L_g + L_s)C_{gs1}}}) \quad Q_1 = \frac{1}{\omega_{01}g_{m1}L_s} \quad (4)$$

$$\beta = \frac{I_{d2}}{I_{d1}} = \frac{g_{m2}}{s^3 C_{gs2} C_{d1} L_{d1} + s^2 g_{m2} C_{d1} L_{d1} + s(C_{gs2} + C_{d1}) + g_{m2}} \quad (5)$$

緩衝級之RLC tank將低頻之低轉導增益拉起並且濾除低於(3GHz)之頻率如圖(十九(c))。其公式為

$$Z_m = \frac{V_{gs3}}{i_{d2}} * \frac{V_{out}}{V_{gs3}} = \frac{s\omega_{02}^2}{s^2 + s\frac{\omega_{02}}{Q_2} + \omega_{02}^2} * g_{m3} * (R_{fm2} \parallel R_d \parallel R_o) \quad (6)$$

經過此頻率補償可得平坦增益如圖(十八(d))所示。

4. 2. 模擬、量測結果與討論

圖二十為此電路之佈局圖。量測結果顯示此一放大器在3-8GHz頻率下有最高功率增益(S21) 9.2dB，以及隔離度小於-41dB如圖二十一所示。輸入返回損耗(S11)大於-5.8 dB 以及良好之輸出返回損耗(S22)如圖二十二所示，以及平均雜訊指數 6.1dB，如圖二十三所示。圖二十四顯示 iip3 大於-4.2dBm。此外此電路消耗之功率為15mW。由於功率增益在高頻部分量測與模擬結果有著2-dB之差異，並且雜訊指數亦上升1.4dB，此一結果顯示著我們輸入級之轉導增益不夠大以致無法使高頻訊號放大以及抑制輸入級電晶體所產生之雜訊。在S11部分亦顯示在高頻部分有著額外的寄生電容效應產生。表三為此次電路設計與以發表之論文所作之比較。

5. 5. 2GHz 直接降頻階段增益諧波混波器

近年來，直接降頻架構引起廣泛的討論，由於其具有低功率、架構簡單、無映像(image)效應及容易整合至單一晶片系統(SoC)等特性。所以在無線網路要求低成本的前提下，直接降頻架構看似為一良好的解決方案。但其本身具有許多缺點，像是自我混頻產生之直流偏移、flicker noise、偶數階失真(even-order distortion)及I/Q不匹配(mismatch)等待解決。

直流偏移是直接降頻架構中最重要問題之一，(圖二十五)圖示其生成原因。主要是因為由於振盪器(Local Frequency)輸入頻率與射頻(Radio Frequency)頻率同一頻率，當振盪器訊號經由耦合或其他效應流入低雜訊放大

器之輸出端或天線與低雜訊放大器之輸入端時，經反射至混波器與LO本身混頻，在基頻會產生一個在直流訊號上的偏移[16]。由於在大部份的混波器架構下，振盪器輸入訊號會遠大於射頻輸入訊號，此直流偏移現象會嚴重限制低雜訊放大器設計時對輸出匹配(S22)及混波器RF-to-LO隔離度之要求。圖(二十六(a))圖示在一般直接降頻架構因為LO與RF訊號在同一頻率，所以產生直流偏移的問題。因為在大部份的調變方式中，直流訊號佔了調變訊號的重要部份，所以在輸出放入一個高通濾波器濾除直流訊號是不可行的。在此前提下，諧波混波器似乎是一個直流偏移的解決方案。

因為直流偏移主因是RF跟LO在同一頻率，當RF跟LO在不同頻率時，便可以消除其效應；所以諧波混波器可以避免因LO自我混頻所產生的直流偏移。圖(二十六(b))圖示此結果，因為在輸出會有一個LO頻率的偏移，可用一個簡單的低通率波器即能濾除。如此便可以消去直流偏移問題。

在參考論文[17]中，諧波的產生是由兩個由差動LO訊號驅動的電晶體對，利用把其汲級接上消除奇次諧波產生偶次諧波及利用電流注入方法使上方混波電晶體使其作在弱反轉層區，使其得到相當低之雜訊指數。但也因其操作在低工作電流，線性度不佳。本論文所提出之架構改善其缺點並增加階段增益之功能，利用開關之非線性及電感peaking效應，以最少的偏壓電流完成一更適合操作於無線通訊之諧波混波器。

5. 1. 5. 2GHz 直接降頻階段增益諧波混波器

本諧波混波器分為三部份：(1)諧波產生級(2)peaking電感及並聯NMOS開關(3)混波級及注入電流源 圖二十七圖示本諧波混波器架構。

(1) 諧波產生級

由一阻差動對電晶體，連接其汲級產生二階諧波，由於是利用電晶體的二次方特質 $i = \frac{1}{2}k(v_p - v_n)^2$ 產生二次方諧波。但由於在短通道元件(short-channel device)因電子漂移速度飽合(velocity saturation)關係，會減少其諧波成份；因此在差動對之源級加入一電流源，使差動對工作在類似開關的狀況下，以得到較大的諧波訊號，如圖二十八所示，可以在較小的電流下得到相同於[17]之結果。由於電流源之輸出阻抗為高阻抗，可以並聯一旁路(bypass)電容解決。

(2) peaking 電感及並聯 NMOS 開關：

5. 2GHz 諧波訊號在注入混波級前，會經過此級放大。如圖二十九所示，在(1)(3)級連接處會有兩寄生電容， C_L 為往下看入諧波產生級之寄生電容， C_p 為往上看入混波級之寄生電容與往上看入之寄生電阻 $1/2g_m$ 產生一極點在

$$\frac{g_m}{2\pi(C_p + C_L)}$$

之一階低通濾波器，會降低流入諧波產生級的諧波訊號。為解決此問題，在兩級間置入一電感，由：

$$V_{out} = I_{in} \times \frac{1}{s^2 C_R C_p (s L_{peak} \parallel R_{SW}) + 2s(C_L (s L_{peak} \parallel R_{SW}) gm + C_p + C_L) + 2gm}$$

可知會形成一具有 peaking 效應之三階濾波器 [19][20]，可以藉由調整電感值，使其突起在 5.2GHz 處，如圖三十所示。在電感兩端並聯一電晶体開關，當其打開時，如(圖二十九(b))所示，會將電感兩端等效置入一低電阻，此時三階濾波器會變回原來的一階低通濾波器，如此便可調整混波器的增益，為本架構之重要特質。

(3) 混波級及注入電流源

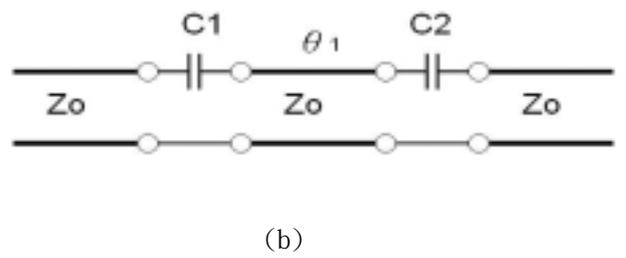
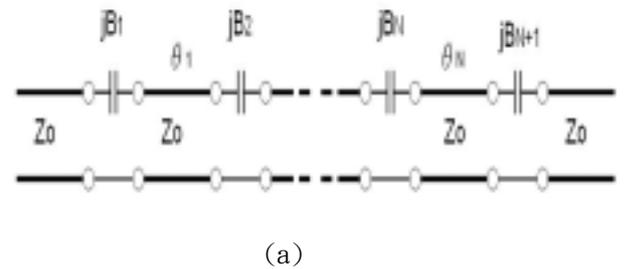
在此級，RF 訊號與諧波訊號混頻產生基頻訊號。由於電晶體的 flicker noise 影響，會使電晶體的雜訊指數加大，由 $i_n^2 = \frac{K}{f} \cdot \frac{gm^2}{WLC_{ox}^2} \cdot \Delta f \approx \frac{K}{f} \cdot \omega_i^2 \cdot A \cdot \Delta f$ 知，加大電晶体面積及減少電晶體的截止頻率可改善電晶體的雜訊表現，因此加入一注入電流 I_{inject} 減少流入電晶体電流，如此可增加增益及減少電晶体雜訊指數。

5.2. 模擬、量測結果與討論

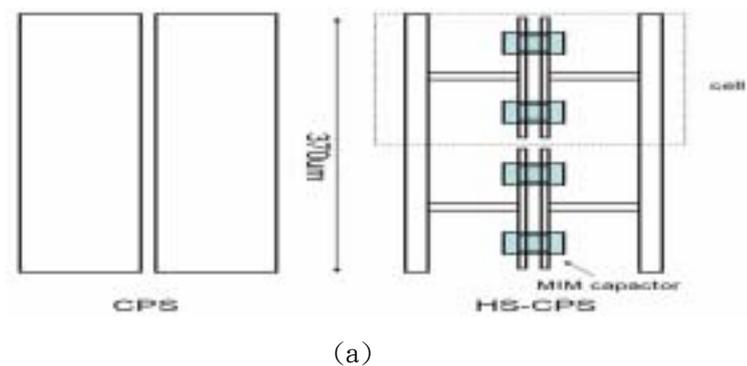
本電路採用台積電 0.18 μm 製程，以 Agilent Advanced Design System (ADS) 模擬及使用 ADS Momentum 模擬布局之寄生效應。其模擬結果如表四所示，兩個增益模式增益相差 9.3dB 可使混波器工作在較大的輸入訊號範圍，兩個增益模式的雜訊指數相差與增益相差相似，是因為主要雜訊為電晶體的 flicker noise 所貢獻，而其不與電感 peaking 作用相關，而雜訊指數為輸出端雜訊除上增益，所以相差與增益相差差距不多。在 1.8V 供壓及 2.6mA 操作電流下，消耗功率約為 4.6mW。圖三十一為輸入阻抗匹配，在 5.2GHz 之 $S_{11} < -20dBm$ ；在 4.8GHz~6GHz 範圍 S_{11} 在 -10dB 以下。如圖三十二，晶片面積為 0.906*0.508 mm^2 。表五為綜合本架構與其他諧波混波器 [17][18] 之效能比較。

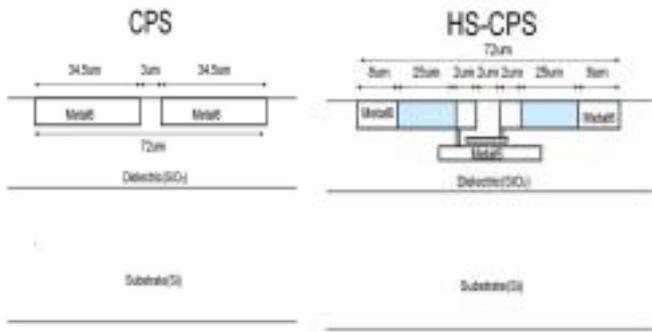
6. 結論

本計劃至目前為止，已完成數項射頻前級積體電路設計，可應用於多頻段與寬頻無線通訊。部分模組已送往晶片製作中，部分模組已完成量測驗證，性能大致符合預期結果。部分高頻響應及雜訊特性呈現偏移結果，評估可能受寄生效應及元件模型準確度影響。成果包含，依照標準 0.18 μm RF CMOS 製程實現了小面積、低損耗之帶通濾波器，2.4/5.2GHz 同時雙頻帶可調變增益低雜訊放大器，3~8GHz 超寬頻低雜訊放大器，使用電感性增易調變之直接降頻階段增益諧波混波器。計劃下階段將加入後段製程整合技術，進一步提高效能。



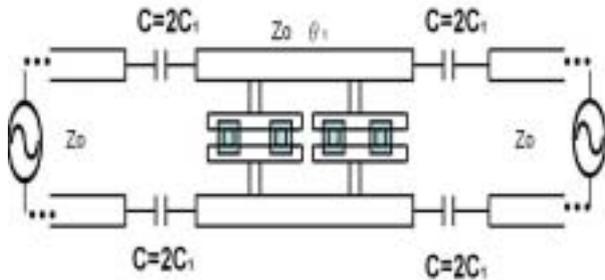
圖二 (a) N 階，(b) 一階電容耦合共振帶通濾波器之傳輸線模型



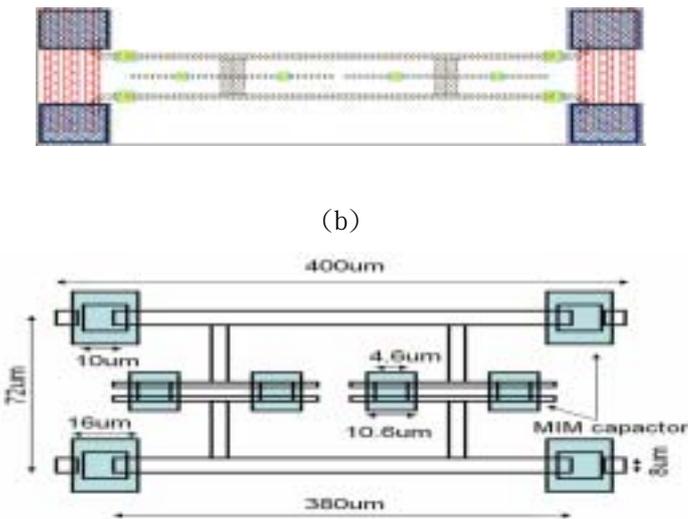


(b)

圖三傳統 CPS 與 HS-CPS(a)俯示圖(b)剖面圖

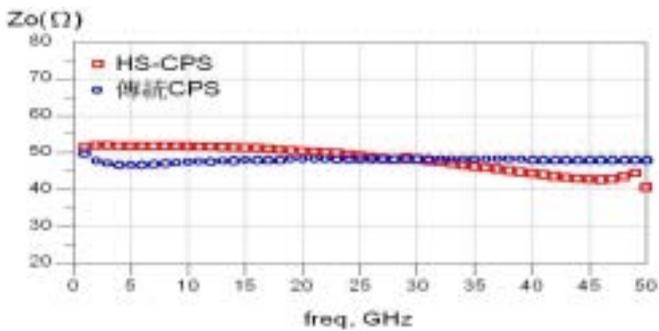


(a)

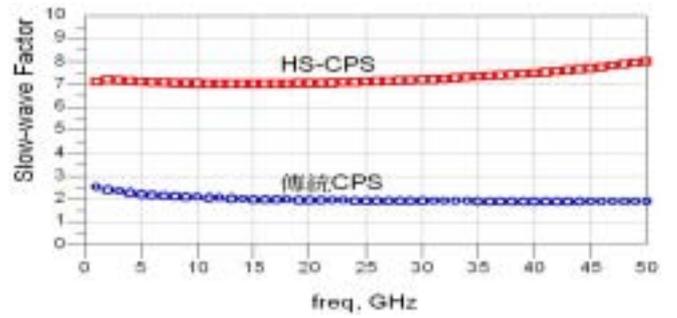


(c)

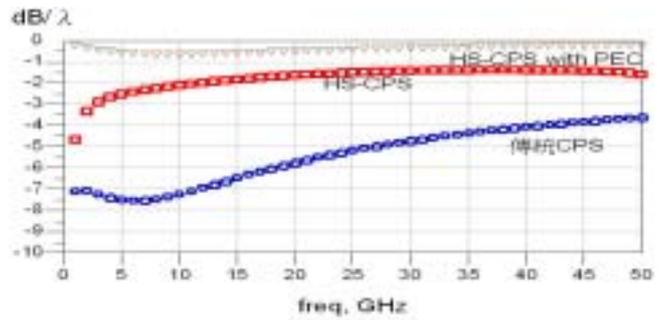
圖四 以 HS-CPS 實現之一階電容耦合共振帶通濾波器(a)示意圖(b) layout (c)各部分尺寸



(a)

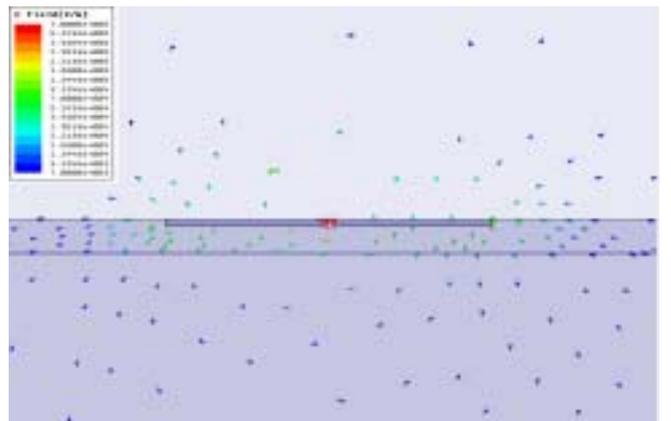


(b)

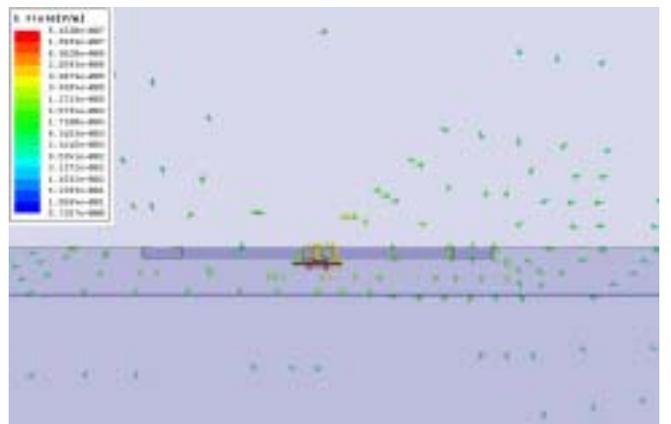


I

圖五傳統 CPS 與 HS-CPS 之(a)特性阻抗(b)slow-wave factor(c)單位波長之損耗(attenuation/ λ)

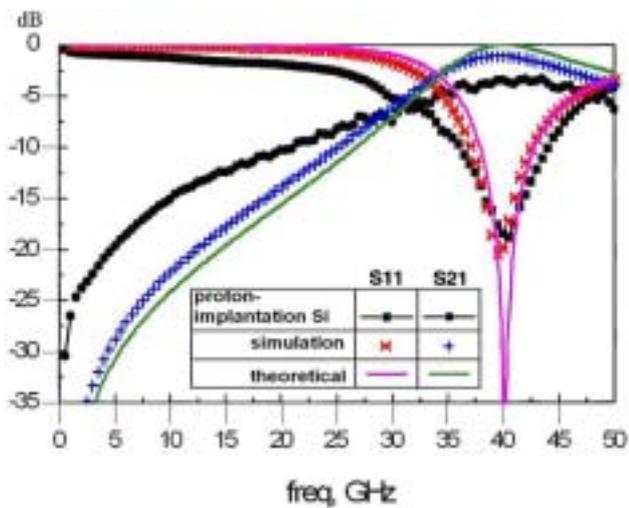


(a)



(b)

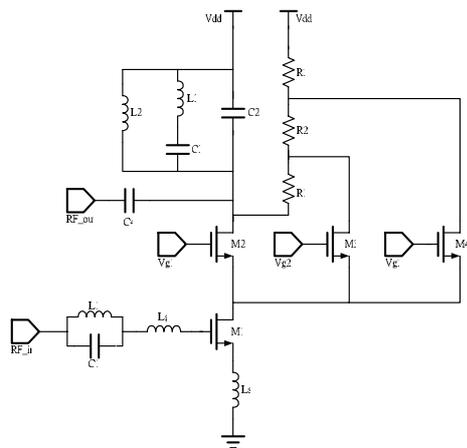
圖六(a) 傳統 CPS (b)HS-CPS, 電場分佈圖



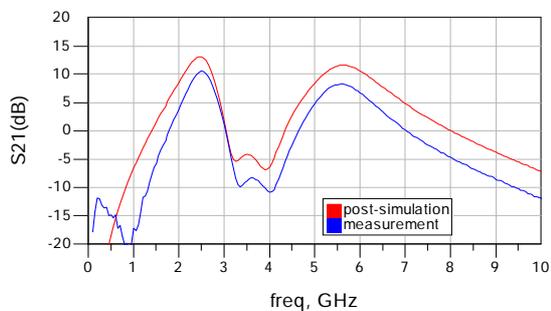
圖七濾波器之模擬結果

表一 濾波器尺寸與最小損(min. insertion loss (IL))

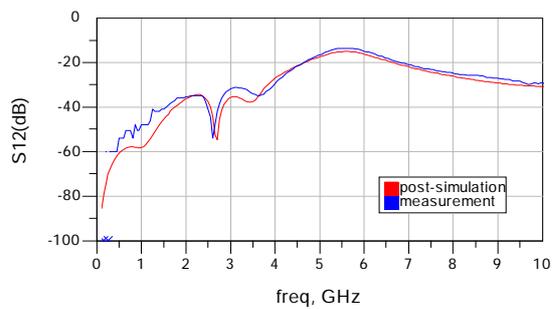
結構	長	寬	Min. IL
質子佈值矽基板共平面波導濾波器 [4] (proton-implantation Si-substrate CPW)	1000um	~500um	3.4dB
本設計	400um	72um	1.1dB



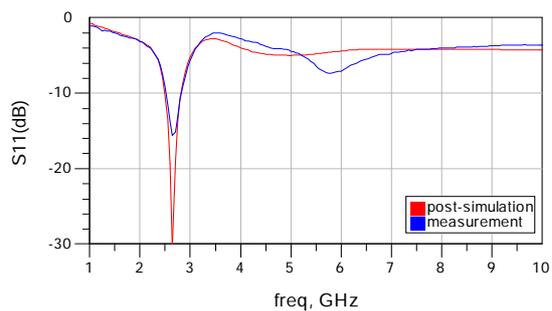
圖八 同時雙頻帶三階段增益低雜訊放大器



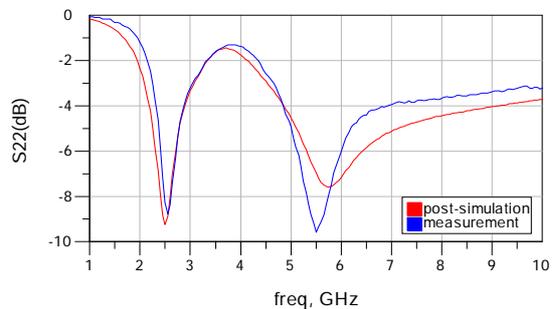
圖九 S21



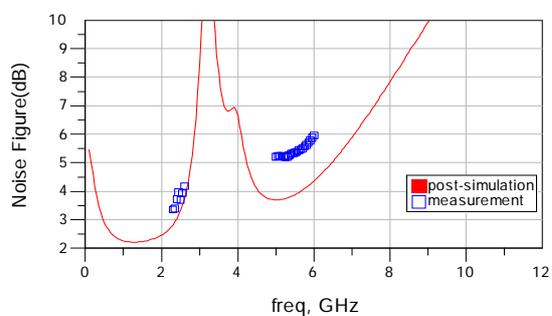
圖十 S12



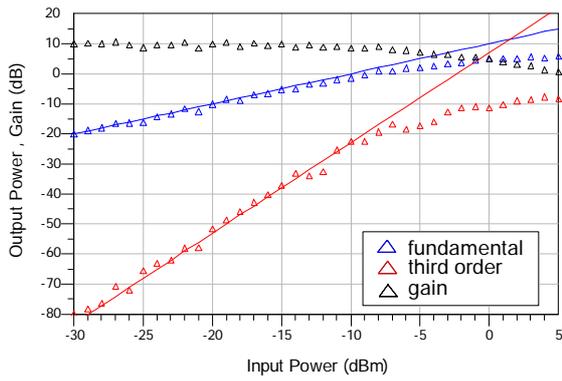
圖十一 S11



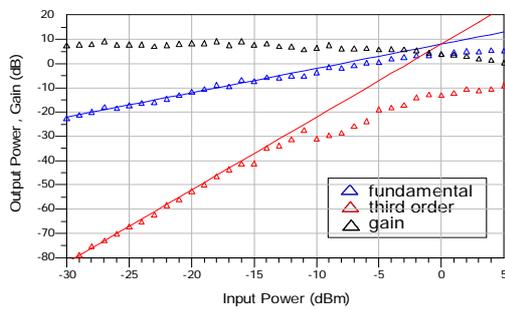
圖十二 S22



圖十三 Noise Figure

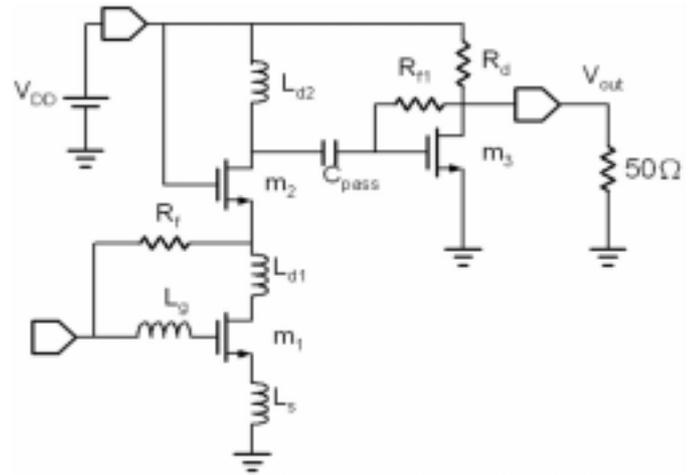


圖十四 2.45GHz Linearity

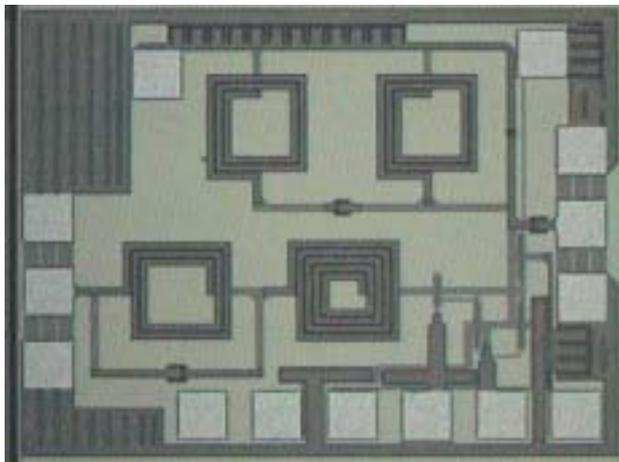


圖十五 5.5GHz Linearity

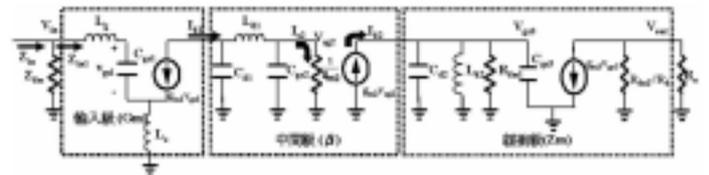
NF (dB)	3.2	4	3.3	5.4	3.2	4.4	3.8	7.9	3.6	5.8	14
S11 (dB)	-16	-8	-18	-6	-23	-11	-24	-21	-27	-11	-27
S22 (dB)	-10	-7	-15	-10	-6	-7	-22	-19	-6	-7	-20
S12 (dB)	-38	-37	-32	-14	-38	-43	-33	-17	-39	-42	-34
P-1dB	-14	-7	-7	-10	-21	-11	-13	-11	-15	-12	-9
IIP3	-4	2	1	0	-7	-2	-6	-2	-19	-3	-1
Pdc	14.565	14.682	14.565	14.565	14.736	14.565	14.736	14.565	14.895	14.895	14.895



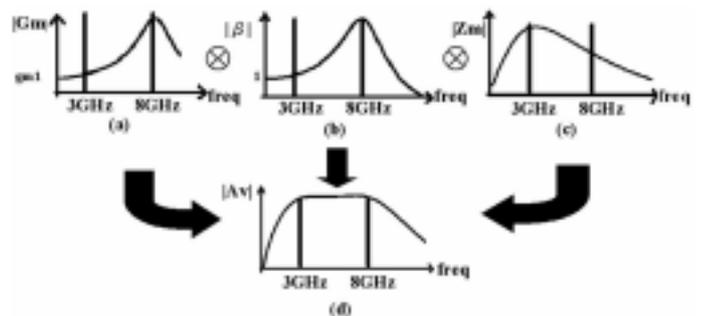
圖十七. 寬頻低雜訊放大器電路圖



圖十六 Layout 圖



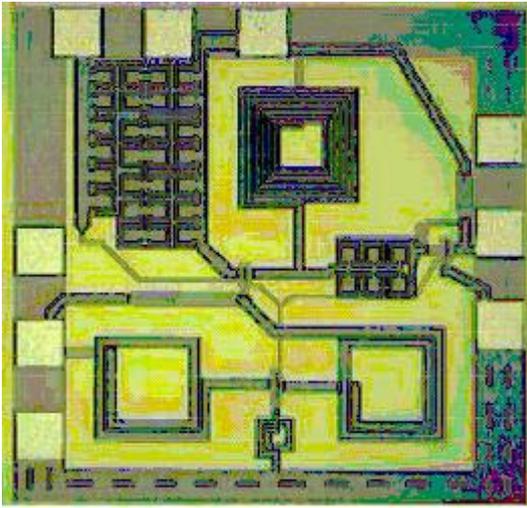
圖十八. 小訊號模型分析



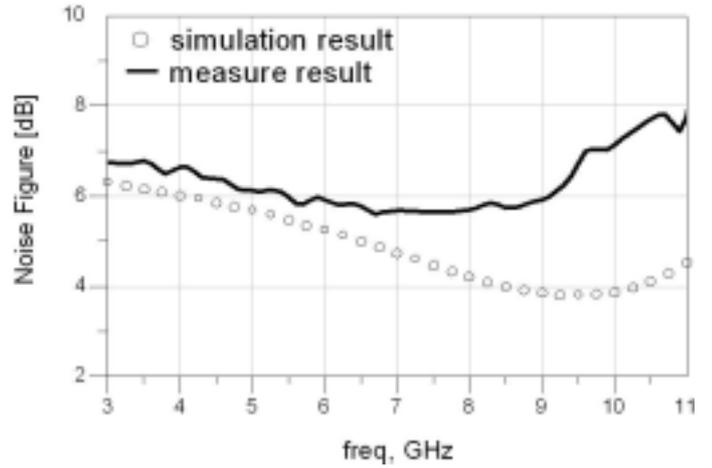
圖十九. 平坦增益示意圖

表二 模擬與實測結果比較表

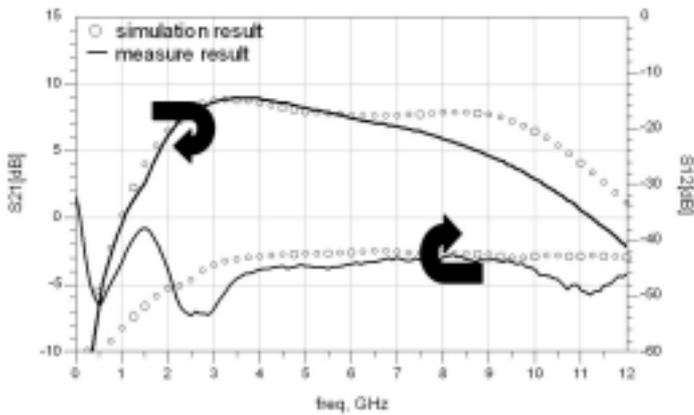
	High		Medium				Low					
	2.45	5.5	2.45	5.5	2.45	5.5	2.45	5.5				
Process	TSMC Mix Mode .18 1P6M CMOS											
Vdd	1.5V											
S21 (dB)	15	11	9.8	8.5	8.9	4.8	2.1	-3	2	-2	-5	-13



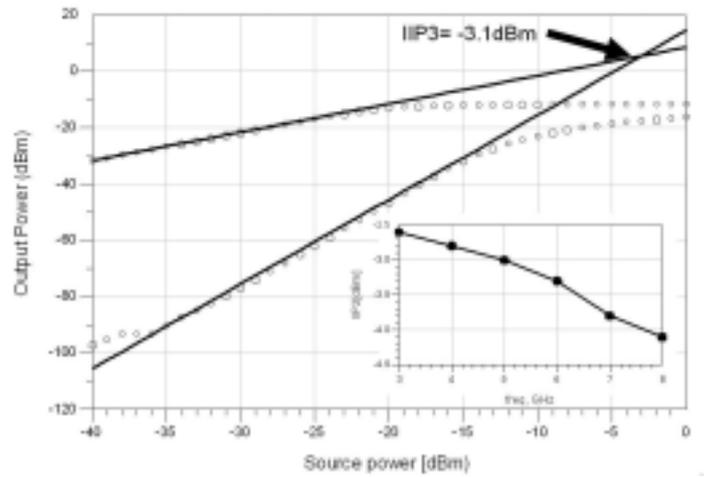
圖二十 電路佈局圖



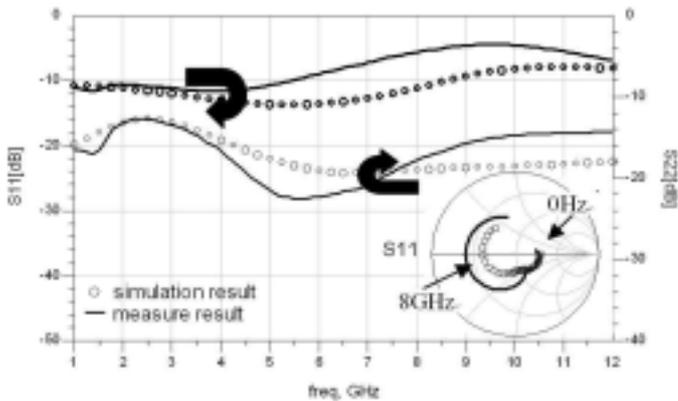
圖二十三 雜訊指數模擬及量測結果



圖二十一 (S21) 與 (S12) 模擬及量測結果



圖二十四 5GHz 之 two-tone 測試; IIP3 versus frequency 量測結果

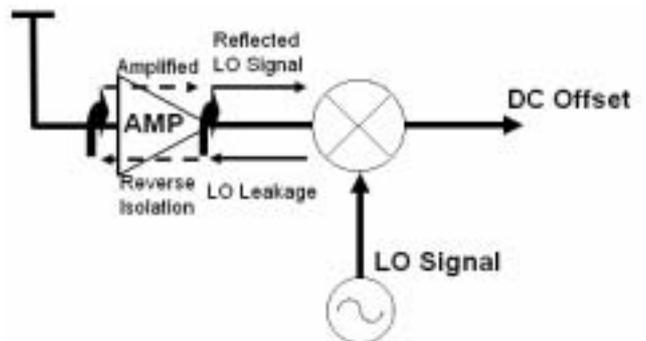


圖二十二 (S11) 與 (S22) 模擬及量測結果

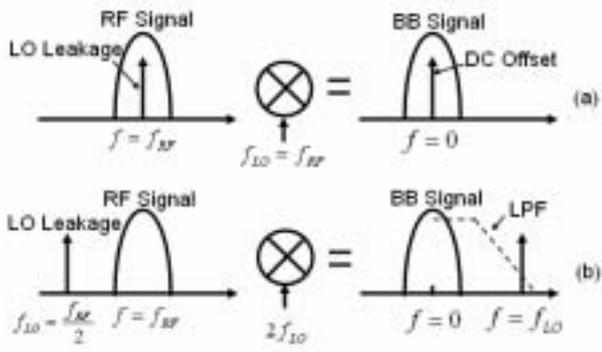
表三. 量測結果與其他寬頻放大器之性能比較摘要

	BW [*] [dB]	G _{max} [dB]	S ₁₁ [dB]	N _{fmin} [dB]	IIP3 [dBm]	Area [mm ²]	P _w [mW]
*	2-2.8	9.2	< -5.8	5.65	-3.1	0.65	15
[15]	2.9-9.2	9.3	< -9.9	4	-6.7	1.1	18 [‡]
[12]	0.6-22	8.1	< -8	4.3	N/A	1.35	52
[13]	0.5-4	7.4	< -7	5.4	N/A	1.12	83.4
[14]	1.5-7.5	7	< -6	8.7	N/A	3.67	216

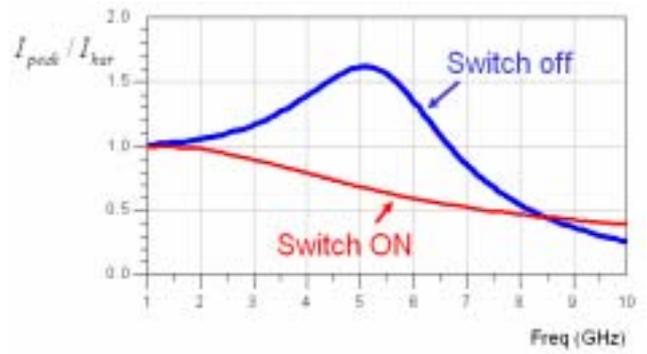
*此次電路 [†]-3dB 頻寬 [‡]總功率消耗



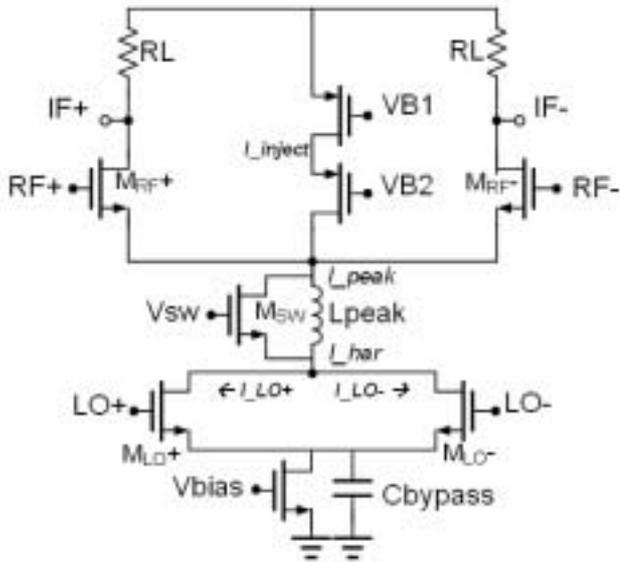
圖二十五 LO 自我混頻作用



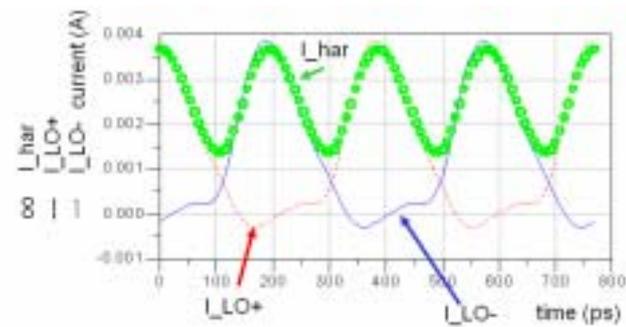
圖二十六 工作原理 (a) 一般混波器
(b) 二階諧波混波器



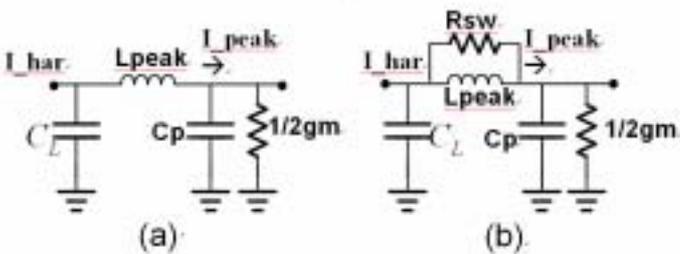
圖三十 電感peaking效應 (Iout/Iin)



圖二十七 CMOS諧波混波器



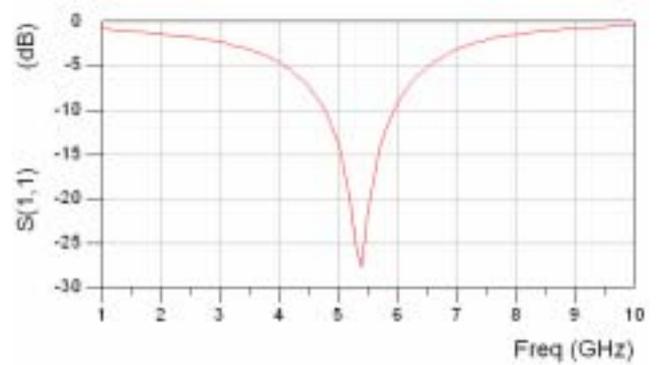
圖二十八 諧波產生級電流



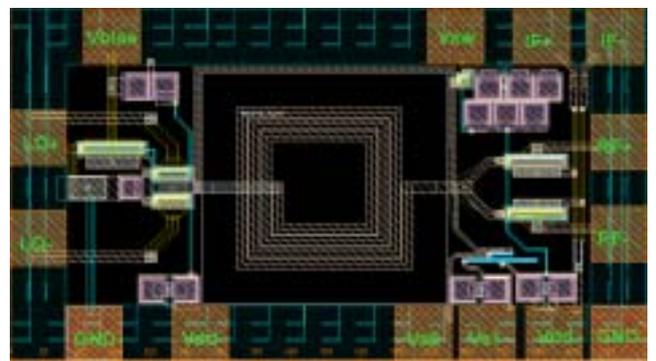
圖二十九 電感peaking級之小訊號模型 (a) switch off
(b) switch on

表四效能整理

	High Gain Mode	Low Gain Mode
Process	0.18u	
S11	<-20dB	
RF Freq.	5.2GHz	
DC current	2.6mA	
Conversion Gain	18.0 dB	8.7dB
Noise Figure	19.0dB	28.7dB
IIP3	-3.1dBm	-5.6dBm



圖三十一 輸入阻匹配(S11)



圖三十二 佈局圖

表五 與參考論文[17][18]之效能比較表

	Reference	Reference	This Work
--	-----------	-----------	-----------

	Paper [17]	Paper [18]	High-Gain Mode
Process	0.35 μ	0.25 μ	0.18 μ
Conversion Gain	13dB	11.6dB	18.0dB
Noise Figure	24.5dB (@10KHz)	12.0dB	19.0dB (@1MHz)
S11	N.A.	N.A.	-20.0dB
IIP3	-10.6dBm	-13.5dBm	-3.1dBm
RF Freq.	900MHz	2GHz	5.2GHz
Power	5.16mW	5.13mA	4.64mW

參考文獻

- [1]H. S. Gamble *et. al.*, "Low-Loss CPW Lines on Surface Stabilized High-Resistivity Silicon," *IEEE Microwave Guided Wave Lett.*, vol. 9, no. 10, pp. 395-397, Oct. 1999.
- [2]J. Papapolymerou, and G. E. Ponchak, "Microwave Filters on a Low Resistivity Si Substrate with a Polyimide interface Layer for Wireless Circuits," *IEEE RFIC Symposium*, 2001.
- [3]T. A. Schwarz, and L. P. B. Kathehi, "Si-micromachined coplanar waveguides for use in high-frequency circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 46, pp. 762-768, June 1998.
- [4]K. T. Chan, C. Y. Chen, Albert Chin, J. C. Hsieh, J. Liu, T. S. Duh, and W. J. Lin, "40-GHz Coplanar Waveguide Bandpass Filters on Silicon Substrate," *IEEE Microwave and Wireless Components Letters*, vol. 12, pp. 429-431, Nov. 2002.
- [5]C.-K. Wu, H.-S. Wu, and C.-K. C. Tzuang, "Electric-Magnetic-Electric Slow-Wave Microstrip Line and Bandpass Filter of Compressed Size," *IEEE Trans. Microwave Theory Tech.*, vol. 50, pp. 1996-2004, May 2002.
- [6]James Sor, Yongxi Qian, and Tatsuo Itoh, "Miniature low-loss CPW periodic structures for filter applications," *IEEE Trans. Microwave Theory Tech.*, vol. 49, pp. 2336-2341, Dec 2001.
- [7]D. M. Pozar, "Microwave Engineering 2nd ed.," published by Johnson Wiley & Sons, Inc, 1998.
- [8]D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS low noise amplifier," *IEEE J. Solid-State Circuits*, vol. 32, pp. 745-759, May 1997.
- [9]H. Hashemi and A. Hajimiri, "Concurrent Multiband Low-Noise Amplifiers-Theory, Design, and Applications," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-50, no.1, pp. 288-301, Jan 2002
- [10]A. A. Abidi, "CMOS wireless transceivers: The new wave," *IEEE Commun. Mag.*, vol. 37, pp. 119-124, Aug. 1999.
- [11]T. H. Lee and S. S. Wong, "CMOS RF integrated circuits at 5 GHz and beyond," *Proc. IEEE*, vol. 88, pp. 1560-1571, Oct. 2000
- [12]R.-C. Liu *et al.*, "A 0.6-22GHz Broadband CMOS Distributed Amplifier," *RFIC Symp. Dig.*, pp. 103-106, 2003.
- [13]B. M. Ballweber *et al.*, "A Fully Integrated 0.5-5.5GHz CMOS Distributed Amplifier," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 231-239, Feb. 2000.
- [14]H. Ahn and D. Allstot, "A 0.5-8.5GHz Fully Differential CMOS Distributed Amplifier," *IEEE J. Solid-State Circuits*, vol. 37, no. 8, pp 985-993, 2002.
- [15]Andrea Bevilacqua and Ali M Niknejad, "An Ultra-Wideband CMOS LNA for 3.1 to 10.6 GHz Wireless Receivers," *ISSCC Dig. Tech. Papers*, pp. 382-383, Feb. 2004.
- [16]Takafumi Yamaji and Hiroshi Tanimoto, "A 2GHz Balanced Harmonic Mixer for Direct-Conversion

- Receivers," *Proc. Of IEEE custom IC Conf.*, p9.6.1-9.6.4, May, 1997. Pages:193 - 196
- [17]Zhaofeng Zhang, Zhiheng Chen and Jack Lau, "A 900MHz Balanced Harmonic Mixer for Direct Conversion Receivers," *Proc. IEEE RAWCON2000*, pp.219-222, Sept. 2000. Pages:219 - 222
- [18]Sher Jiun Fang, See Taur Lee, and David J. Allstot, "A 2GHz CMOS Harmonic Mixer for Direct-Conversion Receivers," *ISCAS 2002.*, Volume: 4 , 26-29 May 2002 Pages:IV-807 - IV-810 vol.4
- [19]Choong-Yul Cha; Sang-Gug Lee, "A low power, high gain LNA topology," *Microwave and Millimeter Wave Technology*, 2000, 2nd International Conference on. ICMMT 2000 , 14-16 Sept. 2000 Pages:420 - 423
- [20]Huang, J.C.; Ro-Min Weng; Cheng-Chih Chang, Kang Hsu, Kun-Yi Lin, "A 2 V 2.4 GHz fully integrated CMOS LNA," *Circuits and Systems, 2001. ISCAS 2001.* Volume: 4 , 6-9 May 2001 Pages:466 - 469 vol. 42V