

# 行政院國家科學委員會專題研究計畫 成果報告

## 子計畫三：MILC 低溫複晶矽薄膜電晶體之退火製程開發、新穎結構及小尺寸元件之製作及研究

計畫類別：整合型計畫

計畫編號：NSC92-2215-E-009-013-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：張俊彥

計畫參與人員：吳永俊, 陳稚軒, 馮立偉

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 11 月 20 日

# MILC 低溫複晶矽薄膜電晶體之退火製程開發、新穎結構及小尺寸元件之製作與研究

Study of Low Temperature MILC Poly-Si Film and Its Applications on Novel Structure and Small Dimensional TFTs

計劃編號: NSC92-2215-E009-013

執行期限: 92 年 8 月 1 日至 93 年 7 月 31 日

計劃主持人: 交通大學電子研究所 張俊彥教授

## 一、中文摘要

本計畫我們首先提出一個以標準四道光罩，元件製作之圖案相依的金屬誘化側向結晶之複晶矽薄膜電晶體。由實驗結果顯示此元件的電特性，可藉由載子遷移率的提昇以及較佳的閘極控制能力，而大幅的改善。由實驗可知遷移率是與元件的多條通道寬度相依。對同樣閘極長度為 5  $\mu\text{m}$  的元件而言，遷移率隨著通道寬度的縮減而提昇，這是由於窄通道效應而提昇複晶矽晶粒的側向長度。此外，十條奈米通道的元件，具有著較佳的開關特性。此現象可被解釋為，十條奈米通道的元件，由於它的環繞式閘極的結構，使其有較佳的閘極控制能力來降低橫向電場，以抑制短通道的效應。此圖案相依的金屬誘化側向結晶之複晶矽薄膜電晶體的製程完全相容於目前互補式金氧半場效電晶體的技術，而且不需要而外的光罩製程。此元件可被運用於高效能的複晶矽薄膜電晶體之運用，尤其是在主動式薄膜電晶體液晶顯示器(AMLCD)，以及三維立體的金氧半場效電晶體電路。

## Abstract

In this project, we intend to thoroughly In this thesis, we firstly develop a new pattern-depended MILC thin film transistors (PDM TFTs) with

standard four masks process. The experiment results demonstrate that the electrical properties of PDM TFT's can be significantly improvement by carrier mobility enhancement and superior gate controllability. Experiment results show that the field effect mobility is highly depended on multi-channel width. For the same gate length  $L=5\mu\text{m}$ , the field effect mobility increasing with channel number, resulting its poly-Si grain size enhanced by channel width limitation effect. In addition, experiment results also show that the ten multiple nano-wire channels has better switch behavior than single-channel TFT. It can be explain that the ten multiple nano-wire channels TFT has the better gate controllability due to its nano-wires structure behavior than single channel TFT. The lateral electrical field of ten multiple nano-wire channels TFT can be effectively reduced by additional two side-gates control. These PDM TFTs process is compatible with CMOS technology, and involves no any extra mask process. Such PDM TFTs are thus highly promising for use in future high-performance poly-Si TFT applications, especially in AMLCD and 3D MOSFET stacked circuits.

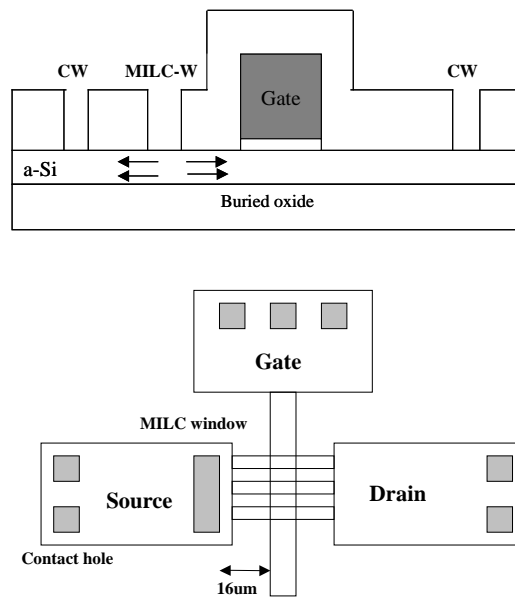
## 二、計畫的緣由與目的

近年來，複晶矽薄膜晶體 (poly-Si TFTs)廣泛地被應用在主動式液晶顯示

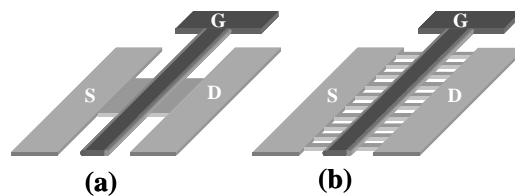
器(AMLCDs)以及有機發光顯示器。除了在大面積顯示器方面應用外複晶矽薄膜電晶體也可以被使用在記憶體元件當中例如動態隨機記憶體(DRAMs), 靜態隨機記憶體(SRAMs), 可程式化讀取記憶體(EPROM)以及可程式化讀寫記憶體(EEPROMs)。使用多晶矽薄膜晶體(poly-Si TFTs)在主動式液晶顯示器(AMLCDs)裡的優勢, 是在於其大幅改進載子移動率, 可達到  $10 \text{ cm}^2/\text{Vs}$ 。首先在作為像素開關元件上, 複晶矽薄膜電晶體的尺寸可設計較非晶矽薄膜電晶體來得小, 因此液晶螢幕可達到較高的透光率(aperture ratio)。此外, 高載子移動率的複晶矽薄膜電晶體亦可製成 n 與 p 通道元件的週邊驅動電路, 如此在同一玻璃基板上, 可同時製作開關元件以及驅動元件將可達到系統面板(SOP)技術的時代。為了製造低溫高性能 poly 晶體矽(poly-Si)薄膜電晶體 (TFTs), 運用於玻璃底層上最大的過程溫度必須小於  $600^\circ \text{C}$ 。目前主要有 3 種的低溫非晶矽 Si 的再結晶方法取得高性能 poly-Si 薄膜的方法, 包括有固態結晶法(Solid Phase Crystallization), 準分子鐳射結晶法(Excimer Laser Crystallization), 以及金屬誘發側向結晶法(Metal Induced Lateral Crystallization)。與傳統 SPC 相比, MILC 的 poly-Si grain 較大, 元件特性較佳且同為批次製程, 較 ELC 更適合於量產製程。然而就 MILC TFTs 以前的文獻報告, 在主動區製作之前, 額外 MILC 光罩製程的加入是無法避免的。在實際的應用考量上, 這個額外的光罩製程將引起製造上複雜性並且減少產率與良率。

為了解決上述問題, 我們的發明中, 首先我們用標準 4 道光罩製程來製作元件圖案相依的多條通道金屬誘發側向結晶之複晶矽薄膜電晶體。

## 二、研究方法及成果



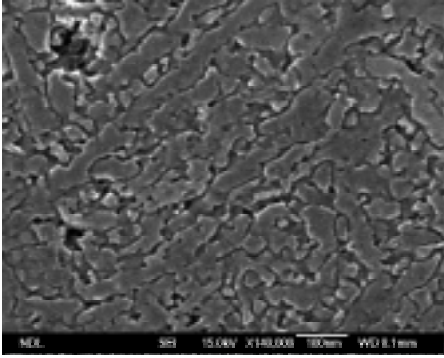
圖一: 元件圖案相依的複晶矽薄膜電晶體結構的(上)剖面圖、(下)頂視圖。



圖二: (a)單通道, (b)十條奈米通道複晶矽薄膜電晶體示意圖。

Device name	Gate length L	Channel number	Each channel width	Effective channel width W
L5M10	5µm	10	67nm	0.67µm
L5S1	5µm	1	1µm	1µm

表一為複晶矽薄膜電晶體的尺寸表。



圖三為元件圖案相依的複晶矽薄膜電子顯微鏡圖。複晶矽晶粒尺寸為 250 nm。

圖四為十條奈米通道複晶矽膜膜電晶體的轉換及輸出特性圖。

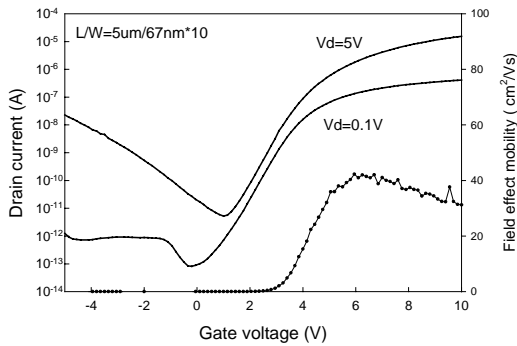


Fig. 4a Device Id-Vg characteristics of L5M10 (L/W = 5um/67nm×10) polysilicon TFT

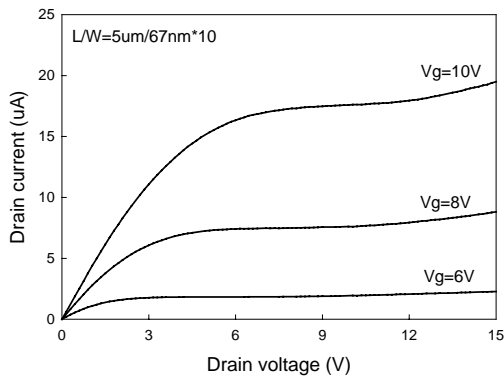


Fig. 4b Device Id-Vd characteristics of L5M10 (L/W = 5um/67nm×10) polysilicon TFT

圖五為單條通道複晶矽薄膜電晶體的轉換及輸出特性圖。

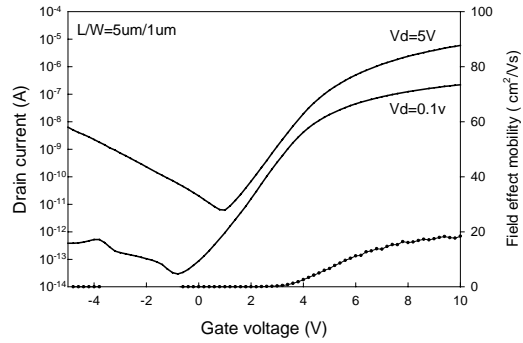


Fig. 5a Device Id-Vg characteristics of L5S1 (L/W = 5um/1um) polysilicon TFT.

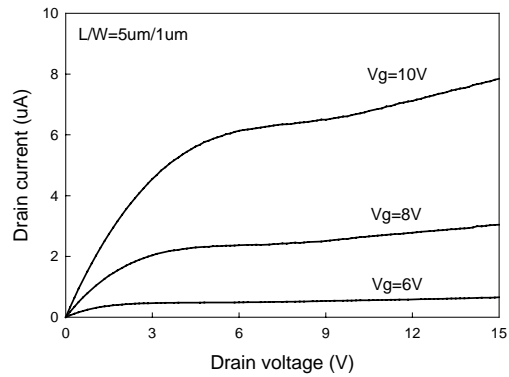


Fig. 5b Device Id-Vd characteristics of L5S1 (L/W = 5um/1um) polysilicon TFT.

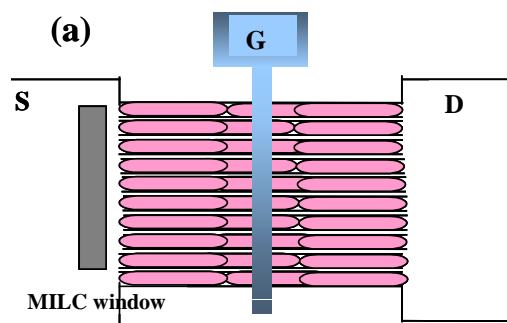
Device name	Mobility (cm <sup>2</sup> /VS)	V <sub>th</sub> (V)	SS (V/dec.)	I <sub>on</sub> / I <sub>off</sub>
L5S1	18.11	4.79	0.80	2.90 × 10 <sup>6</sup>
L5M10	42.29	4.05	0.59	2.93 × 10 <sup>6</sup>

表二為單通道及十條奈米通道複晶矽薄膜電晶體的電特性比較表。

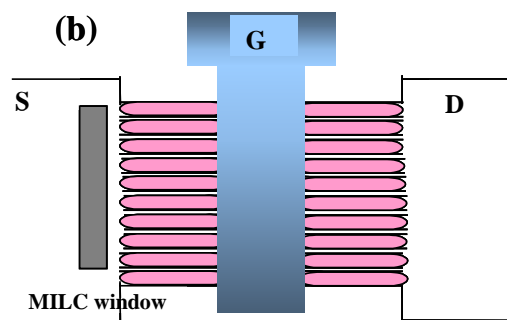
### 三、討論與總結

由實驗可知遷移率是與元件的多條通道寬度相依。對同樣閘極長度為 5 um 的元件而言，遷移率隨著通道寬度的縮

減而提昇，遷移率由單通道的  $18.11 \text{ cm}^2/\text{Vs}$  提昇到  $42.29 \text{ cm}^2/\text{Vs}$ 。這是由於窄通道效應而增強複晶矽晶粒的側向長度。此模型如圖六 a 所示。比較圖六 a 與六 b，十條奈米通道限制了複晶矽晶粒成長方向，而增強了複晶矽晶粒的側向長度。此圖案相依的金屬誘化側向結晶之複晶矽薄膜電晶體的製程完全相容於目前互補式金氧半場效電晶體的技术，而且不需要而外的光罩製程。此元件可被運用於高效能的複晶矽薄膜電晶體之運用，尤其是在主動式薄膜電晶體液晶顯示器(AMLCD)，以及三維立體的金氧半場效電晶體電路。



圖六 a: 元件圖案相依的十條奈米通道複晶矽薄膜電晶體結構的晶粒成長模型示意圖。



圖六 b: 元件圖案相依的單通道複晶矽薄膜電晶體結構的晶粒成長模型示意圖。

## 五、參考文獻

1. A. Kumar K. P. and J. K. O. Sin, IEDM Tech. Dig. **97**, 515 (1997).
2. M. G. Clark, IEE Proc.- Circuits Devices Syst. **141**, 3 (1994).
3. T. Naguchi, H. Hayashi, and T. Oshima, Jpn. J. Appl. Phys. **25**, L121 (1986).
4. M. Miyasaka, T. Komatsu, W. Itoh, A. Yamaguchi, and H. Ohashima, Ext. Abstr. SSDM, **95** 647 (1995).
5. M. Yoshimi, M. Takahashi, T. Wada, K. Kato, S. Kambayashi, M. Kemmochi, and K. Natori, IEEE Trans. Electron Devices. **37**, 2015 (1990).
6. K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, and Y. Arimoto, "Scaling theory for double-gate SOI MOSFET's," IEEE Trans. Electron Devices, Vol. 40, pp.2326-2329, 1993.
7. Shoichi Miyamoto, Shigeto Maegawa, Shigenobu Maeda, Takashi Ipposhi, Hirotada Kuriyama, Tadashi Nishimura, and Natsuro Tsubouchi, "Effect of LDD Structure and Channel Polysilicon Thinning on a Gate-All-Around TFT (GAT) for SRAM's," IEEE Trans. Electron Devices, Vol.46, pp.1693-1698, 1999.
8. B. Doyle, B. Boyanov, S. Datta, M. Doczy, S. Harelend, B. Jin, J. Kavalieros, T. Linton, R. Rios and R. Chau, "Tri-Gate Fully-Depleted CMOS Transistors: Fabrication, Design and Layout," Symp. VLSI Technology Dig. Tech. Paper, 2003.