

行政院國家科學委員會專題研究計畫期末報告

電漿處理應用在超大型積體電路上高介電常數閘極絕緣層之研究

The study of plasma treatment on high-k gate dielectrics for ULSI application

計畫編號：NSC 92-2215-E-009-060

執行期限：92年8月1日至93年7月31日

主持人：雷添福* 交通大學電子研究所教授

一、中文摘要

本計畫將研究利用電漿處理來改善高介電常數閘極絕緣層的特性，傳統上是以快速退火來消除介電層內的缺陷，或是在沈積介電層時使用含氮原子的前導氣體，進而改善特性；但是這些方法的改善程度有限，而且無法很有效的降低介面氧化層的厚度。

為了解決高介電常數閘極絕緣層的高缺陷密度及降低介面氧化層厚度，我們提出電漿處理的方法：利用四氟化碳、一氧化二氮和氨氣等電漿預處理，我們可以讓晶片表面存在氮原子及氟原子，這些原子將很有效的降低後續處理時介面氧化層的厚度，接著在沈積氧化鋯、氧化鉛或氧化鈹等高介電常數閘極絕緣層後，再利用四氟化碳、一氧化二氮和氨氣等電漿來作後處理，使氮原子及氟原子可以很有效的存在介電層內，以修補介電層內的缺陷，大大的提升高介電常數閘極絕緣層的特性。

我們進一步研究高介電常數閘極絕緣層金氧半場效電晶體的可靠度故障分析，包括熱載子效應、遲滯現象、通道遷移率的劣化以及 $1/f$ 雜訊的探討，透過電性、物性探討提出一個可能的模型。我們研究不同的電漿處理方式對於高介電常數閘極絕緣層的影響，並將研究成果應用於超大型積體電路的製作。

關鍵詞：高介電常數閘極絕緣層，電漿預處理，電漿後處理，遲滯現象， $1/f$ 雜訊。

Abstract

This project focuses on the plasma treatment in high-k gate dielectrics to improve the dielectric characteristics. The conventional process requires the rapid thermal anneal to eliminate defects in the dielectrics, and the use of precursor with nitrogen atoms during the dielectrics deposition. The improvement of these methods was quite limited, and the thickness of the interfacial layer can not be reduced effectively.

To resolve the problems of high defect density and reduce the interfacial layer, a plasma treatment method is proposed. We can reduce the interfacial layer by introducing the nitrogen and fluorine atoms on the silicon surface using the CF_4 , N_2O and NH_3 plasma pre-treatment. After the deposition of high-k gate dielectrics such as ZrO_2 , HfO_2 and CeO_2 , the properties of the dielectrics can be greatly improved by the following post-treatment using CF_4 , N_2O and NH_3 plasma to effectively introduce the nitrogen and fluorine atoms and eliminate the defects in the dielectrics.

We will further investigate the reliability issues of high-k gate dielectric MOSFETs such as hot carrier effects, hysteresis phenomenon, the degradation of channel mobility, and the $1/f$ noise. Possible mechanisms will be proposed through the analysis of physical and electrical characteristics. We explore the results of different plasma-treated methods on the high-k gate dielectrics and apply all research issues on the fabrication of ultra large scale integrated circuit (ULSI).

Keywords: high-k gate dielectrics, plasma pre-treatment, plasma post-treatment, hysteresis, $1/f$ noise.

* E-mail: tflei@cc.nctu.edu.tw

二、緣由與目的

許多的金屬氧化物被提出作為閘極介電材料，各有其優缺點；然而許多高介電常數的材料直接和矽接觸時具有較差的熱穩定性，並且需要額外的阻障層，這樣將增加製程的複雜度，使厚度縮小受到限制[1]，例如 Ta_2O_5 、 TiO_2 、 $SrTiO_3$ 和 BST 。此外，有太高或太低介電常數的材料也許不能成為閘極介電材料的選擇[2]，因為太高介電常數的材料例如 STO 或 BST 會引起邊際電場感應能障降低 (fringing field induced barrier lowering) 效應，而有相對較低介電常數的材料例如 Al_2O_3 和 Y_2O_3 並沒有提供比 SiO_2 或 Si_3N_4 更多的優點[3]。因此，和二氧化矽比起來介於中等介電常數的材料，例如 HfO_2 、 ZrO_2 和 CeO_2 近來頗受矚目。

High-k 材料一個最大的考量為材料和矽基板的界面效應，因此本計畫將選擇 HfO_2 、 ZrO_2 和 CeO_2 作為高閘極介電層材料。雖然 HfO_2 、 ZrO_2 和 CeO_2 本身對於熱穩定的特性不錯但在後續的熱過程中氧原子會擴散到表面形成界面層 (interfacial layer)，此界面層的特性會比 SiO_2 的界面層的特性差，形成一些懸鍵或是界面不平整。導致通道的載子在電場加速穿越時會有載子捕捉及散射 (scattering) 現象產生導致載子移動率趨緩造成驅動電流的下降並使漏電流上升[4-5]。

利用氮原子或氟原子引入到表面可以改善漏電流及表面狀態，因為氮原子或氟原子會披覆在高介電材料和矽的表面。一般的方式是使用含氟或氮的氣體像氨氣 (NH_3) 及四氟化碳 (CF_4) 等將矽晶片的表面氟化或氮化；經由氮化處理或氟化處理的表面能有效的抑制介面所形成的未完全反應矽化層厚度，因而降低介電層的等效厚度，但卻會使磁滯現象更為嚴重[6]，並使通道遷移率降低，另氮化處理表面的過程中會造成 Si-N 鍵使正電荷在界面形成缺陷產生，如 NBTI (negative bias temperature instability) 等的可靠性問題會因為預處理而有劣化情況。

我們提出一種新的引入氮原子或氟原子的方法，在高介電層成長前 CF_4 、 N_2O 和 NH_3 電漿預處理 (pre-treatment) 或介電層成長後的 CF_4 、 N_2O 和 NH_3 電漿後處理

(post-treatment)，會有效的降低界面層反應產生而降低 EOT 及增加介電層的可靠性和減低高介電層材料的磁滯效應，再經由快速熱退火 (RTA) 密化 (densify) 的方式來改善高介電常數材料的特性。預期當高介電常數材料經過 CF_4 等電漿處理後，我們可以得到較佳的特性及可靠度。

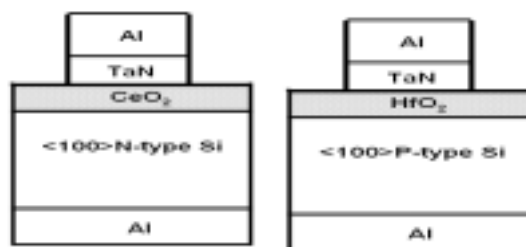
另外在閘極材料的部分因傳統複晶矽閘極會有雜質空乏和穿透的問題故尺寸縮小後將採用金屬閘極取代，可得到一個低的閘極串聯電阻及較高的反應時間，對配合高介電材料部分和複晶矽相比也可降低高介電材料和閘極材料間的介面層。本實驗中我們選擇穩定性較高的金屬，期望在配合電漿的處理表面下的條件下可獲得一個較佳的金屬閘極對高介電絕緣層的整合度。

在物性的分析方面我們使用高解析度的 TEM 去實際觀測界面的平整性和實際物理厚度，XRD 和 ECSA 分析可獲得實際物質組成和晶向，SIMS 分析可獲得物質的縱深分析，利用這些分析我們可以更進一步的了解電漿預處理或後處理對於高介電常數材料的影響。

最後我們將整合 High-k 材料取代傳統的熱氧化層，全面性的探討應用於 CMOS 元件製程上，已達到最佳化之先進製程元件。

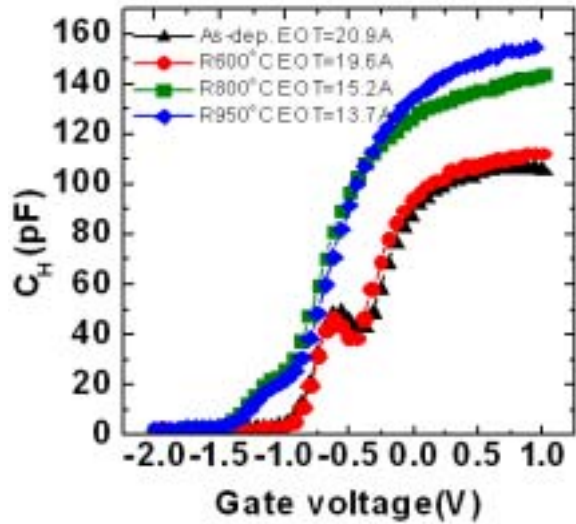
三、結果與討論

首先，我們在矽晶片上沉積氧化鈷或氧化鈣，另外為了探討氮電漿處理對氧化鈣元件特性的影響，部分試片會經過不同時間的氮電漿處理，隨後用快速退火在不同溫度下處理，接著沉積氮化鈮和鋁，再用黃光微影技術定義出上電極，最後在矽晶片被面沉積鋁當背電極完成電容結構，如下圖一所示。



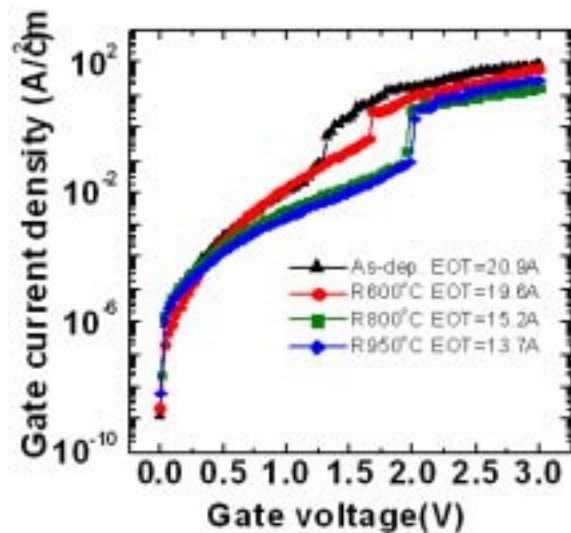
圖一

下圖二為氧化鈽元件高頻電容-電壓關係圖，當快速退火溫度上升時，等效氧化層厚度會隨之下降，代表高溫退火可使氧化鈽薄膜更加緻密化。另外低溫退火處理元件的電容-電壓圖略為扭曲，推測可能是氧化鈽與矽界面間產生缺陷所造成。



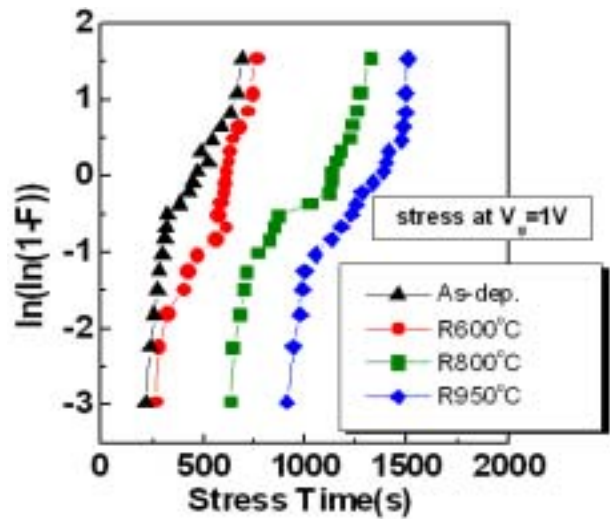
圖二

下圖三為氧化鈽元件閘極漏電與閘極電壓的關係，可看出當快速退火溫度越高，則漏電隨之下降，且元件的崩潰電壓會隨之增加，可以看出元件特性比低溫退火處理的元件變好。



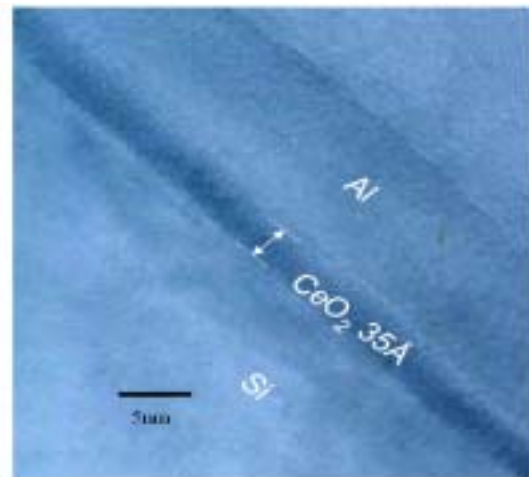
圖三

下圖四是氧化鈽元件在閘極電壓為 1V 下量測到介電層崩潰所需時間的韋伯分布圖，可以看出氧化層在高溫退火處理後具有較佳的可靠度。

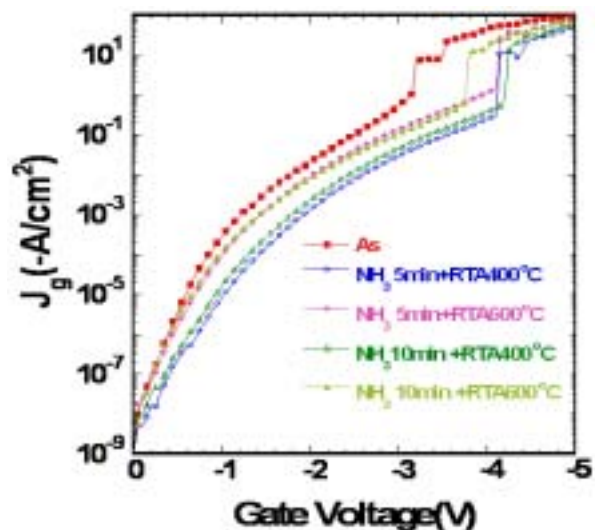


圖四

下圖五為 950°C 高溫退火的氧化鈽元件在穿透式電子顯微鏡下所拍攝的圖，其氧化鈽厚度約為 35 埃，並且與矽基材間具有平整的界面，且兩者間幾乎看不出有過度層(interfacial layer)的存在。



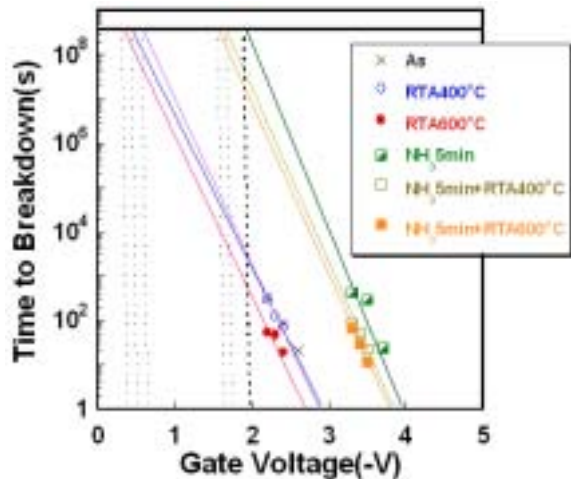
圖五



圖六

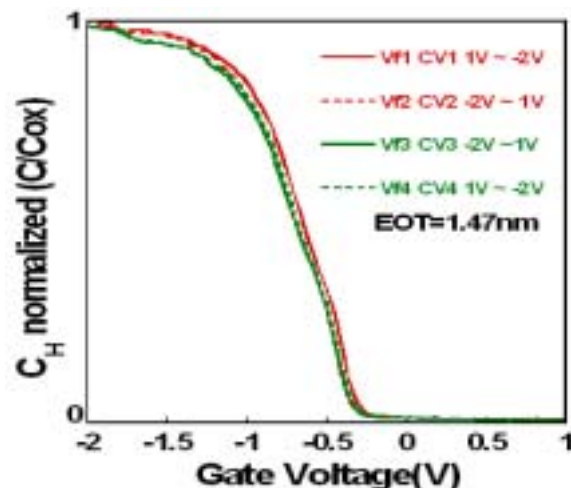
上圖六為氧化鈣元件閘極漏電與閘極電壓的關係，當氧化鈣經過氨電漿處理後，漏電流會明顯降低，且崩潰電壓會增加，可看出特性明顯變好比未經過電漿處理的元件好。

下圖七為氧化鈣元件 10 年生命期操作電壓的萃取圖，經過氨電漿處理的元件明顯具有較高的操作電壓可以維持 10 年的元件操作，可以看出氧化鈣經過氨電漿處理後有較好的可靠度。



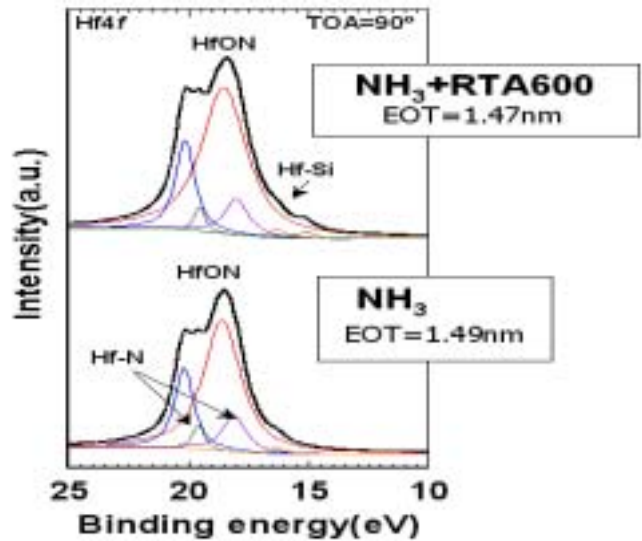
圖七

下圖八為氧化鈣元件經過氨電漿處理的元件所量測的遲滯現象，從電容-電壓關係圖中，可以看出並無明顯的遲滯現象發生，代表氨電漿處理處理可以有效抑制遲滯現象。



圖八

下圖九為化學分析電子儀對經過氨電漿處理試片的分析圖，氮原子會與鈣原子反應，取代部分的 Hf-Si 鍵結，並且形成 Hf-N 鍵結。



圖九

以上結果顯示利用電漿處理來改善高介電常數閘極絕緣層特性確實具有相當成效，本研究對於未來高介電常數材料應用於超大型積體電路之研究具有相當的幫助。

四、成果自評

本次計畫之執行，皆達預期成果，並已在相關學術期刊上發表論述，茲列於下：

- [1] Jer Chyi Wang, De Ching Shie, Tan Fu Lei, and Chung Len Lee, "Characterization of Temperature Dependence for HfO₂ Gate Dielectric Treated in NH₃ Plasma," *Electrochemical and Solid-State Letters*, vol.6, no.10, pp.F34-F36, Oct., 2003
- [2] J.C.Wang, D.C.Shie, T.F.Lei, and C.L.Lee, "Novel Turnaround Characteristics of Hysteresis for HfO₂ Gate Dielectrics Using Post-deposition NH₃ Plasma Treatment," *Eleventh Canadian Semiconductor Technology Conference (CSTC)*, pp.TP.51, 2003
- [3] Jer Chyi Wang, De Ching Shie, Tan Fu Lei, and Chung Len Lee, "Characterization of Soft Breakdown Effects for Post-deposition NH₃ Plasma Treated HfO₂ Gate Dielectrics," *Solid State Devices and Materials (SSDM)*, pp.706-707, 2003. (Excellent paper from overseas)
- [4] Wang, Jer Chyi; Lee, Jam Wem; Kuo, Liang Tai; Lei, Tan Fu; Lee, Chung Len, "High reliability ultrathin interpolyoxynitride dielectrics prepared by N₂O plasma annealing", *Journal of the Electrochemical Society*, December, 2004, G730-G734
- [5] Wang, Jer Chyi; Hung, Yen Ping; Lee, Chung Len; Lei, Tan Fu, "Improved characteristics of ultrathin CeO₂ by using post nitridation annealing", *Journal of the Electrochemical Society*, February, 2004, F17-F21
- [6] Wang, Jer Chyi; Shie, De Ching; Lei, Tan Fu; Lee, Chung Len, "Turnaround of hysteresis for capacitance-voltage characteristics of hafnium oxynitride dielectrics", *Applied Physics Lett.*, March, 2004, 1531-1533

五、參考文獻

- [1] W. J. Qi et al., *IEDM Tech. Dig.*, pp. 641-644, 1999.
- [2] B. Cheng et al., *IEEE Trans. Electron Devices*, Vol. 46, 1537, 1999.
- [3] B. H. Lee et al., *IEDM Tech. Dig.*, p. 633, 1999.
- [4] Tung Ming Pan et al., *IEEE Trans. Electron Devices*, Vol. 48, April., 2001.
- [5] Tung Ming Pan et al., *Applied Phys. Lett.*, Vol. 78, pp.1439-1441, 2001.
- [6] Tung Ming Pan et al., *J. Applied Phys.*, Vol. 89, 2001.