

行政院國家科學委員會專題研究計畫 成果報告

晶片系統國家型科技計劃<辦公室設置與運作計劃>(II)

計畫類別：個別型計畫

計畫編號：NSC92-3113-E-009-001-

執行期間：92年01月01日至93年03月31日

執行單位：國立交通大學電子工程學系

計畫主持人：張俊彥

共同主持人：黃威，彭松村

報告類型：完整報告

報告附件：國外研究心得報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 9 月 21 日



晶片系統國家型科技計畫

九十二年度成果報告

NSC 92-3113-E-009-001

計畫總主持人：張俊彥 校長

計畫共同主持人：黃 威 教授

中華民國九十二年十二月

九十二年度政府部門科技計畫期末摘要報告

晶片系統國家型科技計畫

審議編號：92-1401-01-庚-00-00-00-24
92-1402-01-庚-00-00-00-24
92-1901-01-庚-22-02-00-00
92-1902-30-庚-00-00-00-00

部會署原計畫編號：

主管機關：國科會工程處

執行單位：經濟部技術處、經濟部工業局、國科會工程處、教育部

計畫主持人：張俊彥

電話號碼：03-5165726~8

傳真號碼：03-5165725

期程：92.1.1~94.12.31

經費：(全程)6,729,357 仟元 (92 年度)1,476,961 仟元

執行情形：

一、執行進度：

	預定(%)	實際(%)	比較(%)
當年	100%	98.7%	-1.3%
全程	30%	29.61%	-0.39%

二、經費支用：

	預定	實際	比較(%)
當年	1,476,961	1,398,219	94.67%
全程	1,476,961	1,398,219	94.67%

三、主要執行成果：

■經濟部技術處—

- (1) 業界科專共 24 件計畫執行中(IP Mall:智原，創意；平台服務：安捷倫，源捷，台積電；前瞻產品：創惟，聯詠，揚智，偉詮，上元，誠致，勁取，驛訊，九暘，威盛，富微；前瞻智財：凌陽，世紀創新，晶睿，新眾，廣達；前瞻平台：華騰，思源；載具計畫：智邦)，另執行國內外研發中心計畫共 9 件(威盛，旺宏，研華，廣達，鈺創，智邦，Pericom,Intel,Broadcom)。
- (2) 學界科專共 4 件計畫(分項二前瞻產品計畫 2 案、分項三前瞻平台 1 案、分項四前瞻智財 1 案)。
- (3) 法人科專執行三件計畫：
 - 工研院-晶片系統國關鍵技術開發四年計畫：1. 完成虛擬平台目標規格訂定 2. 完成虛擬平台設計與各模組驗證 3.完成 WLAN RF IC 架構及電路設計 4.完成 WLAN RFIC 架構及電路設計驗證 5.完成 10GbE PMD Testing 6.完成 10GbE

PMD Module Design/Testing 7.完成 10GbE PMA Block Design/Testing 8.完成 10GbE PMA Integration 9.完成 10 GbE PCS Block Design/Testing 10.完成 10GbE PCS Integration 11.完成 10GbE MAC Protocol and Verilog Coding 12.完成 10GbE MAC Design/Testing 13.IP Check In Criteria 14.完成 IP Authoring Procedure 15.完成 "IP Rating 標準"初稿 16."IP Ratin 標準"完成相關委員會討論 17.完成 On-Chip Bus Verification Model Design 18.完成 On-Chip Bus Verification Model Verification 19.完成前瞻 SOC 載具產品之軟硬體共同模擬/共同驗證之設計分割產生 20.完成前瞻 SOC 載具產品之測試策略 21.完成 IP 管理系統系統規格書 22.完成 IP 管理系統設計書 23.完成 IP 管理系統系統程式碼 24.完成 IP 管理系統整合測試報告書 25.完成 IP 電子交易市集營運機制規劃書。

- 工研院-通訊光電環構計畫(晶片系統核心分項)：1.學界分包「SOC 軟硬體並行設計驗證方法研究期末報告」。2. 完成"RLC 萃取流程"技資。3.完成技資「系統晶片之測試與可測試設計期末報告」。4. 完成技資「系統晶片測試應用時間改善技術」。5. 完成專利「Built-in Jitter Measurement for VCO and PLL」中文版註冊，英文版校正。另完成晶片之初步量測，整理量測數據中。6. 完成專利「Testable Circuit Implementation for SD-ADC」的修改，已提出送審。完成晶片封裝，準備進行量測。7. 建立技資"前瞻晶片系統產品 Physical Implementation 的評估環境整合"，透過 physical synthesis 的技術，在測試電路中與佈局前後時序差異僅在 1ns 左右。8. 完成 OCB 以及 IP Module 評估驗證環境之建立與測試，並建立技術資料『前瞻晶片系統產品 On-Chip Bus 及 IP-Module 之分析報告』。驗證環境包含 BUS Infrastructure Model、Master/Slave Functional Model，以及 Protocol Checker. 9 完成技資：類比 IP 整合於系統晶片之設計技術。10. 0.13 μ m CMOS 製程全晶片 ESD/Latchup 防護設計技術：測試晶片已於 8/12 于 TSMC 下 MPW，已經完成封裝，進行量測中。11. 完成技資：0.13 μ m CMOS 製程之全晶片 ESD/Latchup 防護設計技術。
- 中科院-IP 驗證技術發展四年計畫：1.與誠致科技簽署先期授權合約，簽約金四十萬元。2. 12 月 11 日舉辦 IP 試用評估成果展示會。成果如下表

92 年度成果總計	指標型 ISSCC 國際會議	IEEE JSSC(IC 設計會議)	其他論文	技術移轉經費/項數	技術創新項數	技術服務項數	專利項數	著作權項數
技術處	0	2	143	59	44	74	85	13

■ 經濟部工業局 —

- (1) 晶片系統人才培訓短期已開 37 班培訓 1006 人,中長期已開 15 班培訓 390 人。
- (2) 前瞻應用主導性新產品:輔導晶片系統產業申請主導性新產品開發計畫件數共計 14 件,其中 1 件撤案,2 件技審不通過,1 件不符 NsoC 範疇,本年度核定執行計畫件數共計 10 件,研發總經費計約 5.3 億元,包括政府提供補助款 1.9 億元,廠商自籌款 3.4 億元。本年度核定計畫共計 10 件,其中 8 件完成簽約執行中,92 年度補助款簽約數 8,303.84 仟元,補助款簽約率達 104%。
- (3) 舉辦國內招商推廣活動四場暨線上說明會,招商成效:促進 Sony、英飛凌等共 9 家進駐南港 SOC 專區,投資額達 147 億新台幣。

- (4) 於 7/23,8/19,9/1-2,11/4,11/13,11/24 共辦理六場技術研討會,分別是「網路通訊前瞻技術研討會」、「行動影像裝置關鍵技術暨市場研討會」、「WLAN 晶片系統設計、測試與驗證研討會」、「瑞典無線通訊 SoC 設計及技術應用研討會」、「AMBA3.0 技術研討會」、及「數位家庭產業發展論壇」。
- (5) 8/31 完成我國半導體產業資料庫初步建置 www.chip123.com.tw/moeaidb 。
- (6) 10/28 舉辦「數位相機聯盟」會員大會(由工研院經資中心林副主任擔任召集人,計有 77 家會員)。
- (7) 8/7「數位家庭聯盟」籌備會議,11/27 舉辦成立大會(宏碁王總經理擔任主委),並於「數位家庭聯盟」下成立「Home Networking SIG」。
- (8) 10/1「TW ZigBee SIG」成立大會(由元智大學趙耀庚教授擔任召集人,計有 40 家會員)
- (9) 11/27 舉辦「Home Networking SIG」成立大會,由建漢科技汪修銘處長擔任召集人。
- (10) 與 NSoC 辦公室、半導體推動辦公室共同於 12 月 22~23 日舉辦 SoC 高峰論。
- (11) 12/1~12/7 赴日進行招商。
- (12) 於 12/16~12/19 邀請比利時魯文大學 RF 技術專家二人來台進行技術交流。
- (13) 完成報告撰寫:「SoC 專區相關政策、施行辦法與租稅獎勵措施報告」、「全國籌設 SoC 專區評估報告」、「SoC 產業白皮書」、「IC 設計研發中心評估報告」、「國內各創業育成中心調查報告」、「國際技術標準與相關組織資訊調查報告」、「協助成立 IC 設計創業育成中心規劃報告」、「協助成立系統規格制定開放實驗室規劃報告」、「晶片設計開發工具(EDA)研究報告」、「國內晶片系統開發平台研究報告」、「協助於南港設計研發中心架構 EDA Tool 規劃報告」、「測試驗證標準與流程規劃報告」、「我國矽智財產業研究報告」、「我國矽智財資料庫規劃報告」、「國際矽智財交易機制調查報告」、「IP 驗證評估機制與保護銷售模型研究報告」。
- (14) 晶片系統人才培訓:
 1. 2/28 結合產證學研資源成立課程規劃小組。
 2. 3/7 建立晶片系統人才培訓網路。
 3. 4/4 完成晶片系統人才培訓執行辦公室一處。
 4. 4/16 建置晶便系統人才培訓網站;完成建置就業廠商、師資及人才資料庫。
 5. 6/30 完成規劃實作訓練中心建置。
 6. 7/7 舉辦開班單位期中座談會。
 7. 8/18 完成中長期養成人才培訓班開班 12 班。
 8. 8/31 舉行晶片系統半導體人才發展交流會議暨職前訓練講座。
 9. 9/20 舉行北區晶片系統半導體人才發展交流會議暨職前訓練講座。
 10. 9/30 完成中長期養成班 15 班之開班作業。
 11. 9/30 完成短期在職培訓台大慶齡中心、宏碁基金會、工研院 STC, 益華電腦等 25 班之開班作業。
 12. 10/30 在台北國際會議中心舉辦開班單位期末座談會。
 13. 11/4FY93 設計組課程規劃會議第一次會議。
 14. 11/18FY93 製造組課程規劃會議第一次會議。

15. 11/13 及 11/27FY93 封測組課程規劃會議第一次、及第二次會議第一次會議。
16. 製造、封測等三大領域召開六次課程規劃會議，並分別邀請清大電機吳誠文教授、台大電機胡振國教授、義守大學傅勝利校長擔任三組的總召集人。
17. 於 11/7 及 12/19 舉辦 2 場計畫成果展暨人才媒合會。

92 年度成果總計	指標型 ISSCC 國際會議	IEEE JSSC(IC 設計會議)	其他論文	技術移轉經費/項數	技術創新項數	技術服務項數	專利項數	著作權項數
工業局	0	0	3	0	17	1	7	1

■ 國科會工程處一

- (1) 基礎環境建置計畫執行共 5 件(CIC、台大電子所、交大電工系、中興電機系、成大電機系)已建立前瞻研究與基礎教育設施，除提供不同領域教授投入 IC 設計，再配合國科會學術整合型研究計畫，帶動大學院校新入行教授陸續進行 SoC 相關研究，培育人數已達 8000 人次，已有其初步成果。
- (2) 學術整合型研究計畫執行共 14 群 88 件計畫，成果如下表

92 年度成果總計	指標型 ISSCC 國際會議	IEEE JSSC(IC 設計會議)	其他論文	技術移轉經費/項數	技術創新項數	技術服務項數	專利項數	著作權項數
國科會	20	45	412	37	0	7	57	64

■ 教育部一

- (1) 改進專業課程，發展規劃前瞻課程共 23 門，91 年度聯盟內共有 33 位教師開課試教，1,055 名學生修課；92 年度有 60 位教師開課試教 2,403 名學生修課。
- (2) 針對聯盟於 91 年度規劃發展之 12 門課程，公開徵求各校開課推廣計畫，共核定補助 60 門課程於 30 大學校院相關系所推廣開課，充實相關教學軟硬體設備。各聯盟並提供所發展之教材予各校開課參考使用。
- (3) 發展規劃相關通識課程共 4 門，92 年度有 2 門課程開課試教，478 名學生修課。
- (4) 完成理工科系所「積體電路設計第二專長學程」規劃，並於 92 年度與本部高教司合作，補助台灣大學等 10 大學校院開設本學程，以提昇積體電路設計人才量。
- (5) 完成「晶片系統法商管理學程」規劃，將於 93 年 2 月開始試辦。
- (6) 建立教師與業界合作、學生實習工讀的機制。91 及 92 年度共促成 8 件教師與業界合作，辦理教授至業界參訪。共有 221 人次教師分梯參訪 25 家公司。
- (7) 91 年辦理大學校院積體電路(IC)設計、SIP 設計、CAD 軟體製作、及 FPGA 雛型系統設計等四項競賽，共約有學生 894 人次參與；92 年度辦理大學校院積體電路(IC)設計、SIP 設計、CAD 軟體製作、嵌入式軟體製作、MSD 碩士論文觀摩及 FPGA 雛型系統設計等六項競賽，共約有學生 1,300 人次參與。其中「積體電路設計競賽」更邀請日本、韓國、澳洲等知名大學學生參賽觀摩，並規劃逐步擴大為國際性競賽，以提高我國在 IC 設計領域之重要性。
- (8) 邀請業界專家與學界教師共同研討、座談：91 年辦理 9 場，共有 1,416 參與人次；92 年(至 12 月 10 日止)辦理 8 場，共 636 參與人次。

- (9) 辦理國內相關研討會：91 年辦理 4 場，共有 1,123 人次參與；92 年(至 12 月 10 日止) 辦理 6 場，共 1,531 參與人次。
- (10) 邀請國外講員來台演講、研討、短期研習：91 年辦理 12 場，共有 1,744 參與人次；92 年(至 12 月 10 日止) 辦理 8 場，共 1,407 參與人次。(本項學術活動受 SARS 影響，各聯盟將辦理場次略作調整。)
- (11) 辦理聯盟課程成果發表、教學研討、課程推廣等研討會議：91 年共 1 場，87 參與人次；92 年共 9 場，992 參與人次。
- (12) 辦理專家學者或學生學術交流活動(論壇)：91 年辦理 5 項 11 場次，共有 309 參與人次；92 年(至 12 月 10 日止) 辦理 6 項活動 15 場次，共有 752 參與人次。

四、計畫變更說明：

無

五、落後原因：

經濟部工業局：晶片系統人才培訓進度稍有落後,分析主因為 92 年度受 SARS 影響學員上課意願,SARS 疫情穩定後,業請計畫執行單位加強宣導推廣及招生開班,現開班進度雖已趕上,惟尚須辦理媒合作業,故無法依原時程結案。

六、主管機關之因應對策、檢討與建議：

因應對策：經濟部工業局：業經國科會 92/7/28 臺會工字第 0920037321 號函對 92/7/INSOC 第三次工作協調會議，同意將晶片系統產業發展計畫人才培訓分項展延兩個月結案。爰此部分之尾款 20%計 13241.6 仟元保留,待完成後再行撥款。

檢討與建議：經濟部工業局：現階段平台產品都為外商所生產，屬寡問市場進入門檻高，且前瞻平台產品現階段非國內業者擅長，致 92 年度申請情形就不好更遑論通過，惟仍應持續宣導推廣，原始規劃之應用經費應可彈性讓部會應用於前瞻產品上，或是整體檢討時適予調整。教育部顧問室：1.期中檢討：本計畫上半年度各項工作皆按預定進度持續進行,惟部分學術活動因受 SARS 疫情影響,延緩辦理。目前已陸續辦理相關活動，各聯盟並已檢討修正下半年度相關學術活動規劃。2.期末檢討：本計畫各項工作皆依預定進度完成，計畫執行成效良好。

目 錄

	頁 碼
■ 成果效益事實報告表.....	08
壹、基本資料.....	08
貳、計畫目的、計畫架構與主要內容.....	08
參、計畫經費與人力.....	10
肆、計畫已獲得之主要成就與成果.....	11
伍、評估主要成就及成果之價值與貢獻度.....	18
陸、與計畫相關之配合.....	29
柒、後續工作構想之重點.....	34
捌、檢討與展望.....	41
■ 成果效益自評表.....	49

晶片系統國家型科技計畫成果效益事實報告表

(92 年度國家型科技計畫)

(請由計畫主持人、執行人填寫)

壹、基本資料：

計畫名稱：晶片系統國家型科技計畫

主持人：張俊彥

編號(檔號)：_____

計畫期間(全程)：2003 年 1 月至 2005 年 12 月

年度經費：新台幣壹拾肆億柒千陸佰玖拾陸萬元(2003)

執行單位：技術處 工業局 教育部 國科會

貳、計畫目的、計畫架構與主要內容

一、計畫目的：

1976 年政府所主導推動的 CMOS 半導體計畫與新竹科學園區，歷經二十餘年，造就園區十萬個工作機會與 1 兆元的產值，同時建立了台灣高效能的製造環境，以及高科技產品設計、全球運籌能力為核心的國際競爭力，台灣因而從過去勞工密集的產業中脫胎換骨，一躍成為全球高科技產品的製造、服務中心。此一成功的、激烈的產業變革成果，實迥異於傳統產業的經營模式，我們稱為台灣的第一次產業躍昇。

台灣的產業未來出路絕非僅以成本競爭為訴求的大規模製造。具體而言，台灣的未來產業希望在於首先建立以設計與創新價值為主體的新興產業；其後逐步累積其中的核心競爭力，進而發展以智財、設計、軟體及系統為核心的新興產業—如光電、網路、資訊、通訊等；最終目標為建立新產品新市場，如此可以帶動國內新的產業發展，全面吸引國外廠商來台灣合作開發新的產品，為台灣創造商機。

晶片系統國家型科技計畫的目的就是在未來 3-5 年間，為台灣建立豐富的矽智財 (Silicon Intellectual Property 簡為 SIP)、整合電子設計自動化軟體 (EDA)、提供優良的設計環境，吸引全球系統設計廠商來使用；使台灣能在製造利基上繼續做強有力的發揮，同時再開創出新的設計優勢，達到垂直整合的效果，從而在世界半導體、資訊與電子業扮演舉足輕重的角色。

二、計畫架構：

本計畫之規劃兼顧深度與廣度，同時凝聚產官學研之整體力量，透過各部會(教育部、經濟部技術處、工業局與國科會)的執行下列五分項計畫，以達成落實科技整合、創造新興產業，建立完整晶片系統(System on Chip, 簡稱 SoC)設計環境，扶持新的設計服務公司、進而開闢設計特區，使台灣成為國際晶片設計中心。

三、主要內容：

本計畫共分為五個分項計畫，如下所述：

(1) 多元化人才培育計畫

- 超大型積體電路與系統設計教育改進計畫
- 晶片系統擴大人才教育計畫
- 晶片系統工業人才培訓計畫

(2) 前瞻產品設計計畫

- 以三大晶片系統主軸產品(Wireless, Processor 與 Optical Electronics)為計畫目標，建置國內自主之主軸產品及其相關的晶片系統設計基礎建設、矽智財、設計能力和服務。
- 每一主軸以三大產品推動
- 每一產品規格完成一個產品設計 Platform
- 每一產品規格應利用 IP mall 之 Re-usable 矽智財及 Design Service Platform 來完成 Chip set 或 SoC 產品設計
- 前瞻(配合)計畫的目標為，以載具計畫所建置的晶片系統設計基礎環境、矽智財、設計能力為基礎，鼓勵廠商延伸產品設計至更高階的產品，或研發新的晶片系統主軸產品

(3) 前瞻平台開發計畫

- 鼓勵國人自行開發設計平台
- 鼓勵從事於 SoC 相關之 EDA、測試及驗證之研究

(4) 前瞻智財開發計畫

- 建立 SoC 計畫目標所需要的關鍵矽智財
- 藉由前瞻產品開發與載具計劃,來確認矽智財的可行性、實用性、和再使用性
- 提升台灣矽智財的設計環境和方法，使台灣成為全球 SoC 設計的重鎮。主要工作包括為：
 - ① 建立自主性的關鍵 IP 技術來源
 - ② 提昇 IP 整合的系統設計技術
 - ③ 帶動 SoC 設計的新思維模式

(5) 新興產業技術開發計畫

- 建立 SoC 設計者所需之最佳設計環境與服務，完善的通訊網與同步設計環境，縮短設計時間。
- 發展 IP 的商業運作模式，健全全球客戶重覆使用我國的 IP 與合理的付費。
- 主要推動工作為：
 - ① 設計平台服務產業之開發
 - ② 智財匯集服務產業開發

參、計畫經費與人力

一、計畫經費：(以計畫分項內容分述資本門與經常門金額)

FY92 晶片系統國家型科技計畫經費使用情況

單位：新台幣仟元

	教育部 顧問室	經濟部 技術處	經濟部 工業局	國科會 工程處	小計
經常門	48,954	909,758	218,323	221,480	1,398,515
資本門	78,446	—	—	—	78,446
小計(1)	127,400	909,758	218,323	221,480	1,476,961
執行實績(2) (至 12 月累計)	127,400	844,258	205,081	221,480	1,398,219
(2)/(1) 達成率%	100%	91%	93%	100%	95%

備註：上述工業局經費金額為尚未立院核定預算數；立院核定後預算數共 294,152 仟元，其中 90,829 仟元為 2008 國發計畫其他項下管考，故工業局僅管考其 203,323 仟元，而經採購法招標後金額為 196,803 仟元。

二、計畫人力：(以分項計畫之人年、專長、學歷與年資說明)

		經濟部技術處	經濟部工業局	國科會工程處	教育部	合計
人年		646	102	561	411	1720
學歷	博士	41 (6%)	8 (8%)	264 (48%)	184 (45%)	497
	碩士	457 (70%)	60 (60%)	250 (46%)	205 (50%)	972
	學士	112 (17%)	26 (25%)	14 (4%)	22 (5%)	174
	專科	57 (7%)	7 (7%)	0 (0%)	0 (0%)	64
	其他	2 (0%)	0 (0%)	11 (2%)	0 (0%)	13
年資(%)	15 年以上	4%	5%	3%	21%	
	11-15 年	12%	21%	15%	27%	
	5-10 年	31%	60%	10%	31%	
	5 年以下	53%	14%	72%	21%	

專長：數位與類比 IP 設計、開發、包裝/ 以及靜電放電防護元件/電路設計、輸出入電路設計、半導體通訊網路與 SOC、資訊通訊、信號處理及 IC 設計、系統工程，無線通信，射頻元件設計與量測、數位矽智產、混合訊號式積體電路設計及雛型製作與積體電路佈局、Mixed-Signal Testing、Memory Testing、SoC/VLSI Testing and Design for Test、Software Coding、Mixed-Signal Testing、Semiconductor Process Integration、

Product Failure Analysis and Product Control、System level/ Mixed-Signal/ High level SoC Verification, Low Power Design Flow, 0.13um Design Flow, Digital/Memory/Mixed-Signal Testing and Design for Test, Memory Diagnosis and Repair, SoC Testing and Design for Test, 0.13um Low Power DfT Flow, Digital IP Design and Verification

肆、計畫已獲得之主要成就與成果(output)

技術處已獲得與預計 或得成果總計	指標型 ISSCC 國 際會議	IEEE JSSC(IC 設計會議)	其他論文	技術移轉 經費/ 項數	技術創 新項數	技術服 務項數	專利 項數	著作權 項數
已獲得成果	0	1	65	22	17	72	12	6
預計獲得成果	0	1	78	37	27	2	73	7
總計	0	2	143	59	44	74	85	13

工業局已獲得與預計 或得成果總計	指標型 ISSCC 國 際會議	IEEE JSSC(IC 設計會議)	其他論文	技術移轉 經費/ 項數	技術創 新項數	技術服 務項數	專利 項數	著作權 項數
已獲得成果					1	1		
預計獲得成果			3		16		7	1
總計	0	0	3	0	17	1	7	1

國科會已獲得與預計 或得成果總計	指標型 ISSCC 國 際會議	IEEE JSSC(IC 設計會議)	其他論文	技術移轉 經費/ 項數	技術創 新項數	技術服 務項數	專利 項數	著作權 項數
已獲得成果	5	15	148	8	0	3	7	12
預計獲得成果	15	30	264	29	0	4	50	52
總計	20	45	412	37	0	7	57	64

92 年度成果總計	指標型 ISSCC 國 際會議	IEEE JSSC(IC 設計會議)	其他論文	技術移轉 經費/ 項數	技術創 新項數	技術服 務項數	專利 項數	著作權 項數
技術處	0	2	143	59	44	74	85	13
工業局	0	0	3	0	17	1	7	1
國科會	20	45	412	37	0	7	57	64
總計	20	47	558	96	61	82	149	78

分項一、人才培育

一、教育部：

超大型積體電路與系統設計教育改進計畫自 91 年 6 月開始執行截至本(92)年 12 月

10 日止，共推動發展 23 門前瞻專業課程教材、2 門大學部課程、4 門通識課程教材、補助 30 大學校院 60 門推廣課程並充實其教學軟硬體設備、規劃並推動 2 項跨領域整合學程、辦理 6 項競賽及 83 場座談、研討、論壇等學術活動。有關課程部分，91 年度規劃發展 19 門前瞻專業課程及教材，92 年度除增加 4 門新課程之規劃與教材發展，並針對 91 年發展之 19 門課程中的 12 門課程，進行全國性的推廣工作。另外，為加強電子、電機、資訊大學部學生相關基礎智識及設計能力，特於 92 年度針對大學部 EDA 課程及基礎類比 IC 設計課程進行檢討規劃，並發展合適教材，以為未來於各校推廣參考。91 及 92 年具體推動成果概述如下。

- (1) 改進專業課程，發展規劃前瞻課程共 23 門，91 年度聯盟內共有 33 位教師開課試教，1,055 名學生修課；92 年度有 60 位教師開課試教 2,403 名學生修課。
- (2) 針對聯盟於 91 年度規劃發展之 12 門課程，公開徵求各校開課推廣計畫，共核定補助 60 門課程於 30 大學校院相關系所推廣開課，充實相關教學軟硬體設備。各聯盟並提供所發展之教材予各校開課參考使用。
- (3) 發展規劃相關通識課程共 4 門，92 年度有 2 門課程開課試教，478 名學生修課。
- (4) 完成理工科系所「積體電路設計第二專長學程」規劃，並於 92 年度與本部高教司合作，補助台灣大學等 10 大學校院開設本學程，以提昇積體電路設計人才量。
- (5) 完成「晶片系統法商管理學程」規劃，將於 93 年 2 月開始試辦。
- (6) 建立教師與業界合作、學生實習工讀的機制。91 及 92 年度共促成 8 件教師與業界合作，辦理教授至業界參訪。共有 221 人次教師分梯參訪 25 家公司。
- (7) 91 年辦理大學校院積體電路(IC)設計、SIP 設計、CAD 軟體製作、及 FPGA 雛型系統設計等四項競賽，共約有學生 894 人次參與；92 年度辦理大學校院積體電路(IC)設計、SIP 設計、CAD 軟體製作、嵌入式軟體製作、MSD 碩士論文觀摩及 FPGA 雛型系統設計等六項競賽，共約有學生 1,300 人次參與。其中「積體電路設計競賽」更邀請日本、韓國、澳洲等知名大學學生參賽觀摩，並規劃逐步擴大為國際性競賽，以提高我國在 IC 設計領域之重要性。
- (8) 邀請業界專家與學界教師共同研討、座談：91 年辦理 9 場，共有 1,416 參與人次；92 年(至 12 月 10 日止)辦理 8 場，共 636 參與人次。
- (9) 辦理國內相關研討會：91 年辦理 4 場，共有 1,123 人次參與；92 年(至 12 月 10 日止)辦理 6 場，共 1,531 參與人次。
- (10) 邀請國外講員來台演講、研討、短期研習：91 年辦理 12 場，共有 1,744 參與人次；92 年(至 12 月 10 日止) 辦理 8 場，共 1,407 參與人次。(本項學術活動受 SARS 影響，各聯盟將辦理場次略作調整。)
- (11) 辦理聯盟課程成果發表、教學研討、課程推廣等研討會議：91 年共 1 場，87 參與人次；92 年共 9 場，992 參與人次。
- (12) 辦理專家學者或學生學術交流活動(論壇)：91 年辦理 5 項 11 場次，共有 309 參與人次；92 年(至 12 月 10 日止) 辦理 6 項活動 15 場次，共有 752 參與人次。

二、經濟部工業局：

- (1) 晶片系統短期在職人才培訓：培訓 37 班次 1,006 人次。
- (2) 晶片系統中長期養成人才培訓：培訓 15 班次，390 人。

- (3) 搭配挑戰 2008 之半導體學院建立共通之網站，網站網址 <http://www.idb-si.net>，以便利對政府人才培訓有興趣之業界工程師或有意投入半導體之民眾利用。

三、國科會工程處：

(一) 執行內容：

- (1) 國研院晶片中心王建鎮副主任所主持 CIC 配合晶片系統國家型科技計畫基礎環境建置計畫。
- (2) 台灣大學電子所陳良基教授所主持多媒體通訊晶片系統之基礎研究環境建置
- (3) 交通大學電工系周景揚教授所主持 SoC 系統整合設計驗證及測試環境建置
- (4) 中興大學電機系張振豪教授所主持多媒體通訊 SoC 設計、驗證與測試環境建置
- (5) 成功大學電機系劉濱達教授所主持 SoC 基礎環境建置計畫

(二) 已獲得及預計之成果

晶片系統之基礎環境建置計畫已建立前瞻研究與基礎教育設施，除提供不同領域教授投入 IC 設計，再配合國科會學術整合型研究計畫，帶動大學院校新入行教授陸續進行 SoC 相關研究，培育人數已達 8000 人次，已有其初步成果。

分項二、前瞻產品

一、經濟部技術處：

(一) 業界科專 17 案與學界科專 2 案共 19 案：

在業界科專部分，依據前瞻產品計畫規劃之優先補助三大主軸產品方向，FY92 輔導成立 9 案 SoC 業界科專，其中 5 案業界科專屬於通訊技術領域(包括 Wireless Communication and Broadband Communication)，4 案業界科專屬於光電技術領域(包括 Digital Video and IA)。

(二) 法人科專：

(1) 專利獲證及申請：

- 「適用於無線通訊系統的單一頻率合成器雙頻傳收機架構」中美專利申請中。
- 「具有相位補償線路的正交訊號增益放大器」通過所內專利審查。
- 「具可自我校正及快速鎖頻功能之頻率合成器」，通過所內專利審查。

(2) 論文：

- 研討會論文：蔡嘉明，“10Gbps Single-Ended Driver in 0.35um SiGe BiCMOS Technology” Esscirc 2003, Sep. 2003, P289-292
- 研討會論文：郭俊誠，“A CMOS LVDS with 644MHz I/O Buffer for the Applications of 10Gigabit Ethernet” 14th VLSI/CAD Symposium, Aug.2003, P53-56
- 期刊論文：黃立仁，“Plastic Optical Fiber Transceiver Module Design” Computer and Communication Journal, Sep. 2003, P146-152

(3) 研討會：

- CCL&STC Forum (2003/8/12)
- Chinese Institute of Engineering (CIE) in USA (to offer short training

course on IC design.) (2003/10/11)

二、經濟部工業局：

九十二年度通過案件共有九件現均執行中，通過計畫明細如下：

- (一) 嘉矽電子、加達士科技聯合申請「5GHz WLAN RF TRANsceiver & PA ICs」
- (二) 智勤科技公司「下一代光纖寬頻多樣化服務接取設備及其關鍵性零組件」
- (三) 鼎天科技公司「高敏感度定位暨公分級精度 GPS 接收機零組件」
- (四) 倚強科技公司「具備影像追蹤及 MPEG-4 視訊壓縮的無線網路攝影機單晶片 (Wireless IP-Camera)」
- (五) 絡達科技公司「IEEE 802.11 a+b+g 射頻整合晶片開發」
- (六) 義隆電子公司「整合 MP3/Voice recoder 之 Compact Disc 單晶片積體電路」
- (七) 奇景光電公司「176x240mobile phone,TFT single driver SOC」
- (八) 我想科技公司「2.5/1.25Gbps 光通訊收發模組之雷射驅動器及信號放大元件晶片組」
- (九) 晶捷科技公司「液晶電視整合控制單晶片」

三、國科會工程處：

(一) 執行內容：

- (1) 成功大學電機系楊家輝教授所主持之 MPEG-4 多媒體資訊家電之整合系統晶片設計計畫。
- (2) 交通大學電工系蔣迪豪教授所主持之 MPEG-4/21 SoC 設計及新世代行動通訊之研究計畫。
- (3) 交通大學電工系郭建男教授所主持之高性能單一載具整合晶片系統計畫。
- (4) 長庚大學電子系馮武雄教授所主持之嵌入式即時生理檢測訊號系統的 SoC 晶片設計計畫。

(二) 已獲得及預計之成果

成果件數	已獲得	預計獲得
論 文	18	76
技 術 移 轉		10
技 術 創 新		
技 術 服 務	1	
專 利		12
著 作 權		35

分項三、前瞻平台

一、經濟部技術處：

(一) 業界科專 1 案、學界科專 1 案：

- (1) 在業界科專部分，FY92 輔導成立 1 案，由華騰科技執行。
- (2) 在學界科專部分有 1 案，由清華大學執行。

(二) 法人科專：

1. 論文

- (1) 研討會論文：鄭舒予、陳怡伶、吳文慶，“Case Study of System-Level Modeling with SYstemC” VLSI/CAD Symposium
- (2) 研討會論文一篇：郭思堯、左明正、翁健評，“以 FPGA 及 DSP 實作第三代無線通訊系統基頻收發機”，九十二年國防訓儲預官成果展論文發表，展示期間：92/10/24~92/10/27, (Oct., 2003)。
- (3) 先期授權：誠致科技，簽約金 40 萬元。
- (4) 技術服務：華邦電子，簽約金 200 萬元：接受華邦電子之委託，協助該公司籌建 WLAN 無線區域網路產品量測整合測試系統。

2. 專利獲得二項：

- (1) “用於通訊系統之渦輪碼快速編碼器”，中華民國發明專利-發明字第 177534 號，國際分類：H03M 7/00，頁數：5657，專利期間：92/4/21~110/12/10，證書日期：Sep. 2, 2003。
- (2) “渦輪碼區段訊息結束的方法與應用此方法之渦輪碼編碼器”，中華民國發明專利-發明字第 171702 號，。國際分類:H03M 7/00，頁數.5657 專利期間：92/1/21~110/12/10，證書日期: Jun. 9, 2003。

3. 研討會三場：

- (1) WLAN 晶片系統設計、測試與驗證研討會 (9 月 1 日至 2 日)
- (2) ARM Architecture and Instruction Set 技術研討會 (10 月 24 日)
- (3) SoC 系統設計與技術研討會 (11 月 19 日)
- (4) 完成 RF SoC 系統嵌入式量測校正基片之設計與開發。
- (5) 拜訪產、學、研界，完成籌建能量先期規劃研究報告，以作為未來待籌建能量之依據。

二、經濟部工業局：

九十二年度共有一件通過現執行中，通過計畫為茂積、亞頌科技聯合申請「DesignJet IC 協同開發專案管理平台」。

三、國科會工程處：

(一) 執行內容：

- (1) 交通大學電工系李崇仁教授所主持之對以智財單元為基系統晶片設計之驗證測試與診斷技術開發研究計畫。
- (2) 台灣大學電機系闕志達教授所主持之具有內建自我測試功能之 5GHz 超低功率無線通訊系統晶片計畫。
- (3) 清華大學電機系林永隆教授所主持之設計自動化、積體電路與系統設計計畫。
- (4) 清華大學資工系黃婷婷教授所主持之內嵌式可程式化邏輯模組：新架構及相關軟體計畫。
- (5) 清華大學電機系吳誠文教授所主持之 SOC 可生產性設計：基礎設施 IP 之研發計畫。

(二) 已獲得及預計之成果

成果件數	已獲得	預計獲得
論 文	9	77
技術移轉		4
技術創新		2
技術服務		1
專 利		5
著作權		3

分項四、前瞻智財

一、經濟部技術處：

(一) 業界科專 3 案、學界科專 1 案：

(1) 在業界科專部分，依據前瞻 IP 計畫之目標規劃，FY92 輔導成立 3 案關鍵自主性 IP 之業界科專，其中凌陽科技的 32 位元 Embedded Processor IP 開發計畫更是發展 SoC 技術所需最核心之 IP。

(2) 在學界科專部分有 1 案，由中央大學執行

(二) 法人科專

(1) IP Qualification Guideline 公開說明會 (2003/9/23)

(2) 研討會論文 16 篇

(3) 期刊論文 1 篇：

■Ming-Dou Ker and Chyh-Yih Chang, “High-current characterization of polysilicon diode for electrostatic discharge protection in sub-quarter-micron complementary metal-oxide semiconductor (CMOS) technology”, Japanese Journal of Applied Physics, Japan.

(4) 專利

■張智毅與柯明道, “Charge Device Model Electrostatic Discharge Protection For Integrated Circuits”, USA. (已獲得)

■柯明道與莊哲豪, “具深 N 型井區之高導通效率雙載子電晶體及其在靜電放電防護上之應用”, TW, USA, CN. (申請中)

■柯明道與林昆賢, “具有元件充電模式靜電放電防護功能之連接器/介面設計”, TW, USA. (申請中)

■柯明道、張智毅與侯春麟, “自動化傳輸線脈衝產生系統”, TW, USA, CN, Japan. (申請中)

■莊哲豪與柯明道, “避免漏電流之高低壓共容介面輸入端”, TW, USA. (申請中)

(5) 技術移轉：

四家 (聯合大學、思達科技、力晶半導體、佳邦科技)，簽約金 3,676K 元。

(6) 技術服務：

四家 (亞全科技、精拓科技、矽創電子(2 案)、智原科技)，簽約金 1,900K 元。

二、經濟部工業局：

九十二年度雖有廠商申請但無案件通過。

三、國科會工程處：

(一) 執行內容：

- (1) 中山大學電機系王朝欽教授所主持之 DVB-T 數位電視接收器創新 IP 設計與 SOC 實作計畫
- (2) 中正大學電機系王進賢教授所主持之低功率多媒體晶片系統之貼心(UniCore)處理器計畫
- (3) 中興大學電機系林泓均教授所主持之低功率多標準多媒體無線區域網路系統單晶片設計計畫
- (4) 台灣大學電子所劉深淵教授所主持之百億位元的乙太網路系統晶片設計計畫
- (5) 交通大學電工系任建葳教授所主持之用於軟體無線電基頻處理之系統晶片設計技術計畫

(二) 已獲得及預計之成果

成果件數	已獲得	預計獲得
論 文	58	109
技 術 移 轉		8
技 術 創 新	5	
技 術 服 務		
專 利	5	19
著 作 權		13

分項五、新興產業

一、經濟部技術處：

(一) 業界科專 4 案：

在業界科專部分，依據新興產業技術開發計畫之目標規劃，FY92 輔導成立 4 案業界科專，其中 2 案(由智原科技與創意電子執行)業界科專屬於 IP Mall 服務技術領域，目前已完成建立 IP Mall 之基礎建設；另外 2 案業界科專屬於設計平台技術服務領域(由台灣安捷倫與源捷科技執行)，台灣安捷倫計畫案是與國際知名 EDA 大廠安捷倫(Agilent)合作開發，建立台灣自己的設計平台，協助台灣 IC 設計業者獲得先進設計工具服務。

(二) 法人科專：

IP Qualification 規範制定：與工研院晶片中心共同催生矽智財驗證標準制定聯盟，並參與 IP Qualification 規範制定，於 92 年 8 月完成初稿，9 月 23 日召開公開說明會公佈第 1.0 版標準。

完成 FPGA-based 基頻 IP 先期測試評估環境能量籌建，並以此環境測試先前開發之 Viterbi Decoder IP，演練 IP 試用評估測試項目與程序之設計，以及執行 Viterbi

Decoder IP 試用評估。

二、經濟部工業局：

(一) 共舉辦 10 場研討會、說明會與相關活動，如下所列。

- (1) SoC 發展策略論壇
- (2) 國內 SoC 專區推廣招商活動四場
- (3) 國外專家來台進行技術交流並舉辦「類比設計技術學程研討會」一場(二人次)
- (4) 「TW ZigBee」、「Digital Home」、「DSC」、「Home Networking」等四個 SIG 之會員會議
- (5) 舉辦「網路通訊前瞻技術研討會」、「行動影像裝置關鍵技術暨市場研討會」、「WLAN 晶片系統設計、測試與驗證研討會」、「瑞典無線通訊 SoC 設計及技術應用研討會」、「AMBA3.0 技術研討會」、及「數位家庭產業發展論壇」等六場次技術交流會

(二) 共完成 16 份規劃評估與調查研究報告，如下所列：

- (1) 研擬 SoC 專區相關政策、施行辦法與租稅獎勵措施建議報告
- (2) 全國籌設 SoC 專區規劃評估報告
- (3) SoC 發展之策略規劃報告
- (4) 搭配國發計畫協助於南港軟體園區成立 IC 設計研發中心之評估報告
- (5) 調查國內各創業育成中心調查研究報告
- (6) 蒐集國際技術標準與相關組織之資訊調查研究報告
- (7) 搭配國發計畫協助於南港軟體園區成立 IC 設計之創業育成中心規劃評估報告
- (8) 搭配國發計畫協助於南港軟體園區成立系統規格制定開放實驗室規劃評估報告
- (9) 晶片設計開發工具 (EDA) 研究報告
- (10) 國內晶片系統開發平台研究報告
- (11) 測試驗證標準與流程之規劃評估報告
- (12) 初步建置我國半導體資料庫規劃評估報告
- (13) 我國矽智財產業研究報告
- (14) 我國矽智財資料庫規劃評估報告
- (15) 國際矽智財交易機制調查研究報告
- (16) IP 驗證與評估機制，並建置 IP 保護銷售模型

伍、評估主要成就及成果之價值與貢獻度(impacts)

分項一、人才培育

一、教育部：

超大型積體電路與系統設計教育改進計畫 91 暨 92 年度執行重點，以課程規劃與教材發展、課程推廣、促進產學互動交流、規劃並推動跨領域整合學程、辦理相關競賽活動及學術活動為主，並以跨校聯盟的體系推動上述各項重點工作項目，成效顯著。

在課程方面，全面檢討、改進、發展、開創領域內各項重要課程及其教材，向上規

劃並發展領域內相關前瞻課程教材，如「通訊基頻積體電路設計」、「Wireless IC 設計」、「SOC 設計」等課程；向下並規劃發展大學部類比 IC 設計及 EDA 相關課程。這些課程及教材藉由聯盟跨校師資合作發展出來，並更進一步透過「課程推廣計畫」，提供給全國各公私立大學校院相關教師在各校開課參考使用，聯盟並針對特定課程適時召開研討會議，以協助各校教師瞭解聯盟所開發之課程教材。在這樣以聯盟跨校核心師資合作開發，再透過課程推廣計畫積極推廣至全國各大專校院的推動模式下，國內相關教師在最短時間內即可獲得已經消化、彙整之相關資訊及教材，應用於各校相關教學、研討上。各校師生直接獲益，影響層面擴及全國，極具推動效益。

在學術活動方面，除辦理一般學術研討會外，並積極邀請產業界及國外知名學者專家來台演講或開授短期研習課程，以提高國內相關師生與業界及國際專家研討、交流的機會。本計畫所推動辦理的活動內容涵蓋目前國際上前瞻發展之技術及課題，使得國內在 IC 設計方面之各類專業領域教師及學生都能獲得來自業界及國外最新發展技術及其相關資訊，全面提昇國內相關教學研究的品質。此外，透過上述產學及國際交流活動，以及國內論壇、成果發表等各類活動，領域內師生經常有相互交流的機會，也間接地促使國內相關領域學術界蓬勃發展。

在競賽活動方面，本計畫辦理 SIP 設計、CAD 軟體製作、嵌入式軟體製作、IC 設計...等六項競賽，以鼓勵學生培養動手實作及創新的能力。部分競賽活動並由業界提供特定競賽題目，一方面學生得以接觸業界實際處理的相關問題，另一方面也增加國內業界與學術界較深入的交流機會。此外，「積體電路(IC)設計競賽」已連續二年邀請日本、韓國、澳洲等知名大學學生參賽觀摩，並將逐步擴大為國際性競賽，除能提高我國在國際 IC 設計領域之重要性外，也提供國內學術界瞭解所培育學生在國際相關領域的水平。聯盟在競賽活動結束後，並由獲獎學生簡介其獲獎作品，讓學生彼此交流觀摩，將教室的界線展延為跨校性的教學活動。各項作為在增加了學生接觸的層面，對於培養動手實作、具國際觀的高級設計人才確有實質上的助益。

在計畫推動行政管理方面，透過跨校整合的聯盟推動機制，各校教師在聯盟體系下，隨時能接觸到跨校性的工作團隊，再藉由聯盟所推動的各項課程教材發展、推廣、研討、論壇等活動，形成共同體，凝聚了領域內教師之共識，一起成長、提昇，激發出強大的教學、研究能量，使得領域內各項工作推動更具效率及成效。

二、經濟部工業局：

(一) 學術成就

(1) 設置晶片系統人才培訓網站，建置資料庫（廠商、師資及人才）並進行管理

(2) 計畫性引發學術研發能量投入晶片系統領域，建立產學研交流機制並推動合作計畫

(二) 技術創新：培訓晶片系統相關領域之在職及長期養成工程師，以達到技術擴散之效果。

(三) 經濟效益：建立產政學研人才發展交流機制，配合產業政策促進人才發展。

(四) 社會影響：可引導理工背景之高級人力具有 IC 設計專業技術能力，俾擴大重點產業之人力資源供給，以解決半導體產業中 IC 設計人才不足問題，增加人才供給。92 年度可培訓短期在職人才 1,000 人次以上，中長期養成人才 390 人次以上。

三、國科會工程處：

(一) 執行內容：

- (1) 國研院晶片中心王建鎮副主任所主持 CIC 配合晶片系統國家型科技計畫基礎環境建置計畫
- (2) 台灣大學電子所陳良基教授所主持多媒體通訊晶片系統之基礎研究環境建置
- (3) 交通大學電工系周景揚教授所主持 SoC 系統整合設計驗證及測試環境建置
- (4) 中興大學電機系張振豪教授所主持多媒體通訊 SoC 設計、驗證與測試環境建置
- (5) 成功大學電機系劉濱達教授所主持 SoC 基礎環境建置計畫

(二) 主要成果：

晶片系統之基礎環境建置計畫以支援晶片系統國家型科技計畫，建立共用設備，提供 SoC 相關研究計畫所需之設計、驗證及測試等貴重設備，希望藉由此建置計畫之推動達到資源整合、開放服務及栽培出更多優秀的設計人才，並支援接收經濟部技術處學界科專矽智財與協助國內相關教師發展 SoC 設計及驗證技術，且設計出更多有用的矽智產(Silicon IP)，以協助國內 IC 設計產業的發展及國內電子產業的再次躍昇。

分項二、前瞻產品

一、經濟部技術處：

(一) 業界學界科專(業界科專 17 案與學界科專 2 案共 19 案)

協助國內 IC 設計業提昇在 Wireless Communication、Broadband Communication、Digital Video and IA 等產品之 SoC 設計能量。

(二) 法人科專：

(1) WLAN SOC 技術

WLAN IP 是無線網路及資訊網路家電設備的基本無線介面，可提供給國內相關業者進入此類技術整合解決方案，應用領域包含無線網路卡及存取點、WLAN 家庭網路及裝置，如 PDA、監視器、多媒體伺服器。

(2) Wireless Communication RF 技術

本計畫開發適用於無線區域網路 802.11a、b、g 三種標準的射頻前端電路，可增加系統的整合度。且所提出的傳收機架構可廣泛的使用於無線通訊系統的射頻前端電路，可提升國內射頻前端電路開發技術。

(3) Optical Electronics SOC 技術

本計畫開發 1G~10Gbps Optical Transceiver、10GbE PHY 及 Ethernet PHY，期望建立 Gigabit 高速 IC 設計技術、光通訊 IC 設計技術，並提昇產業競爭力。

(4) 成立新世代 WLAN 研發聯盟

本計畫為整合台灣 WLAN 產業上中下游資源，加速台灣 WLAN Chipset 推出市場時間，未來並整合國內 WLAN 產業上中下游意見訂定 WLAN 應用市場需求之產品規格。

二、經濟部工業局：

九十二年度通過案件共有十件現均執行中：

(一) 嘉矽電子、加達士科技聯合申請「5GHz WLAN RF TRANsceiver & PA ICs」

國內無線區域網路產品世界佔有率達八成，世界知名品牌如 Linksys、Netgear 皆在台尋求代工夥伴，目前國內相關產品之零組件自製率已達 50% 以上，唯射頻 IC 技術尚無法具體掌握，藉由本案開發產品可使產業技術指標提昇。

(二) 智勤科技公司「下一代光纖寬頻多樣化服務接取設備及其關鍵性零組件」

寬頻網際網路為電信國家型科技計畫三大主軸之一，本案開發之產品涵蓋 NG SDH 及 1Gbps Ethernet 接取設備及其核心晶片，對於我國寬頻網路設備從以 xDSL CPE 端設備為主軸進展至 NG SDH 及 GE Access 等級，具有指標作用。

(三) 鼎天科技公司「高敏感度定位暨公分級精度 GPS 接收機零組件」

GPS 為政府策略性主推之無線通訊產品之一，92 年國內產值達一〇二億元，受惠於汽車導航及手持式裝置定位潮流興起，市場持續成長，產品趨勢為輕薄短小、省電便宜，高靈敏及高精確度，本案開發之 GPS 基頻晶片，屬無線通訊關鍵零組件國產化推動項目對產業發展有助益。

(四) 倚強科技公司「具備影像追蹤及 MPEG-4 視訊壓縮的無線網路攝影機單晶片 (Wireless IP-Camera)」

順應網際網路寬頻發展趨勢，網路攝影機之應用範圍愈來愈廣，舉凡居家看護、企業保全、視訊會議等。而本案開發產品即欲將網路攝影機中之關鍵零組件包括影像顯示引擎、處理器、壓縮數位信號處理器、多媒體擷取控制元件等整合成一顆 IC，此亦符合 IC 產業朝 SoC 發展之趨勢。

(五) 絡達科技公司「IEEE 802.11 a+b+g 射頻整合晶片開發」

台灣廠商陸續產出 WLAN 802.11 a/b/g 的 BB/MAC 晶片，但缺少 RF 晶片。絡達擬開發的高整合度 RF 晶片如能順利於九十三年推出，將補足最後缺口，使台灣完全掌握整個 WLAN 產業，更能在技術層面上向更高頻率與更複雜的調變技術躍進，為日後發展手機 3G/4G RF IC 及其他高階的高速通訊產品打下深厚的基礎，將台灣 RF 設計實力推向世界級水準。

(六) 義隆電子公司「整合 MP3/Voice recoder 之 Compact Disc 單晶片積體電路」

本案開發產品係應用於 CD，CD 雖屬成熟產品，其關鍵零組件長期均由日韓大廠所把持，該計畫產品利用目前市場有新需求(加入 MP3 解碼功能)之契機，提出高度整合之單晶片計畫，且於功能上進一步加以改良，對下游廠商提供成本、功能均佳之解決方案。對國內之技術提昇及商務業績均極有助益。

(七) 奇景光電公司「176x240mobile phone,TFT single driver SOC」

該公司過去具備有研發 TFT LCD Driver IC 及 LCOS 之經驗，研發團隊技術能力強，相關產品已量產，目前已著手研發整合所有功能之 132x176 resolution 手機用驅動 IC；本案目標以開發低功耗、高整合度、高解析度之 176x240 手機用彩色 TFT LCD 驅動 IC 為主，產品若開發成功量產後，將對台灣在手機用 TFT LCD 驅動 IC 方面更具有國際競爭力。

(八) 我想科技公司「應用於 ACCESS 端 3.3V 與 5V 光通訊收發模組可共用之雷射驅動器及信號放大元件」

該公司是研發光收發模組之關鍵零組件，包括 1.25Gbps 傳輸端之驅動 IC 及接收之

後置放大器，及 2.5Gbps 傳輸端之驅動 IC，產品可同時支援 3.3V 及 5V 電源，提升了產品的機動性；該產品亦採用 pre-charge 與 pre-discharge 修正電流波形技術來提高雷射工作速度，具創新技術。該公司對於 155Mbps 光收發模組已有經驗及產品，以其公司之研發團隊繼續開發本案之光收發模組，若能開發產品成功，將能提高國內廠商光收發模組的自製率及上中下游的整合能力，並和國際大廠競爭。

(九) 晶捷科技公司「液晶電視整合控制單晶片」

在國內許多家電廠商紛紛投入液晶電視市場來看，家電廠已看好數位電視換機潮，而該公司於液晶顯示器及面板之控制 IC，具有高效能的研發及解決方案，可整合高低階的產品，以完整的產品線供應系統廠，依其經驗應可完成產品之開發。

三、國科會工程處：

(一) 執行內容：

- (1) 成功大學電機系楊家輝教授所主持之 MPEG-4 多媒體資訊家電之整合系統晶片設計計畫
- (2) 交通大學電工系蔣迪豪教授所主持之 MPEG-4/21 SoC 設計及新世代行動通訊之研究計畫
- (3) 交通大學電工系郭建男教授所主持之高性能單一載具整合晶片系統計畫
- (4) 長庚大學電子系馮武雄教授所主持之嵌入式即時生理檢測訊號系統的 SoC 晶片設計計畫

(二) 主要成果：

- (1) MPGE-4 多媒體資訊家電之整合系統晶片設計計畫以 MPEG-4 為基本架構，整合多媒體軟硬體網路技術，並設雙處理器之單一晶片系統，研究及開發多媒體資訊家電系統，並以漸進方式完成無線/有線與 MPEG-4 架構網路資訊家電之系統。
- (2) MPEG-4/21 SoC 設計及新世代行動通訊之研究計畫完成基於 MPEG-4/21 標準的 3G 無線接取多媒體高度整合晶片相關技術研發及雛形系統。
- (3) 用於寬頻通信之高性能單一載具整合晶片系統計畫完成 0.18umCMOS 10FHz 之調頻式震盪器與除頻器電路設計且發展出一套完整的射頻微積電元件與高因質因素之電感最佳化之設計流程。
- (4) 生理檢測訊號系統的 SoC 晶片設計計畫主要成果價值在收集運動或靜止中，人體或動物的體內外之生理資訊，提供醫療檢測使用，且配合奈米製程晶片與醫藥整合，對提昇醫療及診斷品質具有很大的貢獻。預期技術突破有：1) 數位類比電路整合為一單晶片技術、2) 低頻與微波電路整合的訊號佈局技術、3) 軟體韌體及硬體電路均衡規劃的資料處理技術、4) 低電磁干擾及無線通訊的晶片設計技術、5) 生理檢測資訊擷取的軟體及硬體設計技術，均將逐一實現。

分項三、前瞻平台

一、經濟部技術處：

(一) 在業界科專部分：

將有降低新購測試機台、晶片設計及晶片製造測試等各方面成本之經濟效益。

(二) 在學界科專部分：

發展整合包括指令集設計、編譯器、功率評估、記憶體架構等先進的 SoC 發展技術，進行在 FPGA 原型上實作之技術。此項技術提供快速發展的環境與流程，協助業界取得產品開發之先機。

(三) 在法人科專部分：

1. 完成新型符合 IEEE P1500 Standard 的測試架構(wrapper)設計。

建立符合 IEEE P1500 Standard 的測試標準架構，運用新型的 wrapper，將有效的減少 instruction register 數量。

2. 晶片系統 IP 測試評估技術

本項的重大技術成果有五項：

(1) 鎖相迴路之內建式自我測試技術(PLL BIST)

避免雜訊與晶片輸出入對待測訊號的影響，提高類比訊號測試精確度，測試成本降低。

(2) 易測積分三角類比數位轉換器(Testable SD-ADC)之設計技術

僅用數位的測試訊號，就可以完成高精確度的類比測試，而且所加入的可測試設計，並不會影響原設計的精確度，卻可減少測試成本。此技術已於 92 年 6 月發表論文，並進行專利申請中。工研院對此技術移轉的定價為 100 萬元，蔚華科技已表達高度興趣。

(3) 「Software-Based Self-Testing」技術

此技術已先期技轉給京元電子，使工研院獲得 150 萬元的收入，也促使京元電子自行投資此技術 2 年共約 1,600 萬元。

(4) Mixed-Signal Hardware/Software Co-Simulation Technology

更進一步整合自動佈局環境，大幅提供工研院內計畫佈局工作的效率。

(5) 系統晶片產品的評估與驗證環境整合。

■ 針對 SOC 的高階驗證，領先業界建立 Mixed-Signal Hardware/Software Co-Simulation Technology，讓設計者在設計前期即可驗證設計軟體、數位與類比電路之功能正確性。同時建立 0.13um 設計流程，並以 EAS whole chip (transistor count 1.8M) 進行 Auto Placement & Routing 測試成功。這些技術協助學界科專經費達 8,200 萬元(含第一年 2,000 萬元，第二年 2,800 萬元，第三年 3,400 萬元)。

■ 前瞻晶片系統產品評估與驗證環境，包含系統晶片之架構分析環境、效能評估流程、以及 IP 模組評估與驗證環境，對於系統晶片產品設計平台之設計與驗證有加速的效果，系統晶片設計開發時程預估可縮短為原時程之 30%-50%。

二、經濟部工業局：

九十二年度共有一件通過現執行中，通過計畫為茂積、亞頌科技聯合申請「DesignJet IC 協同開發專案管理平台」。因應半導體產業朝 SoC 發展趨勢，未來矽智財之創造、發展與應用將是我國 IC 設計業者是否競爭力之重要關鍵。而藉由本計畫之開發將有助於業者在矽智財運用及創造之能力，進而延續我國半導體產業之優勢。

三、國科會工程處：

(一) 執行內容：

- (1) 交通大學電工系李崇仁教授所主持之對以智財單元為基系統晶片設計之驗證測試與診斷技術開發研究計畫
- (2) 台灣大學電機系關志達教授所主持之具有內建自我測試功能之 5GHz 超低功率無線通訊系統晶片計畫
- (3) 清華大學電機系林永隆教授所主持之設計自動化、積體電路與系統設計計畫
- (4) 清華大學資工系黃婷婷教授所主持之內嵌式可程式化邏輯模組：新架構及相關軟體計畫
- (5) 清華大學電機系吳誠文教授所主持之 SOC 可生產性設計：基礎設施 IP 之研發計畫

(二) 主要成果：

- (1) 對以智財單元為基系統晶片設計之驗證測試與診斷技術開發研究計畫：已完成軟硬體物件之靜態互動模型，並實現高階合成之轉換驗證、Delay fault testing based on path inertia 等項目研究且已獲得成果及完成 IEEE 1394 傳輸模型建構與品質分析。
- (2) 具有內建自我測試功能之 5GHz 超低功率無線通訊系統之研製計畫：所產出的各式自我測試電路與方法，如射頻電路與測試電路隔離迴路設計、頻率合成器測試中 Jitter 量測器電路設計、低功率延遲錯誤測試方法等等皆具有創新性，目前皆已整理成論文投稿。通訊電路設計方面舉凡極低電壓低功率射頻電路設計、低電壓類比相關器與頻率合成器設計、低電壓低功率基頻接收電路等等皆已設計完成且將陸續送交製作。
- (3) 內嵌式處理器為中心多媒體系統晶片之設計合成及驗證技術研發計畫：建立一系列超大型積體電路的合成及驗證的軟體工具並將其應用於所設計的多媒體系統晶片。所設計的系統晶片將含括有一個 RISC/DSP 核心原件、特定用途的 co-processor、硬體加速器與軟體元件在一個高效能的系統匯流排上。
- (4) 內嵌式可程式化邏輯模組：新架構及相關設計軟體計畫在技術上之突破有：1)發展新的 FPGA Architecture、2)發展之瞬間最大電流演算法可得到精確的數值，可因而改善 Power Line 的佈線、3)發展 BIST 機制可同時測試與診斷 Embedded FPGA 內之故障、4)發展出一個有效的延遲錯誤模型以利於測試 FPGA，並對新的錯誤模型開發出一套有效的測試方法、5)發展 Behavior Compiler 的架構為模組化設計，其中包含可抽換之模組，此模組可以不同之 High-level Synthesis 技術取代。
- (5) SoC 可生產性設計：基礎設施 IP 之研發計畫在建立記憶體、邏輯電路與類比電路包含靜態與延遲測試、量測、診斷及良率提升等基礎設施 IP (IIP)之開發能力，並同時研發相關 EDA 工具以將各個 IIP 所擷取出的資訊加以分析診斷，並建立模型與資料庫。使未來的深次微米製程下 SOC 產品能夠順利得被製造及驗證，以達可生產的製造良率。同時可以協助國內建立技術能力與提昇其研究水準外，更能培養 IIP 之開發及整合應用的能力。

分項四、前瞻智財

一、經濟部技術處：

(一) 業界科專：

Embedded Processor 是主宰整個 SoC 效能表現的核心 IP，國內在高階 Embedded Processor 的設計技術遠落歐美日各國，凌陽科技的 32 位元 Embedded Processor IP 開發計畫不僅是國內業界開發自主性 Embedded Processor 技術之重要指標，也將大幅增加台灣未來發展 SoC 產業之競爭力。

(二) 法人科專：

1. IP Qualification & Validation 技術

- 完成 AMBA Verification IP 技術開發
- 制定 VHDL Coding Guidelines (1Q 2003)
- 積極觀察/參與亞洲(IP/SoC Meeting)與世界(VSIA)相關組織之矽智財標準
- IP 安全交易平台技術子項
- 完成 IP 交易平台之基礎架構開發工作，主要功能包括：IP 之註冊、IP 之蒐尋、IP 交易之合約談判系統
- 完成 IP 交易平台入口網站開發工作,提供不同使用權限的會員管理機制

2. IP 安全交易平台技術

- 完成 IP 交易平台之基礎架構開發工作，主要功能包括：IP 之註冊、IP 之蒐尋、IP 交易之合約談判系統。
- 完成 IP 交易平台入口網站開發工作,提供不同使用權限的會員管理機制。

IP 安全交易平台主要的應用領域是在提供給 IP Provider、Design House 以及 IC 生產者之間進行 IP 交易，藉由本技術的發展，將有助於進行 SOC 智財線上交易機制開發，建構完成矽智財線上安全交易平台，加快 IP 的交易速度，並縮短 SOC 設計業者的設計開發時程。

3. 先進 0.13 微米 CMOS 製程之靜電放電防護設計

- 發明兩項專利技術，達到國內技術自主，提升至國際第一流水準。

4. 先進 0.13 微米 CMOS 製程之輸出入單元資料庫

- 具面積小、降低系統晶片成本、靜電放電耐壓度高之特色，目前世界僅有 Sarnoff 有此類似功能之技術。

5. 自動化傳輸線脈衝產生系統

- 全國第一套自動化傳輸線脈衝產生系統(Automatic Transmission Line Pulsing System, ATLP System)，這套系統更是在低廉的成本下建構性能足以媲美國際商業的 ATLP 量測系統。未來半導體元件的靜電放電特性之模型化與電路模擬都將依靠傳輸線脈衝產生系統量測結果。所以這套系統不僅可以幫助產品工程師、ESD 防護電路設計工程師或輸出/輸入(I/O)電路設計工程師做快速且可重複性的元件量測實驗，更可讓工程師迅速獲得正確有效的實驗數據，幫助工程師進行電路設計，或進行偵錯分析；對於設計低成本、高防護能力的 ESD 防護電路將有極大的幫助。同時也為國內外積體電路產業提供完善的靜電放電防護元件設計技術驗證設備，不僅能降低產品驗證所耗費之成本，更能提升產品的國際競爭力以及 Time

to Market 之時效。本技術並於 FY92 Q2 成功將技術移轉至思達科技。

6. 與台灣靜電放電防護學會每年共同舉辦 Workshop 以及 Conference

■系統晶片技術發展中心與台灣靜電放電防護學會，由 FY91 開始每年定期舉辦 ESD 相關 Workshop 以及 Conference。FY92 共計舉辦竹科以及南科兩場 ESD 技術論壇以及一場研討會。第二屆台灣靜電放電防護技術研討會，剛於 11 月 12~13 日於交通大學舉行。本次研討會共接受來自產學研的技術論文 38 篇，含 2 篇專題演講，共分 on-chip device, patent issue, high-voltage tolerance I/O design, factory & system issue, advanced technology, materials, TFT panels, whole-chip protection, BiCMOS RF, Latchup issue 等 10 個技術專題。主辦單位分別邀約來自 IBM，同時也是 IEEE Fellow 的 Steven Voldman 博士以及來自德國的 Horst A. Gieser 博士發表專題演講，以期促進國際技術交流。

7. 本團隊中「靜電放電防護設計」部份成果豐碩，不僅產出多項靜電放電防護相關技術，衍生 4 項 ESD 相關申請中的專利以及發表 26 篇論文於國內外期刊，更有多項專利以及技術技轉於廠商。並於 FY92 榮獲經濟部創新技術獎。

8. 類比數位轉換器電路樣版

■可快速合成多位元之類比數位轉換器，為國內第一套此工具，相較於傳統開發流程，可從六個月大幅縮減到半個月。

9. 完成 MCD-based SoC Platform 規劃，並完成 DMA IP、UART IP、VIC IP、IEEE 1284 IP、I2C IP 之設計與 FPGA 驗證，以及 Low power IP 設計流程與方法之研究。掌握完整 MCU-based 設計技術，達到技術自主性並提供高品質可重複使用之 IP 以協助相關 SoC 計畫進行。

■協助引進 ParthusCeva PalmDSPCore DSP IP，並協助科專計畫 WCDMA SoC (OP24) 之進行。

■完成 IP Service Web 設計與建立，並開放 User 進行 Beta-Site Test。未來將可藉由 Web 協助使 ITRI 內部之 IP Service 有更好的品質亦更進一步推廣環構計畫之 IP 成果。

■與 NSoC Program Office 共同主辦 IP Forum，圓滿結案。期間 NsoC 執行長亦參與規畫，貢獻甚多。對於了解 Local IP Availability 與需求進一步掌握，有助於未來正確規畫計畫方向。

■持續推動 Taiwan IP Gateway，提供 IP 相關業者虛擬交易平台，將世界知名大公司之 SIP(矽智產權)導入本管理系統，以利 SIP Search 與 SIP Promotion。

■Taiwan IP Gateway 90/8/31 正式對外界公開，總共已有 26 個 IP Provider 同意加入會員 (Maojet, Sota, HwaCom, Sinomatrix, Gerent, Progate, Improv Systems, Aplus, Faraday, Goya, Mentor Graphics, Artisan Components, IPLib, Dolphin Integration, MIPS, ARM, GUC, ARBL, Actrans, Cadence, Legend Design, AnaGlobe, SuperH, Socle, ARC, LSI)。20 家完成簽約，6 家正進行簽約中，共 158 個 IP (統計至 92/11/26)。發出 2200+封媒合 email。

■邀請國際知名 Verification 專家 Qualis CTO Mr. Janick Bergeron 至 ITRI 開 Seminar “Advances in Verification Methodologies and Verification IP”，促進國際交流並提升我技術水準。

二、經濟部工業局：

九十二年度通過案件均執行中，尚無具體之成就與成果。

三、國科會工程處：

(一) 執行內容：

- (1) 中山大學電機系王朝欽教授所主持之 DVB-T 數位電視接收器創新 IP 設計與 SOC 實作計畫
- (2) 中正大學電機系王進賢教授所主持之低功率多媒體晶片系統之貼心(UniCore)處理器計畫
- (3) 中興大學電機系林泓均教授所主持之低功率多標準多媒體無線區域網路系統單晶片設計計畫
- (4) 台灣大學電子所劉深淵教授所主持之百億位元的乙太網路系統晶片設計計畫
- (5) 交通大學電工系任建葳教授所主持之用於軟體無線電基頻處理之系統晶片設計技術計畫

(二) 主要成果：

- (1) DVB-T 數位電視接收器創新 IP 設計與 SOC 實作計畫符合數位電視 DVB-T 標準之視訊接收解碼器，可接收來自無線天線之 VHF/UHF 信號，解碼並輸出 LCD 或是 PDP 等平面顯示器所接收之 MPEG2 信號。本計畫中預計要開發個別之晶片，最後將因應市上場小型化與攜帶性之需求，以 SOC 或是 SiP (System-in-Package) 方式來產出單晶片封裝數位電視。
- (2) 低功率多媒體晶片系統之貼心(UniCore)處理器計畫在建立一個低電壓又高效能的 RISC/VLIW-DSP 聯合單一核心，並可根據不同多媒體應用來擴充、整合、或縮減均質或異質(homo- and hetero-geneous) 功能單元(function units)，透過 VLIW 架構可調整式(Hardware re-configurable)/可程式化(software programmable) 之設計概念，發展一個效能導向之晶片系統 SOC 設計平台，以滿足不同 SOC 應用之設計需求。
- (3) 低功率多標準多媒體無線區域網路系統單晶片設計計畫將開發關鍵性模組的晶片實現與測試及整體系統架構的整合，可望將各類低功率多標準模組的相關技術之實用價值推廣並技術轉移至業界，培養高性能軟硬體設計人才，以提昇國內多媒體通訊 VLSI 系統架構與相關軟硬體的設計水準。
- (4) 百億位元的乙太網路系統晶片設計計畫探討如何以實際上可取得或實現之光/電元件，設計符合 802.3ae LX4 規格之區域網路實體層，並同時兼顧降低成本的可行之道。
- (5) 用於軟體無線電基頻處理之系統晶片設計技術計畫在技術上之突破有：1)已完成 VLIW DSP Processor data path 基本架構，被 PAC project 採用、2)建立 DVB-T, DAB 共通之系統模擬平台與接收機雛型架構、3)完成可變長度 FFT 架構與實現、4)

發展 systemC SoC 系統層次設計方法、5)完成乘法器之自動產生。

分項五、新興產業

一、經濟部技術處：

- (一) 業界科專：完成建立 IP Mall 之基礎建設，將帶動建立 IP 交易模式與提倡 IP 的重覆使用概念，使國內 IC 相關產業逐漸轉型為具有設計創作及知識經濟之產業結構。
- (二) 法人科專：1.配合 NSC 業界科專計畫核定執行項目，建構數位 IP 與微波 IC 晶片系統測試評估與品質驗證能量，以使用者之角色協助業界評估新開發無線通訊領域晶片系統產品之可靠度與品質，以促成 SoC 產業之快速與蓬勃發展。2.工研院晶片中心共同催生矽智財驗證標準制定聯盟，並參與 IP Qualification 規範制定，為台灣矽智財匯集服務產業與矽智財重用奠定基礎。

二、經濟部工業局：

(一) 學術成就

1. 利用多場研討會及技術交流座談會、聯誼會的舉辦，廣邀學術界代表及產業界中的領導者共同參與，促發業界與學界間的交流與溝通，使得學校課程能培育出產業所期待的人才，並使得學校教育及跟上產業需求，而在產業變化快速的時代中，人才的養成能填補各個轉型期之缺口，進而提升台灣產業之國家競爭力。
2. 蒐集近五年之半導體產業資料數據，並規劃建置完整之資料庫，以記錄我國半導體產業發展之脈動，成為記錄國內產業發展之最完整資訊中心，以利後續研究之進行。
3. 完成多本研究報告，作為產業發展相關前瞻技術之參考。

(二) 技術創新

1. 在系統規格創意中心分項計畫中，推動「數位家庭」、「ZigBee」、「Home Networking」等 SIG 成立，以討論各產業中價格競爭、關鍵零組件的掌控以及彼此間的交流互動之進行方式等議題，並促進廠商之合作機會以及提昇產業之整體競爭力、談判優勢，以利後續具發展潛力之產品與技術催生。
2. 利用多場研討會及技術交流座談會、聯誼會的舉辦，廣邀產業界中的領導者以及上下游廠商，促發產業互動及合作，以突破台灣的產業未來出路，絕非僅以成本競爭為核心的大規模製造；以目前製造優勢的核心競爭力逐步建立以設計創新與創新價值為主體的新興產業。進而發展以智財、設計、軟體及系統為核心的創新產業產品—光電、Processor、通訊等三大主軸產業。
3. 協助推廣 SoC 設計專區，以促進我國 SoC 相關產業之發展，進而推動台灣未來產業的發展以成本競爭為核心的大規模製造，轉為以設計創新與知識經濟為主體的新興產業，提升產品之附加價值，重塑我國之國際形象。

(三) 經濟效益

1. 透過在不同場合不斷地倡導 SoC 之重要性，持續改善國內產業相關發展環境與配合之機制，以改進我國系統單晶片產業之競爭力。緊密的結合硬體與軟體建設，將系統單晶片整體競爭力予以提昇，使台灣的半導體產業繼續在全球市場扮演重要的角色。

2. 利用多次廠商訪談的機會，拜會產業中上下游廠商，進而扮演中間的觸媒角色，最終的目標在期望全球客戶皆可運用台灣設計平台從事 IC 設計，使用台灣矽智財完成 IC 設計，並運用本國晶圓代工公司順利量產，然後將半導體售予全世界終端系統產品公司組裝成客戶所需產品並行銷全球。
3. 藉由 SoC 發展推動計畫帶動整體電子資訊產業的加速發展，提高產品附加價值，比現有製造為主的利潤增加數倍至數十倍，促使國民就業率與平均所得提高，增進社會蓬勃發展。

(四) 社會影響

1. SoC 專區的推廣，可望藉由 SoC 相關業者群聚效應的發揮，引發更廣大的週邊商機之需求，除了在 IC 設計本業上，其他產業亦可因需求面擴充，而產生人員增聘需求，進而提高就業率以及國民生活水準。
2. 待 SoC 產業環境之基礎建設建置完全後，期待將可吸引國內/外優秀人才至國內就業，以及促進廠商投資和國際間的交流合作機會，對我國國際形象將有極正面的助益。

陸、與相關計畫之配合

分項一、人才培育

一、教育部：

超大型積體電路與系統設計教育改進計畫主要在推動正規教育相關人才之培育，與經濟部工業局晶片系統產業人才培訓計畫針對待業及在職人員相關培訓相互配合，構成整體的培育(訓)流程。其中超大型積體電路與系統設計教育改進計畫所規劃推動的「理工科系所積體電路設計第二專長學程」未來發展出來的相關教材，也可提供經濟部工業局晶片系統產業人才培訓計畫中程長期培訓課程參考。

另外，在晶片系統國家型科技計畫人才培育組培育量增質優之人才的推動目標下，教育部超大型積體電路與系統設計教育改進計畫所推動的「理工科系所積體電路設計第二專長學程」擴大了具基礎專業智識的大學生的數量，正好提供了國家矽導計畫中「擴增矽導相關研究所招生名額」所需的學生來源。除此之外，教育部超大型積體電路與系統設計教育改進計畫也提供了矽導計畫中相關教師各項教學、學術交流等相關發展的資源與協助，對於矽導計畫的推動確有實質且重要的幫助。這二個推動方案相互配合，組成一個能培育量增質優人才的整體推動方案。

最後，另一個對教育部超大型積體電路與系統設計教育改進計畫推動成效具十分重要影響者，就是國科會晶片系統設計中心所推動的相關工作，如提供各校以較低價格採購相關設計軟體、寒暑假對學生開授實作課程，以及協助相關競賽驗證評審作業等工作，確實大大的提昇了教育部超大型積體電路與系統設計教育改進計畫推動效率及成果。

二、經濟部工業局：

本年度並未與其他國家型計畫相配合。

三、國科會工程處：

中興大學電機系所執行之多媒體通訊 SoC 設計、驗證與測試環境建置除了可充分支援晶片系統國家型科技計畫-學術整合型研究計畫之進行外，同時可以對其他中部地區學校提供服務，進而達到資源共享、研究整合的目的。另外，也積極配合半導體學院之人才培訓計畫，修習開設之數位電路設計人才培訓班的學員，皆可利用本計畫所建置之實驗室的各項設備來量測與驗證晶片。

交通大學晶片系統 (System-On-Chip, SoC) 研究中心整合校內教師及相關資源，配合晶片系統國家型科技計畫之執行，有效推動 SoC 設計之研究發展、智產推廣、學程推動、與人才培訓等工作。中心將以尖端研究建立 SoC 設計所需之核心技術及其各項應用。所涵蓋的領域包含計算機輔助設計、積體電路設計、微機電系統、通訊系統、網路系統、計算機系統、即時操作系統、以及多媒體處理等等。除了發表論文外，中心的研發成果將包含各種輔助設計軟體、矽智產、晶片、與應用系統雛型等。

成功大學電機系所執行之 SoC 基礎環境建置計畫，添購軟硬體設備，對執行晶片系統國家型科技計畫-學術整合型研究計畫，不論從晶片設計、系統設計或嵌入式軟體等各方面均極有幫助。此外，配合國科會「SoC 整合設計技術推動計畫」，帶動南部大學院校新入行十餘位教授陸續進行 SoC 相關研究，不論是研究成果或培養許多學生，均見初步成果。

分項二、前瞻產品

一、經濟部技術處：

(一) 業界學界科專：無

(二) 法人科專：

(1) 法人科專配合工研院之系統晶片核心實驗室建構分項包括以下四項技術：

- 系統晶片設計與驗證環境
- 數位 IP 技術與資料庫
- 類比 IP 技術與資料庫
- 可測試設計技術

(2) 法人科專配合工研院之創新前瞻技術研究計畫如下：

- 行動電話暨無線區域網路雙模射頻傳收器 IC 技術
- Channel Processor 技術
- Analog Baseband IC for Universal RF Transceiver
- Bust-Mode OE/EO AFE IC 設計技術

配合執行的學界合作案如下：

合作計畫名稱	合作單位	合作內容	經費 (仟元)	效益說明
• Triple Mode WLAN 同步研究	交大	• 結合學界的經驗及前瞻性研究成果設計經驗開發具產業價值的WLAN 產品技術	500	• 協助 Triple Mode Wireless LAN 同步設計研究
• Triple Mode WLAN 通道校正研究	中正	• 結合學界的經驗及前瞻性研究成果設計經驗開發具產業價值的WLAN 產品技術	500	• 協助 Triple Mode Wireless LAN 通道校正設計研究
• Triple Mode WLAN 通道校正研究	交大	• 結合學界的經驗及前瞻性研究成果設計經驗開發具產業價值的WLAN 產品技術	500	• 協助 Triple Mode Wireless LAN 通道校正設計研究

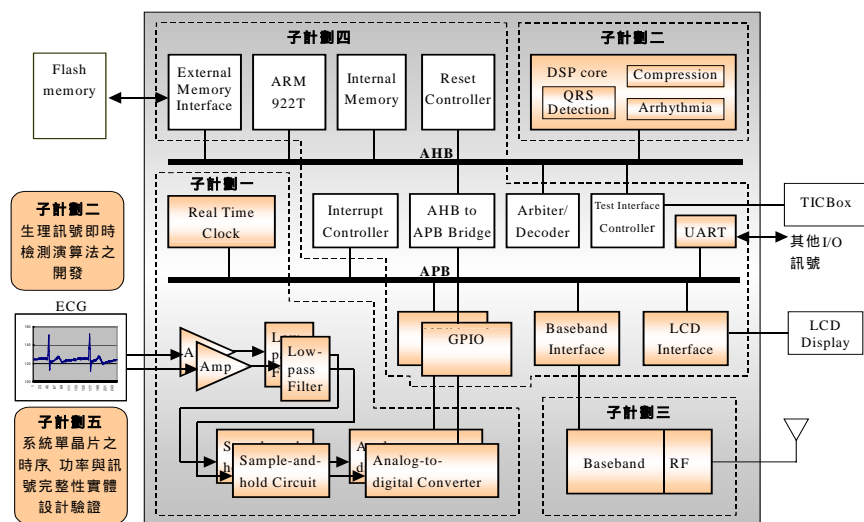
二、經濟部工業局：

本年度並未與其他國家型計畫相配合。

三、國科會工程處：

- (1) MPEG-4 多媒體資訊家電之整合系統晶片設計計畫為探討與研製下一代MPEG-4 多媒體資訊家電之晶片系統(SoC)技術，規劃了五項子計畫及一項國際合作計畫。子計畫一在於發展多媒體 MPEG-4 處理壓縮技術研究及製作，以多媒體壓縮於 DSC25/DM270/DM642 的實現為主要工作，發展最新壓縮標準之快速演算法以增加系統的品質與效能，開發相關之 MPEG-4 資訊家電之雛型系統。子計畫二以研究嵌入式作業系統為主，主要在於設計高穩定度，高可靠性以及小型作業系統以強化多媒體服務的整合。子計畫三包括系統層之設計，網路協定之支援 IP，應用層之設計等，可以提供子計畫一發展多媒體網路協定及數據串流技術。子計畫四目標在於研究多媒體雙晶片架構設計及介面電路整合開發，發展晶片的互連模組，並整合了嵌入式軟體、微處理器、記憶體、媒體處理器和影音 I/O 單元之硬體。子計畫五利用 ARM 模擬取代 C5x 功能，並發展 MPEG-4 影音核心 VLSI 設計，以強化 ARM 之多媒體計算能力。本計畫為了掌握國際多媒體研究趨勢更將與美國華盛頓大學 (University of Washington) 之資訊處理實驗室 (Information Processing Lab) 合作，該實驗室主持人孫明廷與黃正能教授均為國際於多媒體處理與壓縮知名學者。孫教授專長於視訊壓縮以及 JVT 標準研究，MPEG-21 及網路應用更是涉略頗深。共同研究 MPEG-4 JVT 之最佳化演算及 MPEG-4 數據串流研究，利用主動式結點 (Active Node) 設計以提高網路穩定性與頻寬。
- (2) 用於寬頻通信之高性能單一載具整合晶片系統計畫：1)完成射頻被動元件之製作與元件模型以提供其他相關計畫研究者在高速電路設計中之依據、2)研究成果將與其他計畫進行系統之整合，完成最終之性能測試。濾波器將應用相關子計畫發展之封裝結構技術，並可就不同技術進行性能比較；相關子計畫發展之訊號合成技術將提供降頻器之訊號來源。
- (3) 生理檢測訊號系統的 SoC 晶片設計相關計畫之配合如下圖所示，主要分為子計

畫一的“類比介面及數位模組電路 IP 研究設計”，提供外界訊號與內部處理器之間具可靠度的信號轉換與資料匹配。子計畫二的”生理訊號即時檢測演算法之開發”，係建立一套適合於即時數位訊號處理之系統架構，並針對不同之醫療需求發展有效、新穎且精確的處理方法，並以嵌入式微處理器設計及驗證平台及開發硬體 IP 工作。子計畫三的“射頻電路與天線設計及其對人體和醫院內儀器的影響”，提出實體製作無線通訊模組，研發重量輕、低成本、易與數位電路整合及干擾小等特性，建立晶片與電腦之間無線傳輸的功能。子計畫四的”生理檢測訊號系統晶片的整合設計與系統測試”，係整合微處理機設計一個即時心電圖偵測處理的晶片，此系統晶片除了儲存心電訊號外，亦可處理心電圖 QRS 波的資訊。子計畫五的”系統單晶片之時序、功率與訊號完整性實體設計驗證”，提供晶片運算中電路串擾雜訊的快速估測的工具，提供耦合樹狀電路中的互連線路之干擾運算與防制工作。



- (4) MPEG-4/21 SoC 設計及新世代行動通訊之研究計畫本計畫研究團隊與交大電資研究中心無線通訊實驗室合作配合使用其 RF 與積體電路設計軟體、高頻測試設備，以及電子工程系積體電路設計實驗室之 EDA 設計流程、無線資訊與技術實驗室之異質服務與寬頻 B3G 存取技術之精進無線媒體存取控制、電子資訊中心之嵌入式記憶體技術與 Power PC CPU 晶片系統設計、資工系嵌入式多媒體系統實驗室之數位基頻處理加速器和嵌入式軟硬體作業界面、並由國立交通大學電信中心多媒體標準 (MPEG) 資源共享 MPEG-4/21 最新資訊。

分項三、前瞻平台

一、經濟部技術處：

- (一) 國家電信計畫：支援 WCDMA 計畫之記憶體內建測試與硬體實現，協助該計畫之 SoC/IC 開發與產出。
- (二) 國家雙網旗艦「PAC(Parallel Architecture Core) Media Processor」計畫：支援設計驗

證環境/Low Power Methodology and Environment /Generic Platform/Software-Based Self Testing 技術，將協助該計畫之 SoC 開發與產出。

二、經濟部工業局：

本年度並未與其他國家型計畫相配合。

三、國科會工程處：

- (一) 具有內建自我測試功能之 5GHz 超低功率無線通訊系統之研製計畫本群體計畫：各項子計畫關聯性強，計畫成果仰賴各項子計畫成員間充分討論、通力合作方能達成預定目標。所有子計畫主持人皆為電機系教授，藉由定期會議共同討論，相互之間配合度極高。
- (二) 內嵌式處理器為中心多媒體系統晶片之設計合成及驗證技術研發計畫：參與之教授與學生均共用各項軟硬體設備並互相整合協助，合作無間。
- (三) SoC 可生產性設計：基礎設施 IP 之研發計畫是針對各種不同性質的智財核心研發其相關的可生產性基礎設施智財核心，鑑於未來複雜的晶片系統同時包含各式各樣的功能性矽智財核心，所有子計畫皆須互相整合協助，共同開發各式相關的硬體、軟體技術，提供完整、全面性的解決方案涵蓋所有靜態及動態的瑕疵。並藉由定期的內部協調研討會，彼此交換最新的訊息、技術。
- (四) 對以智財單元為基系統晶片設計之驗證與測試技術開發研究計畫：本計畫之執行以智財為基之系統晶片之驗證、測試與偵斷技術開發之經驗與結果繼續執行，故各子計畫之討論、經驗交換、問題啟發，皆合作無間。子計畫二與子計畫三主持人更是每週聯合一起研討。本計畫執行過程中，需用一些線路例子，皆由本校其他有關 SOC 設計計畫提供。

分項四、前瞻智財

一、經濟部技術處：

IP 安全交易平台技術配合執行的學界合作案如下：

合作計畫名稱	合作單位	合作內容	經費 (仟元)	效益說明
• SIP 交易之商業模式研究	政大	• 先期研究 SIP 之可行交易模式及商業經營架構	600	• 完成先期技術研究與可行性評估

1. 國家電信計畫：支援 WCDMA 計畫之 DSP IP 評估引進與基礎 IP 提供，協助該計畫之 SoC/IC 開發與產出。
2. 國家雙網旗艦「PAC(Parallel Architecture Core) Media Processor」計畫：支援 Generic Platform 與 Peripheral IP，協助該計畫之 SoC 開發與產出。

二、經濟部工業局：

本年度並未與其他國家型計畫相配合。

三、國科會工程處：

- (一) DVB-T 數位電視接收器創新 IP 設計與 SOC 實作計畫，主要的研究動機係來自我們也注意到數位電視廣播時代的來臨，美、日、台灣均已公佈在 2006 年全面電視數位化。這個改變將帶來巨大的產業衝擊。未來的電視所需之晶片技術，將與過去 30 年有完全不同的差距。目前所有的電視機也不可能一夕之間全部淘汰，因此訊號轉換裝置將有一段興盛的時機。本計畫即著眼於此，研究目的為符合數位電視 DVB-T 標準之視訊接收解碼器，可接收來自無線天線之 VHF/UHF 信號，解碼並輸出 LCD 或是 PDP 等平面顯示器所接收之 MPEG2 信號封包。本計畫中預計要開發個別之晶片，最後將因應市上場小型化與攜帶性之需求，以 SOC 或是 SiP (System-in-Package) 方式來產出單晶片封系裝數位電視。另外，國內兩大面板商（友達，奇美）之研發人員也同意數位電視之啟動將引導另一波面板之高銷售量。目前，他們均有計畫地考量將電視接收器做到面板模組上的可行性。也分別成立 IC 設計子公司（瑞頂，奇景）來從事相關關鍵技術開發。目前我們與其均有產學合作案正在進行中，未來希望能擴大與提升層級，進行更接近業界規格之 IP。
- (二) 低功率多媒體晶片系統之貼心(UniCore)處理器計畫：1)各子計畫與總計畫人員每週至少進行二次研討、2)工作相當順利。
- (三) 低功率多標準多媒體無線區域網路系統單晶片設計計畫可充分配合本系另一個基礎環境建置計畫-「多媒體通訊 SOC 設計、驗證與測試環境建置」，所購置之儀器設備可支援此一研究整合計劃所設計之各晶片及系統的量測與驗證。另外，本系也積極配合教育部各項教改計劃，擴充各項設備來量測與驗證晶片。
- (四) 百億位元的乙太網路系統晶片設計計畫：1)提供光/電元件之規格,供其他子計畫設計類比及數位信號處理電路之參考。先以商品化元件組成可以動作的傳輸 link,再以各子計畫所完成的 IC 逐一代換,以驗證各電路之功能。提供光/電介面量測技術、2)研究子計畫一中光纖傳輸的特性與須符合之規格限制，並配合採用雷射二極體的驅動特性，設計傳送機之各項參數。以上規格限制會配合子計畫三接收機特性，達到整體最佳的效能與系統整體的可實現性。統一與子計畫二、三的光/電介面量測方式、3)主要與子計畫一的系統模擬合作，訂定等化器(Equalizer)的規格，進一步提升效能，除此，對於 TIA, Limiting amplifier 及 CDR 設計規格也更清楚了解。子計畫二傳送機的設計決定接收端的信號波形，因此，好的傳送機的設計有助於接收端的設計複雜度。子計畫五的數位端有賴本計畫產生的 Retime-data 以期設計好的 FEC、4)數位基頻電路之整合、系統整合之效能分析、高效能數位基頻電路與類比信號之整合模擬分析。
- (五) 用於軟體無線電基頻處理之系統晶片設計技術計畫總計畫與各子計畫間每二週定期開會討論。

柒、後續工作構想之重點

分項一、人才培育

一、教育部：

超大型積體電路與系統設計教育改進計畫 91 及 92 年主要的推動重點在於前瞻課程的規劃與其教材的開發撰寫，未來二年，除持續各項課程推廣及競賽、學術活動辦理等工作外，將逐步朝「提高國內學術界在國際 SOC 設計領域之重要性」的方向邁進。在課程方面，積極鼓勵各聯盟將所發展之教材進一步撰寫成英文教科書；選送相關教師參與規劃優良之國外課程研習，積極導入國內研究、推廣。在學術活動辦理方面，持續邀請國際知名專家學者來台演講、開授短期課程，同時將規劃辦理 IC 設計教育國際會議，積極展現計畫推動成果。在競賽活動方面，取消獎金之頒發，改為補助獲獎師生出國參與相關國際會議，以開擴學生之國際視野。

二、經濟部工業局：

在人才培訓方面，以引導理工背景之高級人力使其具有 IC 設計、軟體應用及測試專業技術能力，俾投入產業之人力資源供給，預計 93 年度將可養成 870 人（包含原規劃 420 人加上行政院科技人才會報高科技人才缺口部會分工額外增加 450 人）具 IC 設計應用第二專長之人才，以解決半導體產業人才不足問題，增加人才供給。另外，93 年度將培訓在職工程師 1,600 人次，有效提昇業界工程師素質及技術能力，以協助重點產業發展。

三、國科會工程處：

為了能充分發揮研究能量，造就相關頂尖人才，並進而提供尖端技術服務以提升其他研究團隊之研發效能，並逐年建立 SoC 相關之尖端實驗室；未來將陸續辦理各種講習，並增添系統驗證軟體及測量儀器。

分項二、前瞻產品

一、經濟部技術處：

- (一) 業界科專：未來在業界科專推動部分，將著重在具有規格制定或高整合性之研發聯盟業界科專，尤其在處理器技術領域。
- (二) 法人科專：本計畫為配合 NSoC 旗艦計畫，除 FY92 年執行之 WLAN Communication SOC 技術及 Optical Electronics SOC 技術，已依 FY93 細部計畫審查委員意見，重新修正 SOC Processor 分項工作內容為 PAC (Parallel Architecture Core) Media Processor 計畫，將整體工作目標聚焦於具技術卓越性的 SoC Prototype 之技術開發。目前在 PAC media Processor 關鍵技術項目規劃有五大技術。

- DSP Architecture and RTL Design
- PAC Architecture and Integration
- Low Power Design Methodology and Environment
- Low Power Circuit Design
- Media Processor Product Platform & SOC Integration

執行 PAC Media Processor 計畫，將建立手機 (Cellular Phone)、Smart Phone、PDA 等關鍵元件 SOC 之能量，加速關鍵元件國產化，降低元件取得成本並提昇自製

率。未來更會加速國內 手機產業上、中、下游的垂直供應體系的日趨完整，以協助台灣廠商由製造代工模式逐漸轉向「研發代工」及「品牌業務」，提昇產業競爭力，促進國內手機產業與可攜式設備產業高質化。

另外為配合南部「電信寬頻網路園區」的成立，共同協助南台灣無線、寬頻與光纖通訊網路產業全面發展，以 Telematic SOC 技術為主軸，先由車內控制器/感應器的網路元件/介面之 SOC 技術開發，並進一步朝向車內資訊/多媒體網路 (In-Car Infotainment) 技術發展，搭配中南部汽車電子、汽車零組件業及 20 餘家半導體相關廠商建立關鍵性 SOC 技術，以提昇國內車用電子產業附加價值，並協助國內 IC 廠商開拓車用電子零件市場。

主要發展目標為 Telematic SOC for Central Command & Infotainment Application, 預定開發技術項目包括：

- CAN(Controller Area Network)
- (Local Interconnect Network)
- Mix Signal Interface IC

預期績效指標

- 5 年內促成 3 家新創高科技事業之設立與發展，投資金額達 1 億元
- 5 年內進駐廠商累計達 5 家，並促成研發投資金額達 3 億元
- 衍生創造南部地區就業機會 150 人
- 藉由研討會議及訓練課程培育南部地區人才 600 人次

二、經濟部工業局：

持續宣導並輔導業者申請前瞻應用主導性新產品在前瞻產品設計領域之計畫。

三、國科會工程處：

加強創新系統效能的演算法和架構研究，並探討如何以平台方式利用現有 IP 來快速實現。相關後續推動細節如下：

- (1) MPEG-4 多媒體資訊家電之整合系統晶片設計本總計畫之前三個子計畫規劃德州儀器公司之 DSC25 為系統晶片之方向正確、今將加速引進 DM270、DM320 系統晶片，以及高速多媒體 DM642 晶片發展相關之多媒體 H.264 視訊壓縮系統、網路控制、數據串流、及即時作業系統。並完成今年之初期研究網路視訊監視器 (Web Camera)，MPEG-4 網路音樂播放器。本總計畫之後二個子計畫規劃自製系統晶片根據 single AMBA AHB bus 的系統，加上陸續完成的各周邊裝置，並已建構出完整的雙 RISC CPU 平台之實驗環境，模擬可能的架構與組態，配合多媒體處理單元之 Behavior Model，規劃出一個良好的 Bus Arbitration 方法以符合系統 real-time 之需求。同時將已完成的 DCT、動態估計、及 VLC 編碼硬體架構整合成單一晶片，並且利用 Embedded ARM Based 概念搭配其他子計畫發展之 ARM CPU，完成 H.264 視訊壓縮系統雛形之設計。
- (2) 用於寬頻通信之高性能單一載具整合晶片系統計畫：1) 元件製作量測以及模型製作、2) 加入更多線路單元，提高積體化程度、3) 其他元件之開發以及單一晶片系統之整合、4) Time-Interleaved ADC 架構之創新與突破、5) 高速 ADC 電路之省電

技術、6)10 GS/s ADC 晶片之設計、製作、與量測。

- (3) 生理檢測訊號系統的 SoC 晶片設計計畫 1)完成新的鎖相迴路 時脈電路模組 IP, 生醫訊號處理應用多工器及取樣保持電路及生理檢測訊號 SoC 雛形系統類比前端電路規格、2)完成即時心電圖 QRS 波偵測演算法及醫學訊號壓縮研發、3)完成射頻 CMOS 無線前端零組件電路設計及製作與量測分析驗證,積極整合為單晶片(SOC)設計、4)完成三個新的 AMBA IP,測試介面控制器與電路單元及第一版本的生理檢測訊號系統 SoC(心電圖 QRS 波偵測器系統晶片) 之設計驗證、5)完成發展時脈樹網路上置換緩衝器種類的演算工具,估測繞線訊號串擾量的演算工具及針對 CIC 所提供 ARM Platform 上之各 IP,完成與 ARM922T CPU 結合後之模擬及合成。

(4) MPEG-4/21 SoC 設計及新世代行動通訊之研究計畫

(一) 第一年：系統架構模擬。

1. 訂定內嵌式系統階層記憶體之架構及介面電路,以融合 SRAM+Flash、DRAM+Flash、SRAM+DRAM+Flash 在單一晶片上
2. 針對未來幾年國際多媒體行動通訊規格 (MPEG/ 3GPP) 的發展趨勢做運算元頻率及資料流分析。分析的項目包括多媒體元件 (例如 MPEG 媒體視訊及音效壓縮解壓縮元件)、媒體傳輸通訊協定模組 (例如 RTSP / RTP / RTCP)、及媒體應用程式平台 (Java KVM)。
3. 訂定系統架構並發展第三代無線通訊的模擬工具,建立所有的控制方法且了解其特性,進而建立模組。
4. 建立有助於提升視訊解碼的參數化通道模型和子系統效能評估的整合模擬系統平台。
5. 針對 MPEG-4/21 射頻傳收系統設計所需之設計要項進行技術開發及環境建立。
6. 建立基於 MPEG-4/21 之伺服器系統及客端之編解碼系統在 Java Virtual Machine 作業系統以處理不同編碼格式裝置間的互通之模擬與設計。預定支援 MPEG-2、MPEG-4 SP 及第十部精進視訊壓縮標準(AVC)、漸進精細可調式壓縮技術(FGS)。

(二) 第二年：子模組之製作與實現模擬。

1. 利用整合靜態及動態記憶體結構以研發內嵌式系統階層的記憶體(SSM)。
2. 設計數位基頻晶片加速器架構。目前規畫中的加速元件如 motion compensation、fast RTP packet processing unit、Java KVM subunit 等。並將設計一個介於軟體和韌、硬體間的一個極薄、效率極高的軟硬體作業界面 (系統)。
3. 實踐媒體接取控制層 [Medium Access Control] 模組設計 [包括動態影像解碼控制方法] 於 DSP 層級。
4. 探討一低功率的具容錯能力的視訊編碼之基頻訊號處理子系統實現方案。
5. MPEG-4/21 射頻傳收系統與基頻電路之整合,針對混合訊號電路設計技術作開發研究。
6. 實現基於 MPEG-4/21 之漸進精細可調式壓縮技術之位元流的轉碼器並且配合在 Java Virtual Machine 作業系統上。儲存之位元流將轉碼至多種之位元流格式。預定支援 MPEG-2、MPEG-4 SP 及第十部精進視訊壓縮標準(AVC)、漸進精細可

調式壓縮技術(FGS)

(三) 第三年：3G 無線接取多媒體雛形晶片之整合與測試。

分項三、前瞻平台

一、經濟部技術處：

(一) 業界科專：由於國內 EDA 產業仍再在萌芽階段，除積極協助推動業界申請業務界科專以開發技術外，未來也規劃以「國外企業在台設立研發中心」模式，積極推動國際 EDA 大廠來台設立研發中心，鼓勵與國內產、學、研等單位合作，加速 EDA 相關先進技術落實於台灣產業。

(二) 法人科專：晶片系統 IP 測試評估技術

(1) 9 月 17 日 FY93 技術處細部計畫審查會議中，黃威主任、技術處俞顧問與審查委員明確指示修改計畫名稱與執行方向，並於 10 月 1 日複審通過。修正後之計畫名稱為「超寬頻系統平台與 IP 發展計畫」，全程計畫目標為：

■以都卜勒雷達信號處理次系統為標的，遵從系統工程規範，建立超寬頻晶片系統 IP 發展與驗證共通平台，以及晶片系統設計驗證流程與 IP(品質與功能)驗證規範，進行晶片系統開發之分析、設計、驗證與系統整合，於 FY94 完成共通平台能量籌建與核心 IP 開發，FY95 整合完成 Doppler 雷達信號處理次系統。並利用學界資源，於 FY95 達成核心 IP 之 silicon-proven 晶片實現。

■追隨 IEEE 802.15.3a 規範草案之演進，於 FY93 進行 UWB RF 收發模組與核心 IP 先期研究。FY94 規劃 IP 發展與驗證共通平台如何延伸應用於 UWB 商用產品之開發，FY95 除了以共通平台為載具，修改部分雷達核心 IP 以符合 IEEE 802.15.3a 之規範，並完成 UWB RF 收發模組之研發。

■促成 UWB 產業聯盟，並於 FY95 召開 UWB 產業聯盟成立大會。

超寬頻系統核心 IP 與發展驗證共通平台，以及晶片系統設計驗證流程與 IP 驗證規範，將推廣至本院各計畫以期於 FY95 促成軍品釋商案之建立。

(2) 可測試設計技術子項未來將朝 3Gbps High Speed Serial Link Testing 方向發展，再建立 10Gbps 的測試技術，並開發 Memory Test Compression, BIST-able Design Guideline, SoC Test Design Automation... 等技術。

(3) 針對 SOC 的未來趨勢，系統晶片設計與驗證環境子項未來將建立 0.13um 以下製程，GHz SoC Low Power 設計流程，同時考慮 Timing、Power 與 Signal Integrity 的問題，使設計生產出來的 IC 符合規格，設計流程可以快速收斂(Closure)。另外，也將開發 Static Assertion Based Verification 與 Analog Behavior Modeling 兩項技術，可加快模組或 IP 設計，以及類比 IP 的整合效率。

(4) 前瞻晶片系統產品設計平台子項未來將針對晶片系統產品之設計與驗證整合環境來持續深耕，尤其著重在 SoC Verification Platform 技術，以解決目前晶片設計最大的瓶頸 - 設計驗證，包含測試向量自動化、On-Chip Bus 自動化連接與驗證、以及介面驗證技術。

二、經濟部工業局：

持續宣導並輔導業者申請前瞻應用主導性新產品在前瞻產品平台領域之計畫。

三、國科會工程處：

繼續推動 EDA 設計平台和 TESTING 的量測平台，各項細節描述如後：

- (1) 具有內建自我測試功能之 5GHz 超低功率無線通訊系統之研製計畫 1)將各個射頻電路模組加以測試，進行單一晶片之射頻系統整合、2)將獨立測試各混合訊號電路並進行最佳化，再與相關測試電路整合、3)研究射頻電路內建式自我測試方法、直流電壓與功率特性、及其測試電路之設計、4)加強 Jitter 量測電路對製程飄移的容忍度並分析其本身的誤差、自我測試電路自動產生系統、5)增強基頻接收能力、改善電路功率消耗及錯誤覆蓋率、6)開發低功率數位電路所需的電路資料庫與設計方法、7)具自我測試能力功率通訊系統晶片整合設計。

內嵌式處理器為中心多媒體系統晶片之設計合成及驗證技術研發計畫：持續朝高生產力、低功率以及可生產性研發。因應多媒體應用之高設計技術之需求，本計畫將持續研發自動合成與驗證方法給奈米及單晶片系統。

- (2) SoC 可生產性設計:基礎設施 IP 之研發後續工作將結合數理統計理論，建立精準的可量化評估的模型，並同時開發相關分析、評估軟體如瑕疵模擬器(Defect Simulator)及方法如各式瑕疵測試診斷法等。第二階段將這些技術方法實現到真正的積體電路設計上，開發各種內建自我測試的 IP，並與相關設計及子計畫共同下線以驗證其有效性，並視需要不斷進行改善工程。最後將完成相關的分析、驗證等技術及軟體，甚者能進一步提升其晶片的良率，並開發相關 EDA 工具以加速設計人員使用。
- (3) 對以智財單元為基系統晶片設計之驗證與測試技術開發研究計畫後續工作將照原定計畫所擬定，照進度進行。

分項四、前瞻智財

一、經濟部技術處：

- (一) 業界科專：為健全 IP Mall 之交易機能，將推動 TSMC、UMC 與 IC 設計業者成立「既有 IP 重新矽驗證」之業界科專，並規劃至於 IP Mall 交易。
- (二) 法人科專：1.延續 FY92 之技術成果以及配合產業界所需，進一步發展先進製程如 nano process、TFT LCD process 或 RF IC 所需之相關 ESD 技術。2.將研發之相關技術成果落實到實際 whole chip 上，除與院內執行 IC 產品相關計畫合作外，更期望將技術推廣於院外 IC 設計以及製造廠商。3.擴展 Low power IP 以及 MCU-based SoC Platform 技術至含有設計可測試之功能 (DFT/BIST)，並規劃可程式化 SoC Platform 技術之建立。

二、經濟部工業局：

持續宣導並輔導業者申請前瞻應用主導性新產品在前瞻智財領域之計畫。

三、國科會工程處：

繼續推動系統設計的模擬平台和 SOC 設計實現所需求的關鍵 IP 和系統層級 IP，細節

分別說明如下：

- (1) DVB-T 數位電視接收器創新 IP 設計與 SOC 實作計畫 1)DVB-T 關鍵 IP 與 IC 開發：隱藏式天線、RF tuner、IQ Separator、OFDM demapper、de-interleaver 等技術實現、2)大型產學合作案：由本計畫產出之技術衍生與業界合作之計畫、3)專利申請與技轉：落實自有技術之目標。
- (2) 低功率多媒體晶片系統之貼心(UniCore)處理器計畫 1)大致依照計畫書規畫、2)但額外規劃一版 Mini-Unicore，以整合與驗證所有架構設計構想，並設計出 Complier/RTOS 之雛型，甚至讓參與人員將其完成至 FPGA 或 Layout 設計、3)上述構想好處加速整合團隊默契且增加實戰經驗，完成小型應用例之驗證。
- (3) 低功率多標準多媒體無線區域網路系統單晶片設計在與目前雙頻/多標準無線區域網路 IEEE 802.11a/b/g 相容之情況下，開發新型「全雙頻、全雙工」enhanced QoS 無線區域網路，即 2.4GHz 與 5GHz 同時工作，以及全雙工(full duplex)模式，使得上傳與下載能同時動作，各達 108Mbps，總傳輸率將可達 $108\text{Mps} \times 2 = 216\text{Mps}$ 。並且只增加少量之硬體成本，而不是將 IEEE 802.11a、b、g 三套硬體直接組合，因此在電路設計上，無論射頻、基頻與媒體擷取層，將有需多挑戰要克服。在多媒體影像分面，將完成其他主要之視訊編碼系統效能分析、可程式化多媒體處理器指令集架構設計、低功率可重組化移動估計器智產元件設計，以及低功率可程式化多媒體處理器智產元件設計。
- (4) 百億位元的乙太網路系統晶片設計計畫 1)結合光/電元件、光纖及其他子計畫所研製之電路 IP,進行光/電領域 co-simulation。探討新一代多模光纖及 VECSEL 等元件應用於系統之可行性。期待整合各子計畫之電路,完成系統整合、測試。探討 10 Gbps serial 傳輸方式與 LX4 CWDM(WWDM)方式在成本、傳輸性能...方面的比較、2)結合實際使用之雷射二極體模型參數,進行光/電介面之最終模擬，務求達到光/電介面的擬真性。考量頻率合成器與輸出緩衝器的配合：研究頻率合成器的架構改善之可行性，並評估其是否影響傳送機規格限制的達成。期待整合各子計畫之電路,完成系統整合、測試。解決雷射二極體中所需截止電流，對 0.18um 製程中低供應電壓的限制的問題，使傳送機仍符合最終振幅規格、3)完成本子計畫的設計，晶片製作及量測，並希望本子計畫設計的 IC 可取代子計畫一的現有晶片，達成系統整合。研究 10G 的 Serial transceiver 的可能性、4)高速數位 Adaptive Equalizer 之 VLSI 架構設計、高速 Forward Error Correcting 之 VLSI 架構設計、高效能/低功率之數位基頻電路研究及設計，用於軟體無線電基頻處理之系統晶片設計技術計畫完成 FPGA 雛型系統驗證與 Silicon 驗證。

分項五、新興產業

一、經濟部技術處：

- (一) 業界科專：為健全 IP Mall 之交易機能，將推動 TSMC、UMC 與 IC 設計業者成立「既有 IP 重新矽驗證」之業界科專，並規劃至於 IP Mall 交易。
- (二) 法人科專：9 月 17 日技術處 FY93 細部計畫審查會議中，黃威主任、技術處俞顧問

與審查委員明確指示修改計畫名稱與執行方向，並於 10 月 1 日複審通過。修正後之計畫名稱為「超寬頻系統平台與 IP 發展計畫」，全程計畫目標為：

以都卜勒雷達信號處理次系統為標的，遵從系統工程規範，建立超寬頻晶片系統 IP 發展與驗證共通平台，以及晶片系統設計驗證流程與 IP(品質與功能)驗證規範，進行晶片系統開發之分析、設計、驗證與系統整合，於 FY94 完成共通平台能量籌建與核心 IP 開發，FY95 整合完成 Doppler 雷達信號處理次系統。並利用學界資源，於 FY95 達成核心 IP 之 silicon-proven 晶片實現。

- (1) 追隨 IEEE 802.15.3a 規範草案之演進，於 FY93 進行 UWB RF 收發模組與核心 IP 先期研究。FY94 規劃 IP 發展與驗證共通平台如何延伸應用於 UWB 商用產品之開發，FY95 除了以共通平台為載具，修改部分雷達核心 IP 以符合 IEEE 802.15.3a 之規範，並完成 UWB RF 收發模組之研發。
- (2) 促成 UWB 產業聯盟，並於 FY95 召開 UWB 產業聯盟成立大會。超寬頻系統核心 IP 與發展驗證共通平台，以及晶片系統設計驗證流程與 IP 驗證規範，將推廣至本院各計畫以期於 FY95 促成軍品釋商案之建立。

二、經濟部工業局：

後續工作將以協助 SoC 園區推廣、SIP 交易流通機制規劃研究、SoC 發展效益研究、協助推動系統規格創意中心與晶片系統人才培訓為重點，詳細內容如下所述：

- (1) 對進駐南港 SOC 專區之 IC 設計公司、EDA 業者、IP 公司、設計服務公司加以協助，以加強 IC 設計產業群聚效果。
- (2) 結合我國晶圓專工與 IC 設計產業的堅強實力，配合經濟部技術處 IP Mall 的建置，推動我國成為國際間重要的 SIP 交易流通重鎮。同時進行矽智財交易流通機制研究，並參考國際現行之情況，以作為建制適合我國產業環境之平台之參考。
- (3) 進行無線、光電、Processor 等三大主軸產業在我國發展之效益評估研究，進而導入 SoC 領域，使我國無論在市場或技術都能居於國際領先地位。
- (4) 為促成系統規格創意中心，延續 92 年以 SIG 階段性做法，促進國內電子、半導體上下游業者合作，協助進行系統產品規格制定；並針對各種系統規格作深入研究，並積極參與國際各項標準與規格制定的工作。

捌、檢討與展望

分項一、人才培育

一、教育部：

超大型積體電路與系統設計教育改進計畫於 91 年開始以校際聯盟架構來推動，各聯盟針對特定領域推動相關課程及活動。經 91 及 92 年度的推動，各項推動工作已漸顯其成效，尤以「課程推廣計畫」，其積極運用並推廣聯盟開創發展的教材，對各校課程推動的直接幫助，更顯現出聯盟成立推動的目的與其執行的成果。值得十分的肯定。

至於聯盟未來的推動，鑑於目前聯盟發展的課程架構已漸趨完整、穩定，部分聯盟課程再進一步發展，將會因其跨領域整合的特性產生重複，因此，93 年聯盟重點領域將

略為整併，並針對愈發重要之嵌入式軟領域成立推動聯盟，積極規劃、發展並推廣相關課程、教材與活動。至於聯盟推動的模式，由於推動成效良好，將維持其運作方式。

二、經濟部工業局：

晶片系統人才培訓工作積極搭配「設立半導體學院計畫」所規劃之人才培訓工作，執行成效顯著，確已達成透過整體推動機制之規劃將重要訓練能量進行整合與接軌。其次，亦搭配「設立半導體學院計畫」建立晶片系統人才培訓專屬網站，建置訓練師資、受訓學員與就業廠商之專屬資料庫及資訊分享機制。透過掌握產業人才供需現況與發展，研擬整體半導體產業專業人才發展策略，並進行短中長期人才發展與培訓，以提昇現職人才之專業能力並擴大產業人力供給。在短期前瞻技術提升上，規劃建置實作訓練中心，提供實作訓練需求資源以強化專業人才之實作能力。93年工業局已另成立 IC 設計訓練教室子項，搭配執行成效更能發揮。

三、國科會工程處：

展望未來在系統晶片量測實驗室建置完成後，可達到三項具體之成效：

- (1) SoC 晶片及系統設計環境提供與合作；
- (2) SoC 晶片驗證及測試環境提供與合作；
- (3) 技術交流與教育訓練的合作。

晶片系統之基礎環境建置計畫已建立 SoC 設計基本環境，除提供不同領域教授投入 IC 設計，再配合國科會 SoC 整合設計技術推動計畫，帶動大學院校新入行教授陸續進行 SoC 相關研究，培養許多學生，成果明顯。

分項二、前瞻產品

一、經濟部技術處：

- (一) 業界科專：在未來推動業界科專部分，將鼓勵業者多透過 IP Mall，引進所需 IP 結合本身核心技術，快速提出具有創新且市場所需的 SoC 產品開發計畫。
- (二) 法人科專：近十幾年來，我國電子資訊相關產業在資訊系統產品的帶動下快速成長。以 2002 年為例，半導體產業產值位居全球第四，其中晶圓代工及封裝更居世界龍頭。隨著後 PC 時代來臨，第三波資訊革命—網際網路的興起，行動化、寬頻的通訊與資訊擷取，已成為二十一世紀的風潮，具備易使用、易操作、隨時、隨地皆可使用之通訊、光電、資訊、家電整合系統成為下一世代的產品趨勢。此一輕、薄、短、小、行動化、寬頻及整合性的系統需求，使得行動化資訊技術、電信系統技術、光資訊技術成為未來產業發展的關鍵系統技術，而支援這些系統需求所需要的系統整合晶片技術遂成為最重要的基礎技術。

我國半導體生產技術集中於 CMOS 製程，缺乏高頻/高速製程技術；在產品方面，則多集中在數位資訊應用，在 RF、類比產品的技術投入較少；在 SOC 方面，除了設計技術明顯落後之外，也缺乏 SOC 應用載具，在新產品開發上仍有一段差距。同時，專業人才缺乏、關鍵零組件自製能力薄弱、研發規模不足、缺乏智財及國際標準制定參與程度低、產品測試、驗證環境薄弱等也都是目前遇到的主要問題。

本計畫根據產業需求及技術發展趨勢，期望藉由前瞻產品開發計畫建立 Wireless Communication SOC、Optical Electronics SOC 及 Processor SOC 三大主軸產品/技術，包括 Logic、Mixed-Mode、RF、Product Platform、EDA platform 與 SIP 之相關設計服務，建立國家競爭優勢。以協助建立台灣成為全球系統晶片（SOC）設計與服務中心為願景，建構完整的系統晶片設計環境，創造產品高附加價值，吸引國外 IC 設計服務，強化國際競爭優勢。

二、經濟部工業局：

國內廠商發展現況使然，本年度執行成效良好，後續年度應可順利執行。

三、國科會工程處：

所推動的研究項目已有多家國內研究單位及科技廠商表示合作之意願，我們相信現階段所補助的研究計畫，將有助於提升國內 3C 科技產業之競爭力並培育相關研發人才。以下分別說明各執行計畫的檢討事項和未來展望：

- (1) MPEG-4 多媒體資訊家電之整合系統晶片設計本總計畫之五個子計畫個別之進度順利，期望一年後均能順利完成主要壓縮系統、網路控制、數據串流、及即時作業系統之 DSC25 及 DM270 系統晶片之韌體。同時完成雙 ARM9 之硬體平台及視訊壓縮 H.264 之 DCT、動態估計及 VLC 編碼硬體 IP 的設計。未來將進行子計畫間之整合工作，將進行更深一層之系統整合。本總計畫之研究項目已有多家國內研究單位及科技廠商表示合作之意願，相信我們研究與開發之 MPEG-4 多媒體資訊家電離型系統將有助於提升國內 3C 科技產業之競爭力並培育相關研發人才。
- (2) 用於寬頻通信之高性能單一載具整合晶片系統這是一個為期三年的計畫。目前是第一年，處於計畫初期階段，由於研究團隊，模擬環境與實驗設施的建立造成研究工作進度上之落後，將會因各項工作的陸續開展而逐步完成各項預定目標。未來本計畫在 10 GHz 應用頻率之下的主要技術將採用 CMOS 製程來完成設計與實現，以達成低成本與高整合度之目標。
- (3) 生理檢測訊號系統的 SoC 晶片設計計畫之展望有：1)積極完成生理檢測訊號 SoC 離形系統晶片架構，時序及電路規格制定，並整合生醫訊號檢測方法在含 ARM CPU 的 SoC 中、2)完成計畫規劃產出的數位類比電路及射頻無線通訊 IP, QRS 即時演算法, CAD 設計工具及無線傳輸協定等、3)開發多種生理訊號檢測 SoC 晶片，涵蓋生理醫療技術及訊號資訊、生理檢測訊號系統的整合、基頻數位及類比超大型積體電路設計、射頻前端電路及天線設計與電磁輻射及醫療設備的影響、4)系統晶片測試設備及量測環境與程序之建立，確保整合晶片之可測性分析與改良、5)由於醫學院與醫院在醫療生理方面有厚實的實務基礎，展望第三年繼續邀請醫師及教授參與雙週會談及研究。
- (4) MPEG-4/21 SoC 設計及新世代行動通訊之研究計畫將研發及整合無線通訊之 CMOS RF 高頻電路模組、基頻通訊模組、現有之 ARM CPU/Embedded DRAM IP、Embedded Java Virtual Machine 作業系統、數位基頻處理加速器、嵌入式軟硬體作業界面、媒體接取控制層(Medium Access Control)模組以及 MPEG-21 多媒體通用存取之數位元件可適性之即時視訊轉碼系統。預期本計畫可整合建構

一個具有新世代行動通訊 3G 無線接取(Wireless Access)能力的多媒體高度整合晶片之原型系統(Prototype)。目前國內產業界設計多媒體高度整合晶片，主要的考量仍是以 PC 架構及桌上型置為主。由近年來手機上網及多媒體簡訊風行之趨勢可見未來 3G 無線接取多媒體高度整合晶片將有極佳得發展，而其技術關鍵實繫於 SoC 整合技術之成功。本計畫所研發之 3G 無線接取多媒體高度整合晶片將是未來我國資訊及通訊產業在單晶片應用系統之開發中最重要的核心關鍵技術。

分項三、前瞻平台

一、經濟部技術處：

- (一) 業界科專：在業界科專部分，目前因業者技術能量較弱，申請案件並不多。未來將鼓勵業者結合學術、研究機構等單位之研發技術，共同合作申請科專。
- (二) 法人科專：透過前瞻 SOC 載具產品測試與產品平台整合技術將可協助前 SOC 載具產品除錯與修改，確保順利產出 SOC，提高其設計成功率，完成此 SOC 載具產品之實現。自動化可大量減少人為疏失並降低人力與時間成本，達到 SOC 載具產品快速上市的目標，爭取商機，並可以在較低的測試成本與測試時間下，獲得高品質 SOC 的迅速出貨。

晶片系統 IP 測試評估技術發展計畫第一年的成果堪稱豐碩，唯所設定以提供業界科專測試評估服務為目標，能量籌建必須配合業界科專核定廠商之腳步與意願，計畫之技術產出難以聚焦。在晶片系統國家型計畫辦公室，技術處與計畫審查委員的指導下，將調整計畫方向，使計畫目標清楚表現。冀望以本院豐富之系統開發經驗，訂定晶片系統設計驗證與整合測試之流程，並以 IP 發展與驗證共通平台開發都卜勒雷達信號處理次系統，進而延伸應用於 UWB 核心 IP 開發，並完成 UWB R F T/R 模組之研製，協助國內廠商掌握 UWB 產品之關鍵零組件，進而邀請產學研界共組產業聯盟，以垂直整合產學研界 UWB 之研發能量，讓 UWB 成為 WLAN 後另一個產業明星。

儘管 SOC 之概念已提出許久，國內針對 SOC 驗證之方式大部分仍停留在傳統的仿真(Emulation)驗證或是硬體模擬，國際大廠則早已採用系統級驗證以及高階驗證的方式，不但可在早期發現問題，並可提昇設計再使用率，縮短上市時間。為了提高國內 IC 與 SOC 設計產業的競爭力，有必要針對功能日益複雜的 IC/SOC 產品建立有效率的驗證技術。目前國內在驗證方面的技術與人才極度缺乏，亟需積極投入研發能量於此領域，以確保設計過程的 IP 與 SOC 正確無誤，提昇產品的競爭力。

目前市場上高單價的尖端產品其製程多在 0.15um 以下，顯示整合高複雜度的系統晶片，仍須透過先進的製程技術。然而當製程進入 0.13um 以下的奈米級大小，極深次微米效應也同時顯現，包括漏電流、信號串音(Crosstalk)、電感效應、基底噪音(Substrate Noise)等，均會影響設計電路的正確性與效能。因此，一個確保能在極深次微米製程中，依然能滿足設計規格的快速硬體實現流程，成為該產品能否準時上市的重要因素。未來本計畫將持續投入此流程的建立與改進，使得各設計計畫在晶片實現過程，均能達成低功率消耗、高良率與一次便成功(One Pass)的業界領先標準。

Platform-based Design 是 SoC 設計的關鍵方法，包含產品設計平台與 EDA 設計驗證平台，尤其著重在軟硬體之整合設計與驗證。設計平台必須要針對產品應用來加以分析，並做出差異化，才能適切應用於實際產品。未來消費者應用產品趨勢為輕薄短小、可攜式、省電、具無線傳輸功能為主，系統晶片產品設計平台亦將針對這樣的趨勢來規劃與建立，以發揮最大價值與貢獻。

二、經濟部工業局：

現階段平台產品都為外商所生產，屬寡占市場進入門檻高，且前瞻平台產品現階段非國內業者擅長，致 92 年度申請情形就不好更遑論通過，惟仍應持續宣導推廣，期使我國 SOC 發展上能趨於完整。惟原始規劃之應用經費應可彈性讓部會應用於前瞻產品上，或是整體檢討時適予調整。

三、國科會工程處：

奈米級製程的 SoC 設計、測試與診斷扮演更重要的角色，未來將持續推動高頻和內嵌式處理器為中心多媒體系統晶片之設計合成及驗證技術。各執行計畫之檢討和展望說明如下：

- (1) 具有內建自我測試功能之 5GHz 超低功率無線通訊系統之研製計畫本群體計畫執行至今，主要工作項目都按原訂計畫進行。唯一年的時間，無法完成的整個系統的建構，希望能將計畫延續至原定的三年期限方能順利完成原定目標。
- (2) 內嵌式處理器為中心多媒體系統晶片之設計合成及驗證技術研發計畫：奈米級單晶片設計充滿挑戰，本計畫將持續長程且富野心之研發。
- (3) SoC 可生產性設計:基礎設施 IP 之研發未來複雜的晶片系統測試與診斷將越來越困難，使用傳統的方法有其限制，同時先進的製程也帶給設計者更多的挑戰。因此本計畫將使用更前瞻性的做法，希望所開發的技術能隨製程的進步而具有實用性。晶片的測試診斷必須嵌入在晶片內部來實現，才能真正了解瑕疵真正的行為模式。展望未來，我們期望所開發的軟體及相關技術，發揮它的實用價值，精準又快速地診斷出行為異常的晶片，加速工程人員的分析工作，使晶片的良率提升能更加得有效率。

對以智財單元為基系統晶片設計之驗證與測試技術開發研究計畫，本計畫目前之進度皆照原定計畫進行，且達成預定成果。本計畫將如期執行獲得成果。

分項四、前瞻智財

一、經濟部技術處：

- (一) 業界科專：鼓勵 IC 設計業者結合 EDA 廠商、Foundry，共同發展核心 IP 開發計畫。
- (二) 法人科專：本分項計畫旨在制訂符合台灣 IC 產業界的 SOC/IP Qualification 標準，藉此加速與促進 IP 流通及其設計重複使用、整合、驗證、測試等技術之交流，以健全國內 IC 業設計環境。並開發 SoC On-Chip Bus 驗證解決方案，有效解決 SoC 驗證瓶頸並加速晶片之開發並降低失敗風險。IP Qualification & Validation 技術，包括建立前瞻 SOC On-Chip Bus Assertion-based Verification 技術，提供業界先進 SOC

驗證技術，可減少業界 SOC 開發成本並加速產品開發時程、建立 SOC Synthesizable Verification IP 模型資料庫，以提供業界 SOC 驗證解決方案以及建立 IP Qualification 的標準以作為 IP 品質評比的依據，促進台灣/全球 SOC 產業 IP 之流通，進而促成 SOC 之競爭力，並協助建立台灣成為全球 SOC 設計服務中心。IP 安全交易平台技術將進行 SOC 設計智財服務標準流程及線上交易機制開發，建構完成矽智財線上安全交易平台，將全世界的 IP 商品放在一起，加快 SOC 設計業者的設計開發時程，並促進國內外 IP 的流通，做到「One Stop Shopping」，一次購足，促成台灣成為全球矽智財交易中心。

可再用 IP 的高度重複利用是提高設計生產力的最佳捷徑，也是 SoC 能夠成功的重要關鍵，而這有賴於整體環境的配合，包含 IP Qualification 標準的制訂，以及政府於制度面的支持，才能真正促成 SoC/IP 產業的蓬勃興起。總之，SoC 時代需要有持續建立的 Reusable IP Database 做後盾才能達成 SoC Design，縮短 Time-to-Market。

二、經濟部工業局：

IP 的推動，在學術界較容易進行，但在產業界較不易推動，主要是因商業模式尚未建立，許多廠商仍在觀望。未來應建構在成功的 IP 商業模式，並進行推廣，鼓勵業者申請前瞻智財的主導性新產品，同時搭配 IP MALL 的流通機制，創造更多 IP 再使用的成功案例。惟原始規劃之應用經費應可彈性讓部會應用於前瞻產品上，或是整體檢討時適予調整。

三、國科會工程處：

目前系統晶片設計技術以及相關 IP 的研究進度大致符合，未來希望建構系統模擬平台和 IP 模擬模型，採合作互動方式達成更具效率的驗證和相關 SoC 設計的實現。以下分別說明各執行計畫的檢討事項和未來展望：

- (1) DVB-T 數位電視接收器創新 IP 設計與 SOC 實作計畫此次數位電視之發展，被視為是電視發展史上的第三次革命（第一次為電視發明，第二次為電視畫面由黑白變彩色），除了技術層次的進步之外。市場規模之龐大亦不可小覷。國內學術界對於 DVB 數位電視之研究目前可算是草創時期，目前相關 DVB-T 解碼晶片論文發表相當少。由於此領域為消費性電子產品發展相當重要之趨勢，且歐美各國都還在針對此議題持續發展中。因此我們決定以此領域深入研究，以期能在此波數位電視革命與歐美並駕齊驅。
- (2) 低功率多媒體晶片系統之貼心(UniCore)處理器計畫之展望有：1)計畫工作順利、2)但整體感覺在跟時間賽跑，希望加速設計之壓力總是存在！
- (3) 低功率多標準多媒體無線區域網路系統單晶片設計延續目前的研究成果，加上新型「全雙頻、全雙工」無線區域網路架構的開發，冀望在未來的兩年半內能夠繼續完成上述後續工作構想之重點。從科技應用的實用性角度來評估，所發展出來的射頻傳送電路模組、enhanced QoS 全雙工低功率多標準架構，以及 ARM platform-based 系統單晶片平台與相關軟硬體整合驗證方法與流程等，對於國內日漸蓬勃的多媒體通訊積體電路和系統製造產業，均有相當程度的貢獻。
- (4) 百億位元的乙太網路系統晶片設計計畫之展望有：1)多模光纖理論模型的建立仍有困難待克服。光/電 Co-simulation 軟體工具仍在整合中。由於計畫經費有限，較不易使

用公信力已獲得最多公認的某些軟體工具。基於經費限制，尚無法購買 Golden Receiver 作為測試標準。區域網路、接取網路、都會網路是未來光通信較具發展潛力的重點,也是政府目前宣佈未來重大公共建設寬頻網路建置項目中不可或缺之一環,10 GbE(10 Gbps 乙太網路)預料會扮演重要的角色,故本計畫之執行實深具意義、2)高頻多工器之設計仍有困難待克服,其中面積、消耗功率與速度需做取捨考量。為達成輸出緩衝器特定特性的調控,需較多的 pads,增加實驗的難度與浪費晶片的實際使用面積。多工器中的機制為十轉一,同時有十組輸入同時變化,欲達成所有的輸入情況,須在只有一輸入信號源的限制下,產生十組不同相位的訊號輸入,此機制需多加考量。區域網路是未來國家發展光通信深具發展潛力的重點,也是目前宣佈未來建設寬頻網路中不可或缺之一環,也將促使 10-Gb Ethernet (10 Gbps 乙太網路)的需求日益加增,預料技術與商機上會有長足的進步,故本計畫之執行實令人充滿期待、3)仍需更緊密與各子計畫合作。研究本計畫的產出可否運用在其他系統、4)提出更多 VLSI 架構設計實現,並提出高速測試驗證之方法,以期能達到數位基頻電路能廣泛的使用在高速光纖通訊系統上。高速基頻電路之效能評估,以低功率/高效能之電路架構設計來達成低成本且廣泛使用之目的。尋求更有效率之數位基頻電路演算法,以提高更有效率的光纖傳輸效能。

用於軟體無線電基頻處理之系統晶片設計技術計畫進度大致符合,未來希望更具效率地採合作互動方式來進行驗證。

分項五、新興產業

一、經濟部技術處：

- (一) 業界科專：減少業者對於 IP 上架交易安全性之疑慮，鼓勵國內 IC 業者交易，同時規劃鼓勵業者辦理 IP Mall 之國際推廣活動，以吸引國外 IP Provider 參與交易，加速台灣 IP Mall 國際化。
- (二) 法人科專：晶片系統 IP 測試評估技術發展計畫第一年的成果堪稱豐碩，唯所設定以提供業界科專測試評估服務為目標，能量籌建必須配合業界科專核定廠商之腳步與意願，計畫之技術產出難以聚焦。在晶片系統國家型計畫辦公室，技術處與計畫審查委員的指導下，將調整計畫方向，使計畫目標清楚表現。冀望以本院豐富之系統開發經驗，訂定晶片系統設計驗證與整合測試之流程，並以 IP 發展與驗證共通平台開發都卜勒雷達信號處理次系統，進而延伸應用於 UWB 核心 IP 開發，並完成 UWB RF T/R 模組之研製，協助國內廠商掌握 UWB 產品之關鍵零組件，進而邀請產學研界共組產業聯盟，以垂直整合產學研界 UWB 之研發能量，讓 UWB 成為 WLAN 後另一個產業明星。

二、經濟部工業局：

- (一) 在執行協助進行 SoC 專區推廣籌設分項計畫時發現，半導體產業能有目前的成就，政府的大力支持與各項輔導措施實功不可沒，在未來持續推廣 SoC 設計專區的工作以及 SoC 設計專區地點的評估與土地的取得，更需仰賴跨部會與相關單位資源整合及擴大協調合作，如中央與地方的協力配合，並制定相關輔導措施積極推動，以獲

得各界支持，讓「晶片系統產業發展計畫」能協助半導體產業及高科技產業之轉型與發展。

- (二) 在執行推動「協助進行系統規格創意中心推廣分項計畫」時發現，國內內需市場規模在國際間仍太小，政府實有必要持續推動擴大業者經營規模，並提供設計業者完善的發展環境，以培養我國 IC 設計能力，尤其是在類比、高頻、系統方面技術的提升，並協助我國業者積極參與國際標準規格制訂組織，推動/加強國際系統單晶片測試及認證廠商來台技術合作，以提升我國在技術及標準制定的掌握能力。
- (三) 本年度計畫共舉辦四場次國內招商說明會、一場次國外招商、一場次國外專家技術交流會、六場次技術交流會以及一場次策略論壇，成效顯著且普遍受業界支持，累計參與人數達數百人次之多，參加成員涵蓋產業上中下游，而累計參加廠商在產業中的市佔率亦高達八成以上。未來除應新闢前瞻性技術及市場主題外，仍應持續辦理本年度各主題之後續議題討論，除可繼續爭取業者支持外，更可擴充產業資料庫、擬定未來之推動執行計畫等。
- (四) 由於 IC 設計所需之軟硬體設備及工具均相當昂貴，產業界並無此能力各自建置適當之實作培訓環境，若無足夠經費支持因應，在人才養成時之實作訓練與經驗累積上有相當之困難，因此 SoC 專區中創投資金的進駐，以及各項育成中心的輔助，對於規模小正在成長型中的設計業者有著相當強的吸引力。
- (五) 由於國內產品發展同質性過高，在技術面以類比、高頻、系統等較為薄弱，尤其在 SoC 技術已成為國際半導體業者全力發展之領域下，我國 SoC 相關設計、製造、封裝和測試技術，以及自有關鍵 IP 均有待加強。
- (六) 本年度透過訪談及各種交流管道，完成超過 50 家次廠商意見調查，惟上述之調查及服務均為短期性質，雖以建立完整之相關記錄，建議未來在執行計畫時，應將此份資料做為重要之參考依據，並擴大產業服務範圍。
- (七) 此外，國內業者進入產業高度競爭環境下，希望執行單位能持續協助國內業者提供各個主要經濟體（如：北美、歐洲、日本、大陸）市場情報/策略和智財權/專利情報有更深入的了解，成為進軍國際市場的重要依據。

科技計畫成果效益自評表

(92 年度晶片系統國家型科技計畫)

(請由計畫辦公室外聘委員評審)

壹、基本資料：

計畫名稱：晶片系統國家型科技計畫

主持人：張俊彥

編號(檔號)：_____

計畫期間(全程)：2003 年 1 月至 2005 年 12 月

年度經費：新台幣壹拾肆億柒千陸佰玖拾陸萬元(2003)

執行單位：技術處 工業局 教育部 國科會

貳、計畫目標與執行內容是否符合(如有差異，請說明)

委員一：執行及目標相符合，很高興看到國內能全力推展這樣大型的科研計畫，此計畫對國內 SoC 及有關產業界的正面推動，有很重要的影響。

委員二：大致相符合。

委員三：最終實質效果尚難評估，惟階段性計劃目標及執行內容符合，五大分項計畫，人才是主要的基本。

委員四：計畫目標之訂定與執行內容之大綱確為一致符合。

參、計畫已獲得之主要成就與成果(output)滿意度(如論文篇、技術移轉經費/項數、技術創新項數、技術服務項數、專利項數、著作權項數等)

委員一：本計畫發表的論文篇數相當可觀，尤其是 ISSCC papers 是非常難得可貴的。以項目來說，Wireless 的研究項目最多(稍有些重複)，Optic electronics 其次，雖然項目少，可是報告成果十分可圈可點。

(1) IP Mall 是一個重點，對刺激產業界對創新開發，提高重視。

(2) 專利及著作權數目可觀，也有好幾個產學合作、初步成功的案例。

(3) NSoC 也造就不少專業人才，對產業界注入不少生力軍。

(4) 本計畫發表的論文篇數相當可觀，尤其是 ISSCC papers 是非常難得可貴的。以項目來說，Wireless 的研究項目最多(稍有些重複)，Optic electronics 其次，雖然項目少，可是報告成果十分可圈可點。

- (5) IP Mall 是一個重點，對刺激產業界對創新開發，提高重視。
- (6) 專利及著作權數目可觀，也有好幾個產學合作、初步成功的案例。
- (7) NSoC 也造就不少專業人才，對產業界注入不少生力軍。

委員二：就國家型計畫執行第一年而言，成果尚稱滿意，更應就內含進一步分析，第一年成果對往後第二年、第三年目標之達成關係如何，預測其重要性。

委員三：5 Papers in 2004 ISSCC 成果甚佳，專利總計 149 件數量不少，由專利所開發出前瞻性產品可評估專利的價值及品質。

委員四：本計畫產生之主要成就與成果就報告書講尚稱滿意，但有多大的經濟效益產值，尚未能看到。

肆、評估主要成就及成果之價值與貢獻度(impacts)(請從學、技術創新、經濟效益、社會衝擊等影響面)

委員一：

- (1) 從教學角度，有許多新的課程，有明顯”量”的增加。
- (2) 不僅如此，教學也有重大”質”變，現在新課程增加了很多實用的設計課程，因此，學員卒業後，對 SoC 產業可以很快的投入所學。
- (3) 希望在明年可看到更密切的產學合作。
- (4) 而且能夠找到更多的 Killer applications。

委員二：自評部分應再深入，本計畫中重要 output 往往要比一年更長，如果系統架構無法在第一年確定，應用無法 identity 其成就可能有限，第一年已知的缺陷如何在下年度修正是最重要的課題，產、學、研之交集已有互動仟應加強，尤其是在題目方向之選定，與人才之培育。

委員三：建立 CIC infrastrnctre 台大、成大 SoC 基礎研究環境，交大、中興 SoC 設計驗證及測試環境建立及 SoC 相關研究計劃在大學中進行，達到人才培育，經由技術創新建立高價值的半導體產質。

委員四：在學術方面成就尚可，技術創新方面成果不甚明確，經濟效益則得評估，在社會衝擊方面有朝 SoC 形成氣勢的風潮。

伍、與相關計畫之配合程度(其他非 NSTP 之 Program 或其他 NSTP)

委員一：NSoC 和電信國家型計畫，可謂是相輔相成，後者注重 System design，而前者著墨於 Component design，兩者的 integration 可對國內產業界，有最有利及有力的幫助。

委員二：較缺乏與其他國家型計畫之主動，如生物計畫、奈米計畫等。

委員三：技術處計畫經費\$909758 仟元，經由法人科專(工研院為主)，可整合相關計畫達到

建立豐富的 SIP，整合 EDA 利用 Foundry 優勢，吸引全球 talent 來台灣開發新產品。

委員四：尚佳。

陸、計畫經費的適足性與人力運用的適善性

委員一：

- (1) 經費運用合宜。
- (2) 人力運用亦佳。

委員二：業界參與部分似有不足之處，學校部分則可更聚焦，可以採階段性目標之達成為繼續支持之方法，以增加其可用性，降低計畫失焦之風險。

委員三：各行單位，均能有效運用經費整合產官學研人力。

委員四：尚適當。

柒、後續工作構想及重點之妥適度

委員一：

- (1) 為了增加 Impacts，可以考慮由 NSoC 出面(出資)，將各分項的 IP 統一，型成一個 bundled IP 體，如此可增加外界對 NSoC IP 開發的重視及利用。
- (2) IP Mall 也是一個很重要的指標，可以考慮由國家出資，設立一個 IP Mall 法人，再加上健全的 Rating System，如此 IP Mall 有了公信力，參加產業界應該會更踴躍了。

委員二：

- (1) 把系統應用當做重點，與其他系統相關計畫增加合作。
- (2) 思考 IP Mall 之運作模式，為了初期之公正獨立產可考慮法人研究機構執行，等階段性成果而且 commercialize 可行性有之後再考慮 spin off。
- (3) 學校的研究計畫應再加強整合度，可考慮由 CIC(國家研究院)來整合。
- (4) 提高等者之參與度，建議業界提出暑期受訓機會，例如 1000 名 2 個月，增加學校、產業之互動，也可增加教授對實際問題之了解。
- (5) 旗艦計畫之管理應分不同 phase 在初期由 R/D 計畫支持，第二階段才考慮投資(開發基金)以免風險過高。
- (6) 學校新課程之開發應注重整合不同 displace，如軟、硬體之整合，Analyze-mix mode, embedded software、機械系統、生醫儀器等，以增加學生在系統概念之了解。

委員三：如何加強參與系統規格制定為後續工作重點之一，前瞻產品、平台及智財能經由相關 SoC 計畫加以整合，例如前瞻智財提供產品所需的 SIP 經由前瞻平台完成系統設計、驗證及測試。

委員四：

- (1) 人才培養主求深度。
- (2) 前瞻平台主求能實際運用及符合市場需求。

捌、檢討與展望

委員一：

- (1) 希望能在不久將來看到更多更密切產學合作，問題是龍頭企業(如：台積電)並沒有任何 incentives，而中小企業則沒有 Vision 作 long-term research 的投資，所以 NSoC 更有必要催化 SoC 的產學合作。
- (2) SoC 從技術層看，有絕對必要將 hardware 及 Software 作緊密結合，如果教育部能鼓勵新的 Institutes for Embedded processor/software，這樣可訓練新一代的 SoC 工程師對 Integrated h/w & s/w 能有更深刻的認識，以及更周全的培育/培訓。

委員二：政府政策開放，經費支持前瞻產品開發。

委員三：及早規劃如何將研究成果開發出市場。

委員五之綜合結論：

本計畫 92 年度執行成效頗稱豐富，各分項計畫主持人均為一時之選，分別之評述如下：

- (1) 人才培育部分綜合教育部，工業局及晶片系統中心為一體，是為要點，惟人才之來源建議擴及大陸人才及如何建立大學教授短、中期徵調至產業界制度，頗值得考慮，此一制度應考慮年資之連續，所得之鼓勵，大學特別是系統增補因應人才流出所需資源之來源等。
- (2) 與奈米國家型計畫對應如何合作，尚為正確，中科院在電信國家型計畫已有系統驗證部分，本計畫所會與上述計畫之關連需加強。
- (3) 本計畫之 IP Mall 建立計畫，頗為重要，但涉及多家公司之財產權，私下交易如何處理，如何做記錄？記錄是否應建立保密等級等等，尚需在執行過程中逐漸形成。