

行政院國家科學委員會專題研究計畫 成果報告

矽製程被動元件之設計與特性分析及其在射頻積體電路上 之應用(I)

計畫類別：個別型計畫

計畫編號：NSC92-2218-E-009-015-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電信工程研究所

計畫主持人：林育德

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 10 月 12 日

行政院國家科學委員會專題研究計畫成果報告

矽製程被動元件之設計與特性分析及其在射頻積體電路上之應用 Design and Characterization of Passive Components in Silicon-Based Process and Their Application in RFIC's

國科會計畫編號： NSC 92-2218-E-009 -015

執行期限： 92 年 8 月 1 日 至 93 年 7 月 31 日

主持人： 林育德 國立交通大學電信系教授 E-mail: ydlin@cc.nctu.edu.tw

一、中文摘要(及關鍵字)

螺旋電感是射頻電路裡重要的元件，其 L 值及所對應的 Q 值、共振頻率和電感面積都是很重要的參數。傳統螺旋電感 Q 值低(4.5~10)，面積大($> 0.045\text{mm}^2$)。本案就以相同 L 值水準，朝著較傳統電感面積更小，Q 值高為設計方向。因 0.18 μm 製程提供六層金屬，想要達到上述目標並非難事。

本案提出三種新型架構電感，分別為：3D 多層金屬重疊式對稱型電感、3D 多層金屬非重疊式對稱型電感及多層金屬堆疊對稱型電感，根據與 UMC 0.18 μm 1P6M 電感比較之量測結果，皆可達到 Q 值較其高面積較其小的目標，其中效果最佳者為 Q 值高 51%，面積小 1.91 倍；在報告結論中會做一些此等比較。

關鍵字：電感、L 值、Q 值、小面積、3D、對稱型、多層金屬使用。

Abstract

Several innovative RF CMOS on-chip inductor structures, including 3D symmetrical inductors, 3D non-overlapping symmetrical inductors and symmetrical multi-metal layers connected inductors, are presented in this report. Modern VLSI technology provides multi-metal layers utilization, for example, TSMC 0.18 μm 1P6M process supports one polysilicon and six metal layers, where the metal consists of aluminum alloy. Compared with typical inductors, our designed inductors that achieve much higher quality factor with smaller area at the same inductance level can be more easily integrated with other RF IC devices.

Keywords: 3D, symmetrical inductors, stacked, non-overlapping, inductance, quality factor and small area.

二、研究動機與目的

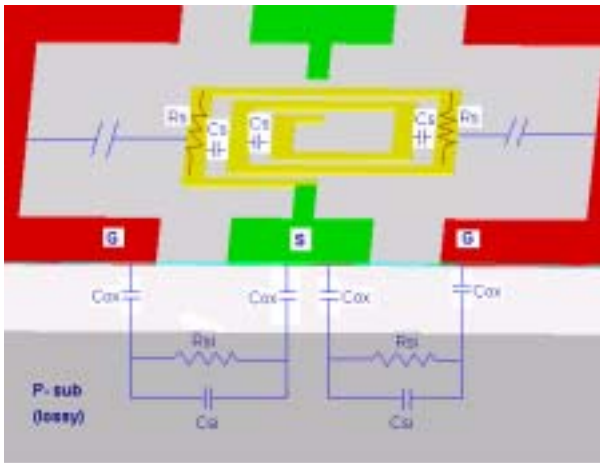
對於積體電路的環境而言，差動型操作(differential operation)可有效隔絕及減低來自於基板的損耗和雜訊，所以明顯優於單端式操作(single ended)。而積體電路多層金屬的特性，利用其中最上面幾層金屬用 via 連結在一起，可有效降低導體損耗，或是在不同金屬層間繞圈，可大幅節省面積。有鑑於此，本人將致力於 3D 對稱型電感之研發。此種電感可應用於任何形式之射頻積體電路(2~6GHz)。另外，有損耗的矽基板對電感工作也是一大傷害，如何有效降低電感和矽基板間的耦合在本文中也有所提及。

三、研究方法與成果

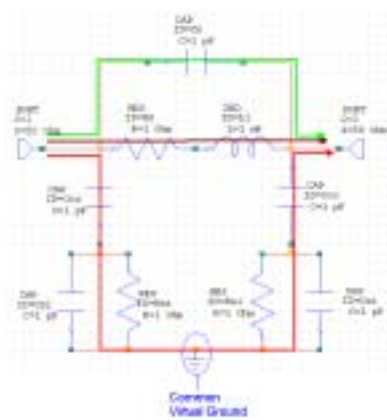
3.1 設計原理與方法

使用 Ansoft HFSS 作 3D 的電磁模擬。需注意的參數有線寬、線距、外徑，使用金屬層等。因高頻操作(2.GHz)集膚深度(skin depth)約 2.7 μm 左右，電流大部分集中在導體兩側，換言之，徒增線寬對改善電感 Q 值沒有多少幫助。另外線距若太小降低自振頻率，故本案之電感線寬固定 10 μm ，線距固定 5 μm 。

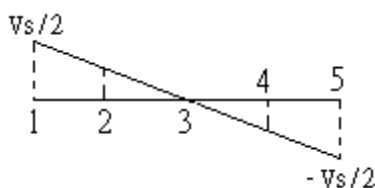
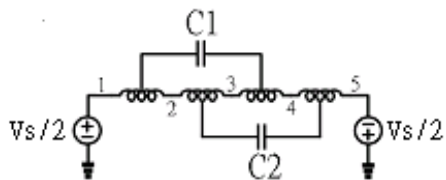
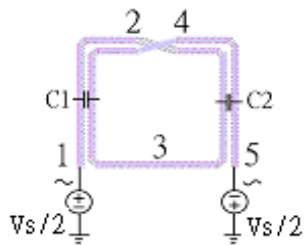
3.2 元件原理及架構介紹



(a)



(b)



(c)

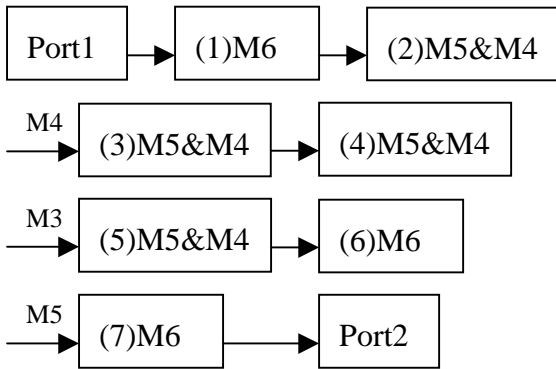
如上圖(a)所示[1],其中每一個元件的物理意義茲將一一解釋。一般來說,簡易的模型不考慮影響不大的電容耦合效應,單純只有電阻和電感的串聯模型。在這裡,因須計較每個寄生效應對電感高頻操作的影響,故用較複雜的模型。其中 R_s 代表非理想導體造成的損耗, L 為電感值, C_s 代表金屬層間 overlap 的電容, C_{ox} 代表導致能量耦合至基板的氧化層電容, silicon 為半導體,故用 R_{si} 和 C_{si} 代表矽基板的損耗及和 Ground 之間之耦合。圖(b)為其簡化之 pi 模型。當對稱型電感差動式操作時,其中耦合至基板損耗的路徑如圖(b)紅色箭頭標示,本來的接地點變成共同的虛接地點,如此耦合至基板之電容將串聯,因對稱型電感兩邊寄生電容值相同,則會形成最小之等效電容值,即為原來的一半,一般非對稱型電感兩邊寄生電容值相差甚多,縱使差動式操作,所能降低的電耦合有限,此為為何對稱型電感較非對稱型電感 Q 值較高的主因。

另外一點要注意的是對稱型電感線圈和線圈間的線距(spacing)不能太小[2],因其兩端電壓分布較一般非對稱型螺旋電感為急劇變化,如上圖(c)所示,故若 spacing 太小 C_s 的影響將會很明顯,大幅降低自振頻率 f_{sr} 。

Danesh 等人[3] 提出對稱型架構可使電感兩側寄生電容均勻分布,可有效提昇 Q 值。Zolfaghari 等人[4] 和 Tang 等人[5] 提出 3D 微小堆疊式電感,其可在有限面積內產生極高的感值,茲結合兩者之優點並做一些佈局上的改良,提出三種新型電感架構: 3D 多層金屬重疊式對稱型電感 3D 多層金屬非重疊式對稱型電感及多層金屬堆疊對稱型電感,並將之量測結果與 UMC 電感作比較。

(1)3D 多層金屬重疊式對稱型電感

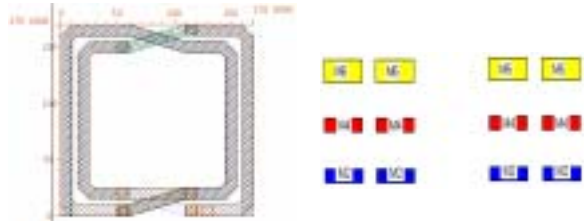
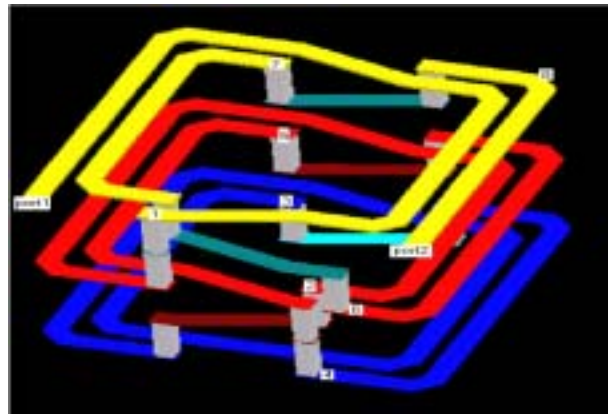
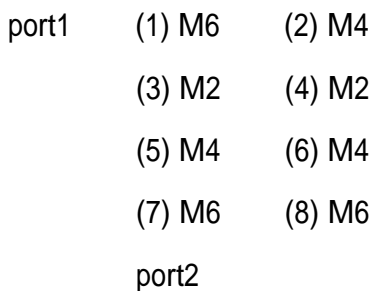
電流走的路徑如下圖編號所示：



Yellow-M6	Red-M5	Blue-M4	
Brown-M3	White-via		



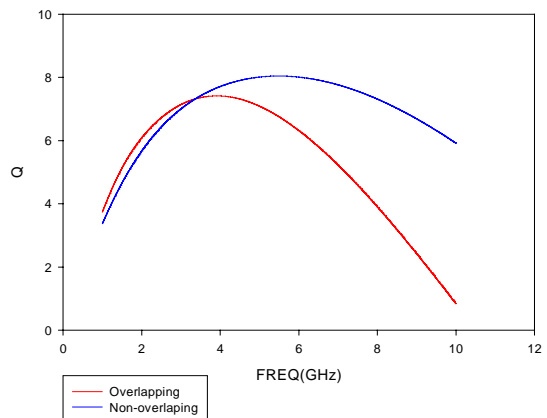
其中因為 M6 厚度 2.06um，M5 及 M4 厚度 0.58um，兩者差距甚多，為了有效降低導體損耗，將 M5 和 M4 用最密的 via 連結在一起。此電感為 4 圈。此種架構可延伸之六圈，如下頁所示：



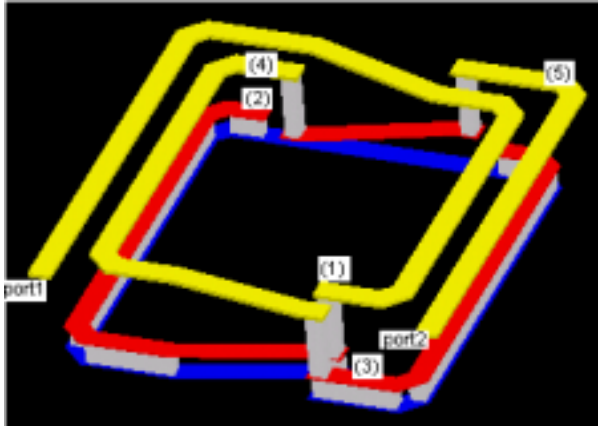
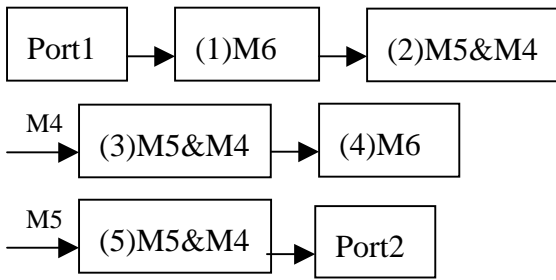
Top View

Lateral View

前述之電感因為上下層金屬重疊相距很近的關係，proximity effect 會在彼此造成些許的 eddy current，等效上來講就是導體損耗或輸入阻抗實部增加 $Re(Z_{in})$ ，且彼此間 overlap 的電容 C_s 也會大幅降低自振頻率，比較如下圖所示，雖然在 Q 值方面非重疊式並沒有特別突出，非重疊式 $Q_{peak}=8.04$ ，重疊式 $Q_{peak}=7.41$ ，但是可看出前者自振頻率 f_{sr} 明顯高於後者，此為非重疊式多層金屬對稱型電感價值之所在。此電感為 3 圈。



(2)3D 多層金屬非重疊式對稱型電感



Top View



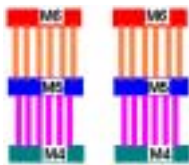
Lateral View

(3)多層金屬堆疊對稱型電感

如圖所示，此為一共面結構(coplanar)，為了降低導體損耗，將 M6、M5 及 M4 用 via 連結起來，希望有效降低寄生電阻 R_s ，提高 Q 值。此電感為 4 圈。

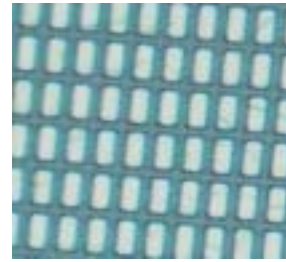


Top View



Lateral View

另外，我們亦在電感中心加了一去磁耦合器 (magnetic decoupler)，希望能降低矽基板中產生的渦電流[6][7]，此舉亦為降低電感和矽基板間之負磁耦合效應，其細微結構如下所示：

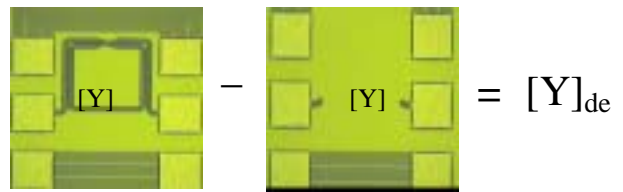


其材料為 poly 層。編號後有 md 者即為有加上磁耦合器之電感。

3.3 實作及量測結果

佈局裡加了 open 的 dummy pads 作 de-embedding。

De-embedded Process:



$\Rightarrow [Y]_{de}$ transforms to $[S]_{de}$ or $[Z]_{de}$

$$\begin{cases} V_1 = Z_{11}I_1 + Z_{12}I_2 \\ V_2 = Z_{21}I_1 + Z_{22}I_2 \end{cases}$$

$$Z_{in} = \frac{V_1}{I_1} \Big|_{I_2=0}, \quad I_2 = -\frac{Z_{21}}{Z_{22}}I_1 \Rightarrow Z_{in} = Z_{11} - \frac{Z_{12}Z_{21}}{Z_{22}}$$

$$Q = \text{Im}(Z_{in}) / \text{Re}(Z_{in}), \quad L = \text{Im}(Z_{in}) / (2\pi f)$$

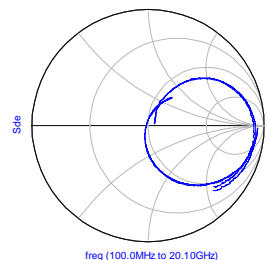
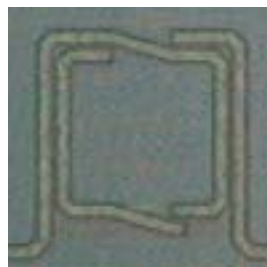
本案設計之電感架構皆在 UMC 0.18um 及 TSMC 0.18um 有實作經驗，以下是量測結果：

UMC 0.18um 1P6M

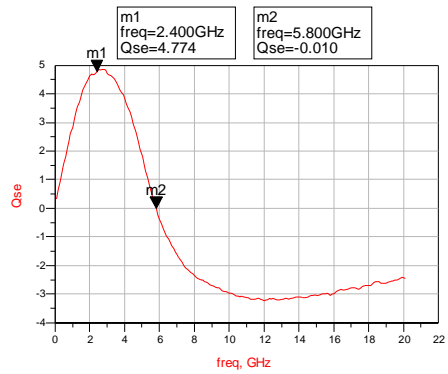
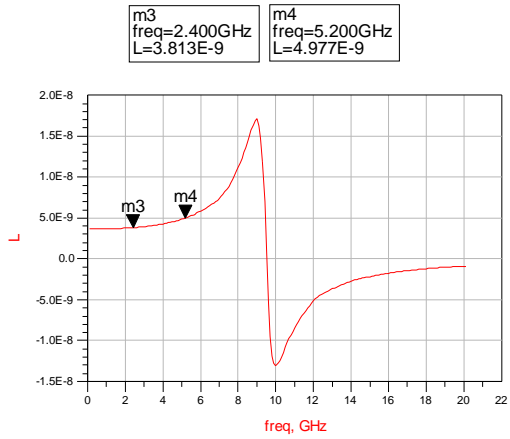
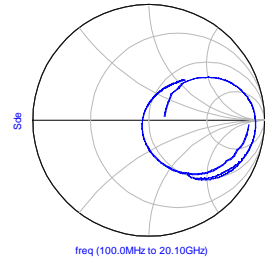
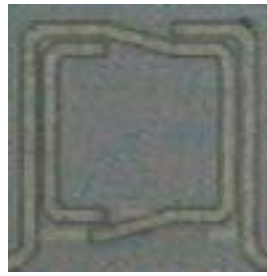
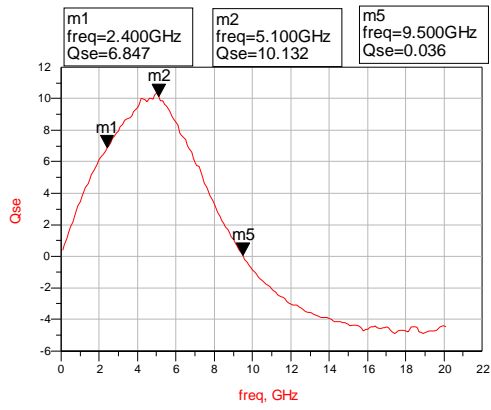
(1) 3D 多層金屬重疊式對稱型電感

No. sym_od170um_3d4t

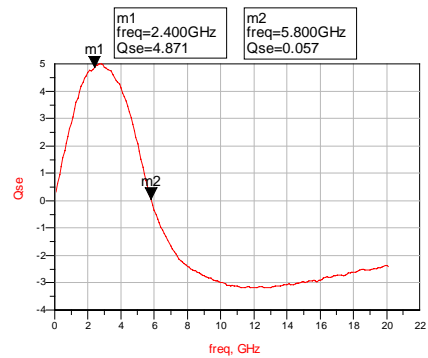
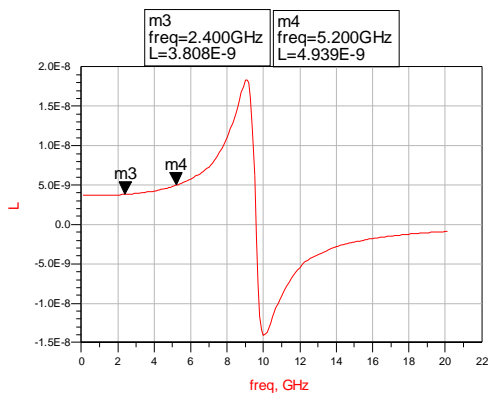
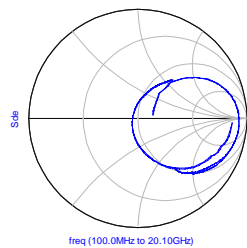
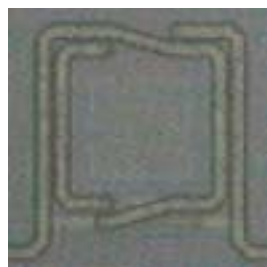
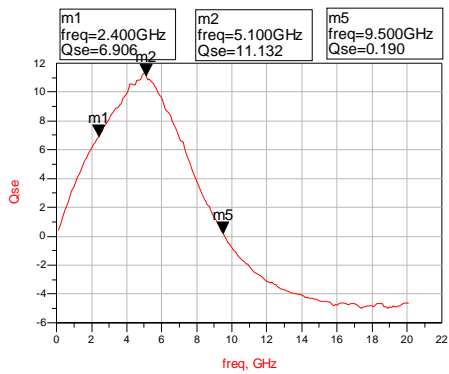
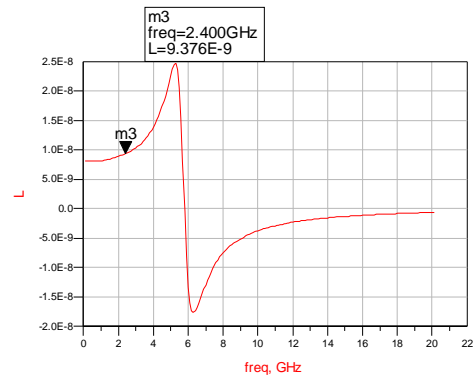
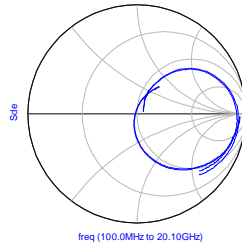
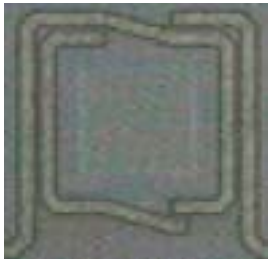
Area=170um*170um=0.0289mm²

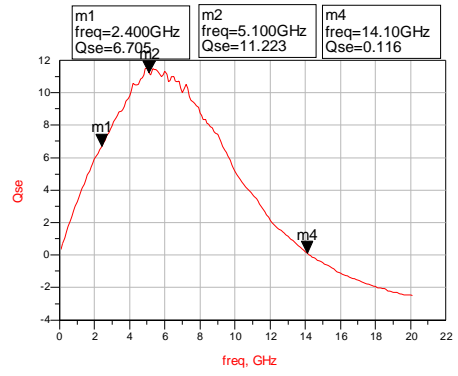
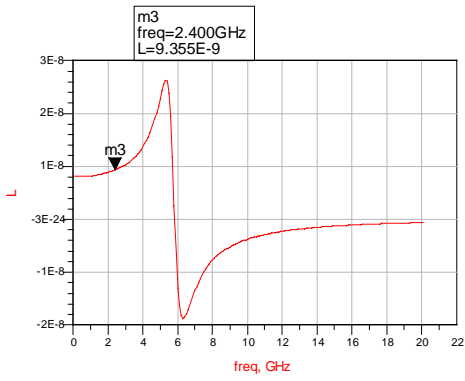


No. sym_od170um_3d6t
 Area=170um*170um=0.0289mm²



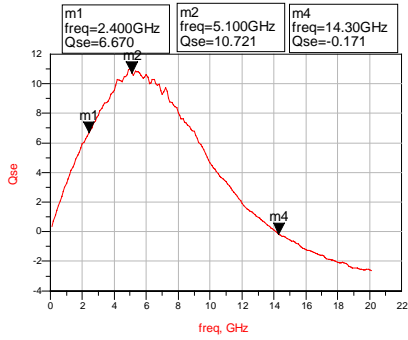
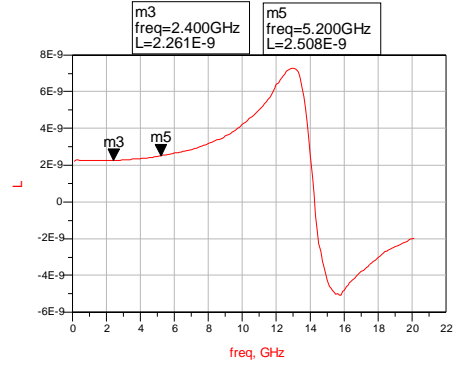
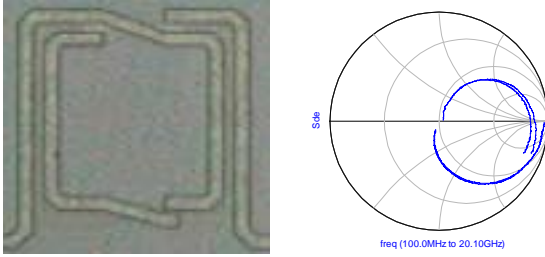
No. sym_od170um_3d4t_md





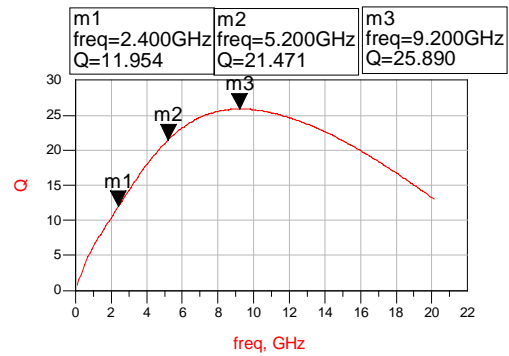
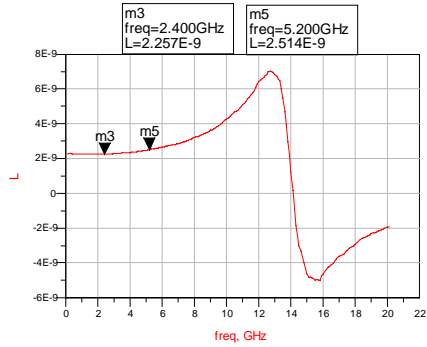
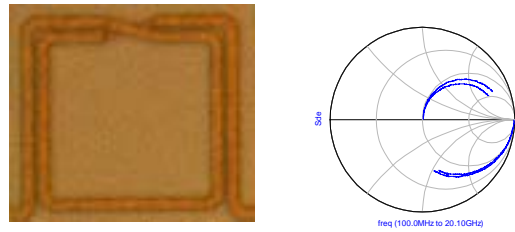
(2) 3D 多層金屬非重疊式對稱型電感

No. sym_od180um_3d3t_nol
 0.18mm*0.19mm=0.0342 mm²

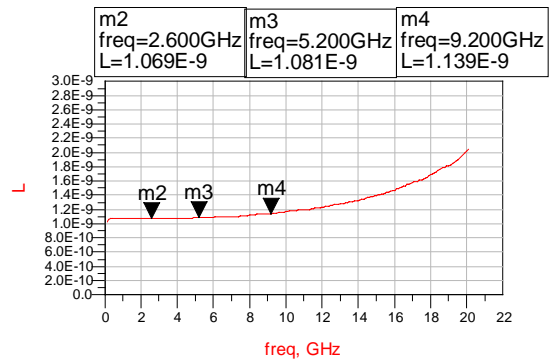
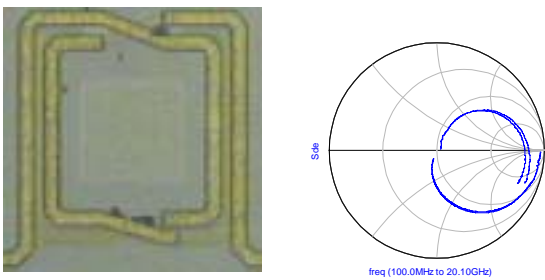


(3) 多層金屬堆疊對稱型電感

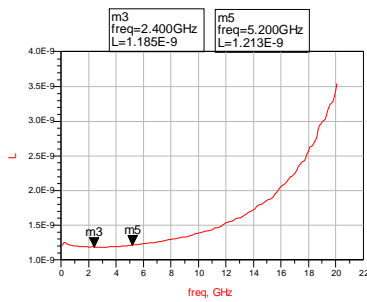
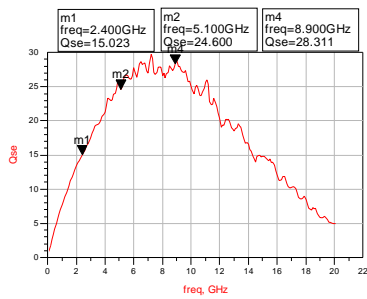
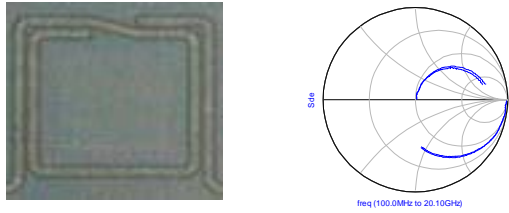
No. sym_od210um_3m2t
 0.21mm*0.19mm=0.0399mm²



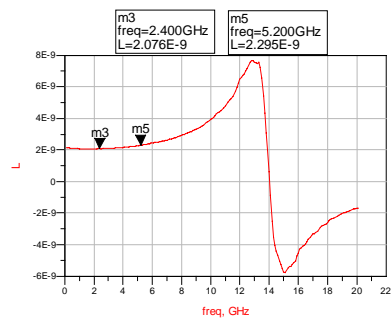
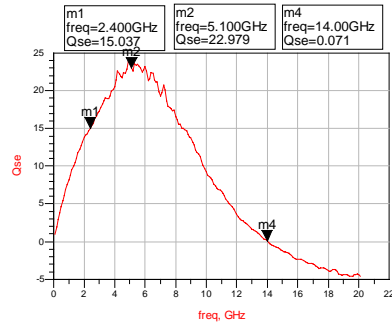
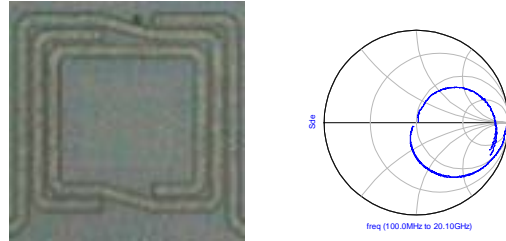
No. sym_od180um_3d3t_nol_md



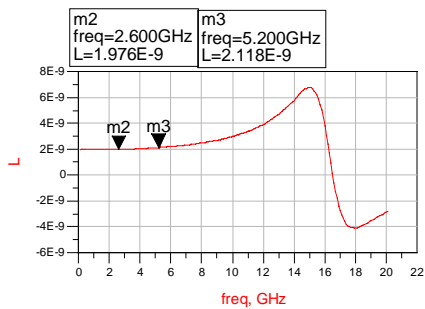
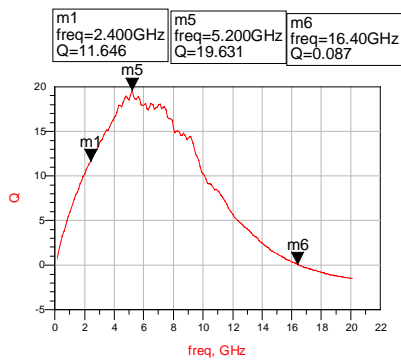
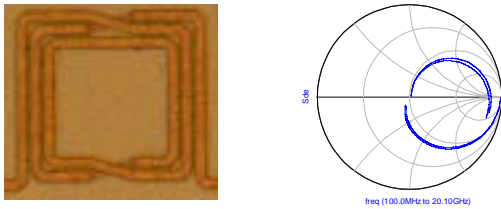
No.sym_od210um_3m2t_md



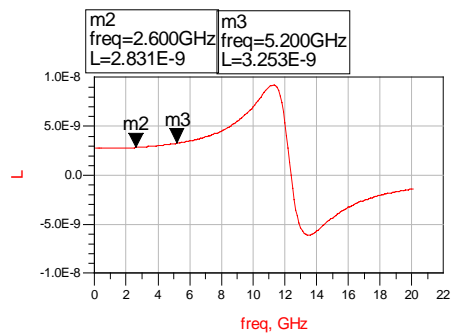
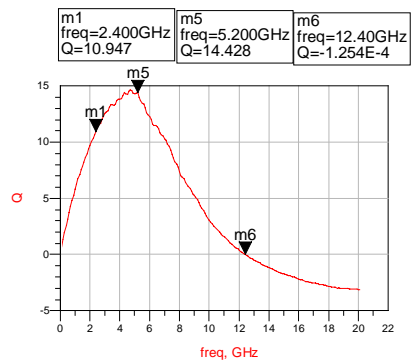
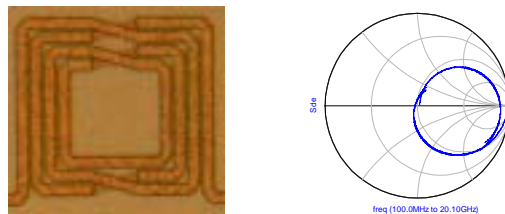
No.sym_od210um_3m3t_md



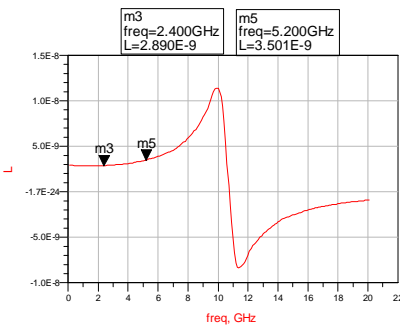
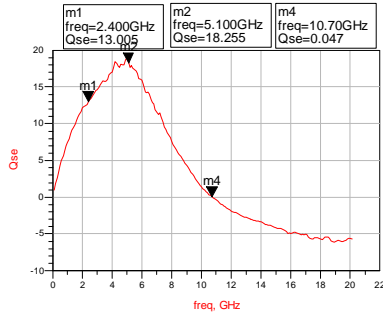
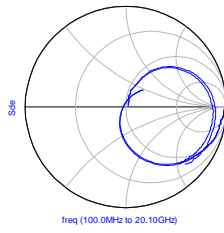
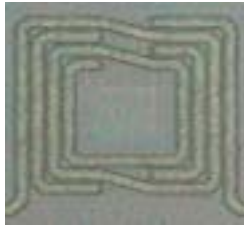
No. sym_od210um_3m3t
0.21mm*0.19mm=0.0399mm²



No. sym_od210um_3m4t
0.21mm*0.19mm=0.0399mm²



No.sym_od210um_3m4t_md



列表整理：

No.	Sym Od170um 3d4t	Sym Od170um 3d6t	Sym Od180um 3d3t_nol
Qmax	10.13	4.774	10.721
Q@ 2.4GHz	6.85	4.774	6.67
Q@ 5.2GHz	10.13		10.7
L@ 2.4GHz	3.813	9.376	2.257
L@ 5.2GHz	4.977		2.514
fsr(GHz)	9.5	5.8	14.3
Area(mm ²)	0.0289	0.0289	0.0324

No.	Sym Od170um 3d4t_md	Sym Od170um 3d6t_md	Sym Od180um 3d3t_nol_md
Qmax	11.132	4.871	11.223
Q@ 2.4GHz	6.91	4.871	6.705
Q@ 5.2GHz	11.13		11
L@ 2.4GHz	3.81	9.355	2.261
L@ 5.2GHz	4.94		2.508
fsr(GHz)	9.5	5.8	14.1
Area(mm ²)	0.0289	0.0289	0.0324

No.	Sym Od210um 3m2t	Sym Od210um 3m3t	Sym Od210um 3m4t
Qmax	25.89	19.631	14.428
Q@ 2.4GHz	11.954	11.646	10.947
Q@ 5.2GHz	21.471	19.631	14.428
L@ 2.4GHz	1.069	1.976	2.831
L@ 5.2GHz	1.081	2.118	3.253
fsr(GHz)	>20	16.4	12.4
Area(mm ²)	0.0399	0.0399	0.0399

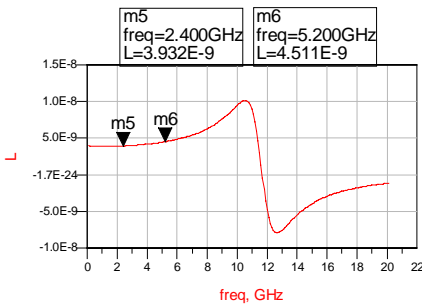
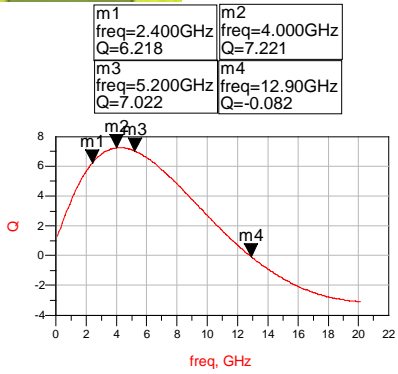
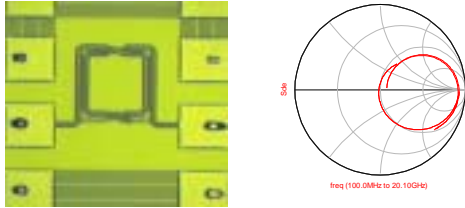
No.	Sym Od210um 3m2t_md	Sym Od210um 3m3t_md	Sym Od210um 3m4t_md
Qmax	28.311	22.979	18.255
Q@ 2.4GHz	15.023	15.037	13
Q@ 5.2GHz	24.6	22.5	18
L@ 2.4GHz	1.185	2.076	2.89
L@ 5.2GHz	1.213	2.295	3.5
fsr(GHz)	>20	14	10.7
Area(mm ²)	0.0399	0.0399	0.0399

TSMC 0.18um 1P6M

(1) 3D 多層金屬重疊式對稱型電感

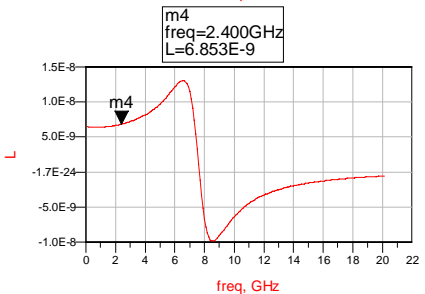
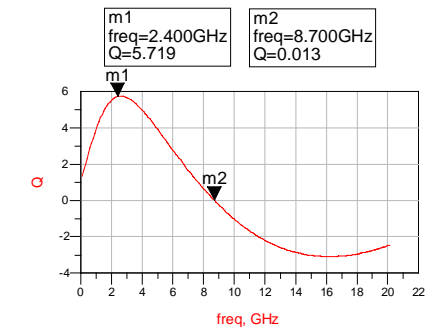
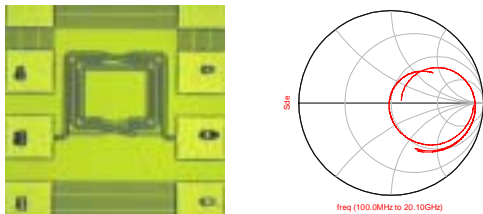
No. sym_od160um_3d4t

0.16mm*0.175mm=0.028 mm²



No. sym_od210um_3d5t

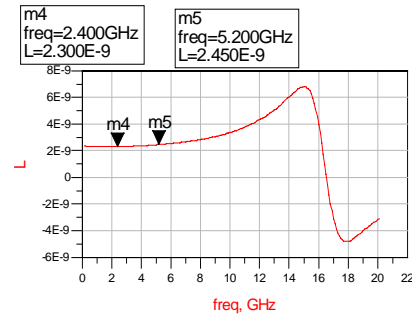
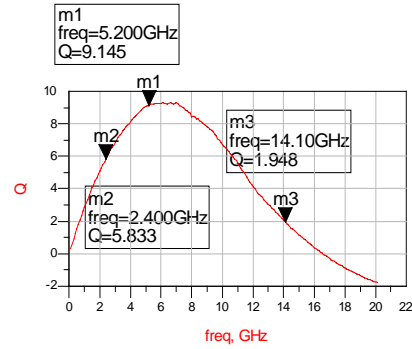
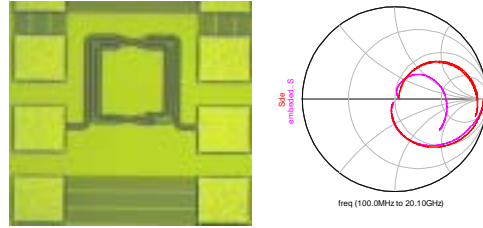
0.21mm*0.19mm=0.0399 mm²



(2) 3D 多層金屬非重疊式對稱型電感

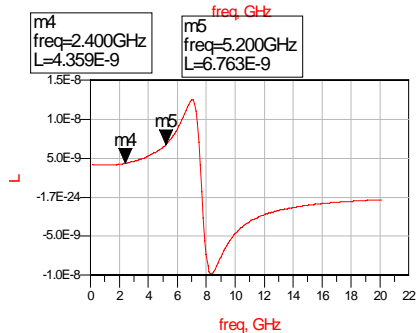
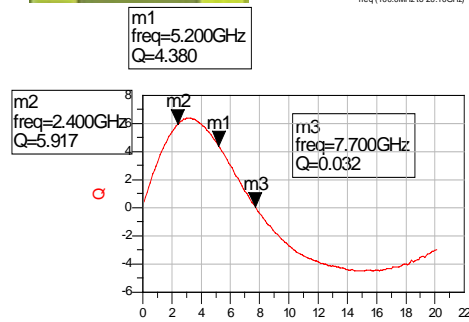
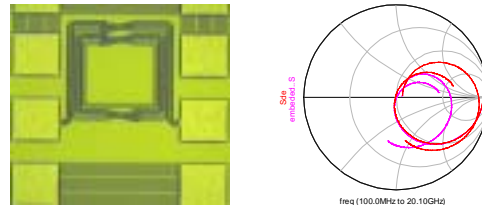
No. sym_od180um_3d3t_nol

0.18mm*0.19mm=0.0342 mm²

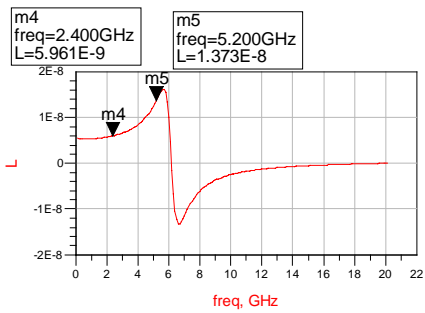
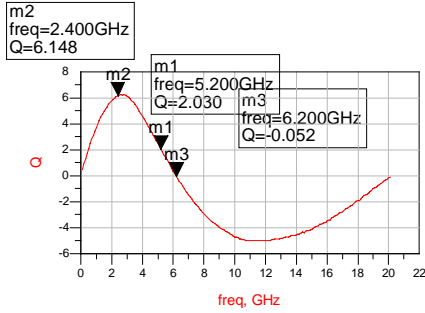
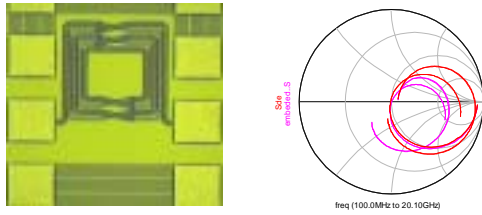


No. sym_od210um_3d4t_nol

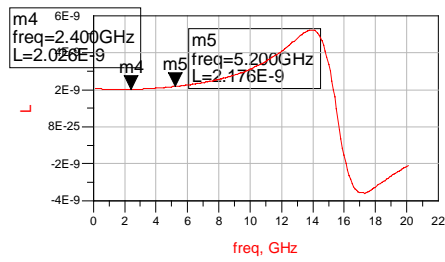
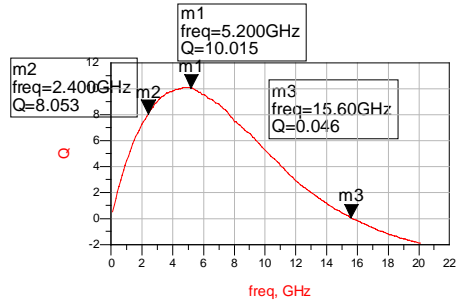
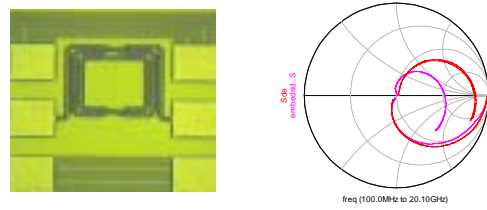
0.21mm*0.19mm=0.0399mm²



No. sym_od210um_3d5t_nol
 $0.21\text{mm} \times 0.19\text{mm} = 0.0399\text{mm}^2$

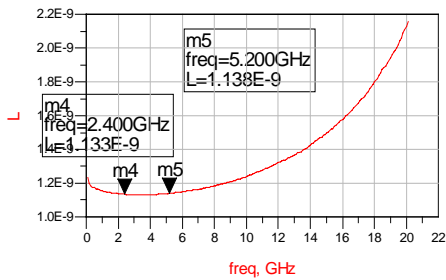
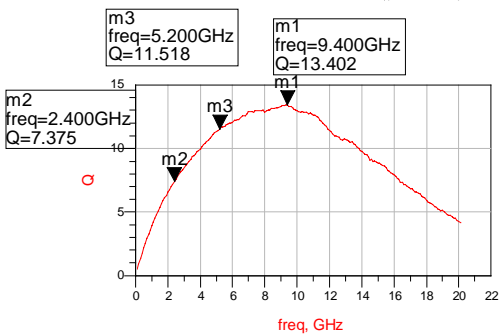
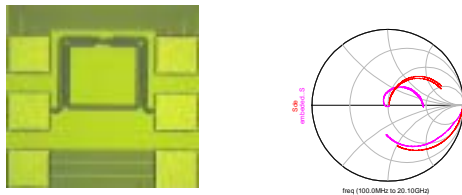


No. sym_od210um_3m3t
 $0.21\text{mm} \times 0.19\text{mm} = 0.0399\text{mm}^2$

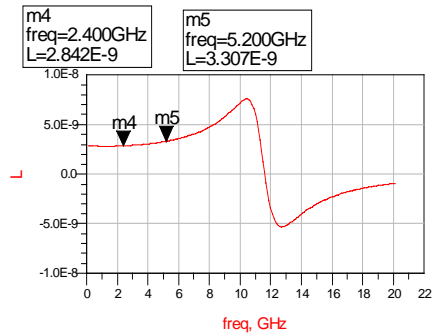
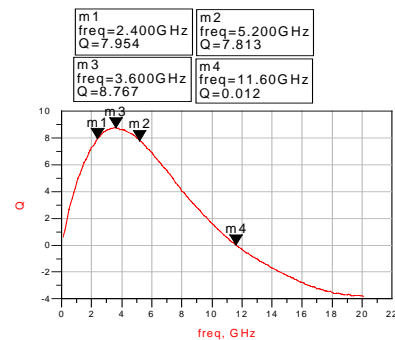
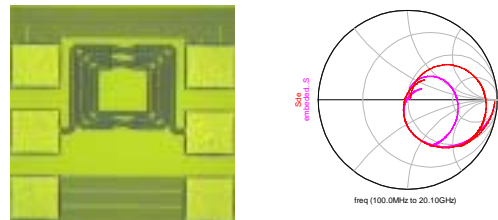


(3) 多層金屬堆疊對稱型電感

No. sym_od210um_3m2t
 $0.21\text{mm} \times 0.19\text{mm} = 0.0399\text{mm}^2$



No. sym_od210um_3m4t
 $0.21\text{mm} \times 0.19\text{mm} = 0.0399\text{mm}^2$



列表整理

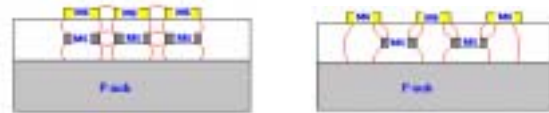
No.	sym_ od160um_ 3d4t	sym_ od210um_ 3d5t
Q _{max}	7.2	5.72
Q@ 2.4GHz	6.22	5.72
Q@ 5.2GHz	7	
L(nH)@ 2.4GHz	3.93	6.85
L(nH)@ 5.2GHz	4.51	
fsr(GHz)	12.9	8.7
Area(mm ²)	0.028	0.0399

No.	sym_ od180um_ 3d3t_nol	sym_ od210um_ 3d4t_nol	sym_ od210um_ 3d5t_nol
Q _{max}	9.15	6.2	6.15
Q@ 2.4GHz	5.833	5.92	6.15
Q@ 5.2GHz	9.145	4.38	2.03
L(nH)@ 2.4GHz	2.3	4.36	5.96
L(nH)@ 5.2GHz	2.45	6.76	
fsr(GHz)	14.1	7.7	6.2
Area(mm ²)	0.0342	0.0399	0.0399

No.	sym od210um 3m2t	sym od210um 3m3t	sym od210um 3m4t
Q _{max}	13.4	10.015	8.766
Q@ 2.4GHz	7.345	8.053	7.954
Q@ 5.2GHz	11.518	10.015	7.813
L(nH)@ 2.4GHz	1.133	2.026	2.842
L(nH)@ 5.2GHz	1.138	2.176	3.307
fsr(GHz)	>20	15.6	11.6
Area(mm ²)	0.0399	0.0399	0.0399

3.4 結論

1. 同樣感值的電感 UMC 較 TSMC Q 值高出許多。
2. 從 Q 值的改善約略可看出磁耦合器多多少少可以降低矽基板中渦電流, 此為節省成本的方法。
3. 善加利用多層金屬, 有效降低導線寄生電阻及提高面積使用效率
4. 導線 90° 轉角處改以 45° taper 取代, 如此可在不浪費任何面積的條件下, 有效減少寄生效應。
5. 線寬和線距保持為 10um 和 5um, 電容耦合小。因高頻時集膚效應的關係, 電流會集中在導體邊緣, 故導線太寬沒有意義, 反而增加電容耦合且佔面積
6. 感值高時, 非對稱型並無較對稱型電感 Q 值方面來的高, 反而較佔面積, 原因如下圖:



非對稱型雖然上下金屬層錯開, 同時對基板之耦合也增加, 故可說明之。

7. 對稱型架構可使電感兩側寄生電容均勻分布, 改善 Q 值並節省面積, 以下是與 UMC inductor 之比較, 方法是取兩感值相近之電感比較 Q_{max} 和面積。

No.	Sym_ Od210um_ 3m2t	IND_C1
L(nH)	1.07	0.98
Q _{max}	25.98	19.41
Area(mm ²)	0.0399	0.075076

No.	Sym_ Od210um_ 3m3t	IND_C3
L(nH)	2	1.9
Q _{max}	19.631	12.96
Area(mm ²)	0.0399	0.076176

No.	Sym_ Od210um_ 3m4t	IND_C5
L(nH)	3	2.9
Qmax	14.428	11.6
Area(mm ²)	0.0399	0.092416

No.	Sym_ Od180um_ 3d3t_nol	IND_C4
L(nH)	2.5	2.37
Qmax	10.7	12.4
Area(mm ²)	0.0342	0.082944

No.	Sym_ Od160um_ 3d4t	IND_C8
L(nH)	4.3	4.37
Qmax	10.665	10.2
Area(mm ²)	0.028	0.068644

[6] A. M. Niknejad and R. G. Meyer, "Analysis, design, and optimization of spiral inductors and transformers for Si RF IC's," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1470-1481, Oct. 1998.

[7] C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-Based RF IC's," *IEEE J. Solid-State Circuits*, vol.33, pp.743-752, May 1998.

四、參考文獻

- [1] J. R. Long and M. A. Copeland, "The modeling, characterization, and design of monolithic inductor for silicon RF IC's," *IEEE J. Solid-State Circuits*, vol. 32, pp. 357-369, Mar. 1997.
- [2] B. Razavi, *Design of Integrated Circuits for Optical Communications*, McGraw Hill, 2003.
- [3] M. Danesh, J. R. Long, R. A. Hadaway and D.L. Harnome, "A Q-factor enhancement technique for MMIC inductors," *IEEE MTT-S Digest*, 1998.
- [4] A. Zolfaghari, A. Chan and B. Razavi, "Stacked inductors and transforms in CMOS technology," *IEEE J. Solid-State Circuits*, vol. 36, pp.620-628, Apr. 2001.
- [5] C. C. Tang, C. H. Wu and S. I. Liu, "Miniature 3-D inductors in standard CMOS process," *IEEE J. Solid-State Circuits*, vol. 37, pp.471-480, Apr. 2002.

