

行政院國家科學委員會專題研究計畫 成果報告

超薄本體之絕緣層上矽快閃記憶體元件

計畫類別：個別型計畫

計畫編號：NSC92-2215-E-009-061-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：張俊彥

計畫參與人員：陳經緯、彭辭修、陳怡誠、王凱立、鄭兆欽

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 11 月 19 日

超薄本體之絕緣層上矽快閃記憶體元件

“Ultrathin Body SOI Flash Memory Device”

計畫編號：NSC92-2215-E-009-061

執行期間：92年8月1日至93年7月31日

主持人：張俊彥 交通大學電子工程系教授

一、中英文摘要

中文摘要

為了配合 SOI 元件的低電壓操作的應用並利用高介電(high-k)常數材料的特性來達到降低漏電流提升快閃記憶體(flash memory) retention 的目的，在本實驗中，我們將研究在高介電 HfSiO₄ 薄膜中形成奈米晶格(nanocrystal)的技術來製作記憶體元件，並利用 HfO₂ 高介電材料來當作快閃記憶體中金屬-絕緣層-金屬(MIM)結構中的絕緣層。

我們發現當 HfSiO₄ 薄膜在高溫氧氣環境下熱退火處理後，HfSiO₄ 將在結晶化而形成奈米晶格，且其大小為 7.8 nm 而密度分佈為 $9.2 \times 10^{11} \text{ cm}^{-2}$ 。此外，我們也發現到奈米晶格產生後會造成表面崎嶇不平，而組成鍵結亦會由 Hf-O-Si 的鍵結逐漸變成僅是 Hf-O 的鍵結。從電性分析中顯示，增加負閘極電壓時，有更多的電子由閘極注入 HfSiO₄ 並被電子缺陷補抓而導致很大的平帶電壓(V_{fb}) 正向移位。而由 Double-IV 的量測可估算出其等效距心 \bar{X} 為 2.2 nm 與等效電子缺陷密度 Q_t 為 $4.78 \times 10^{-7} \text{ C/cm}^2$ 。另一方面，我們製作並研究以高介電材料 HfO₂ 作為絕緣層的金屬-絕緣層-金屬電容。此 MIM 電容具有約 $5 \times 10^{-9} \text{ A/cm}^2$ 的低漏電流密度與 $3.4 \text{ fF}/\mu\text{m}^2$ (在 100 kHz 頻率下) 的高電容密度。而溫度係數與頻散效應均不大，而其電流傳導機制符合 Frankel-Poole 型式。

英文摘要

In order to achieve the low voltage application for the SOI device and to reduce the leakage current for improving the retention of the flash memory, we have investigated forming the nanocrystals in high-k HfSiO₄ film for memory device and also using the high-k HfO₂ material to be the insulator in metal-insulator-metal (MIM) for flash memory.

We have found that the HfSiO₄ will re-crystallize to form the nanocrystals when it is annealed in O₂ ambience at high temperature. A size of 7.8 nm and a dot density of $9.2 \times 10^{11} \text{ cm}^{-2}$ for the nanocrystals are obtained. In addition, the surface roughness is dramatically increased when the nanocrystals are formed. Besides, the dominating Hf-O-Si bonds will also gradually transform to the Hf-O bonds when the HfSiO₄ is re-crystallized. The electrical characteristics of HfO₂ nanocrystal memory are also investigated by measuring $C-V$ and $I-V$ curves. We have found that more electrons are injected from gate into the HfSiO₄ as increasing the negative gate voltages and trapped by the electron traps to increase the positive shift of flat-band voltage (V_{fb}). Moreover, the centroid (\bar{X}) of 2.2 nm and the trap charge density (Q_t) of $4.78 \times 10^{-7} \text{ C/cm}^2$ are calculated by the double-IV measurement. On the other hand, the metal-insulator-metal (MIM) capacitors with high-k HfO₂ dielectrics have been fabricated and investigated. The

results show a low leakage current density of 5×10^{-9} A/cm² and a high capacitance density of 3.4 fF/ μm^2 at 100 kHz in the MIM capacitors. The temperature coefficient and frequency dispersion effect for these MIM capacitors are very small. The conduction mechanism is extracted to be dominated by the Frenkel-Poole (FP) emission.

二、計畫的緣由與目的

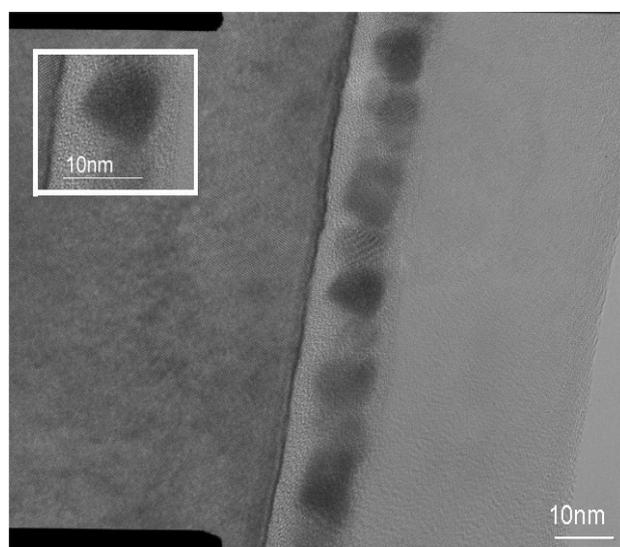
不同於揮發性記憶體的電荷漏電以及高電能消耗問題，非揮發性記憶體具有低工作電壓和低電能特性，提供更多可攜帶性電子元件的應用，而其中廣被使用的為快閃記憶體。然而快閃記憶體亦有一些缺點，第一，為了得到好的 retention 與 endurance 特性，需要較厚的穿透氧化層(8~11nm)，卻也造成較高的工作電壓、較慢的寫/讀速度跟較差的微縮能力(scalbility)。第二，經過多次的寫/讀週期，穿透氧化層的品质會有所毀壞，加上多晶矽的浮停閘具有導電性，因此儲存在浮停閘的電荷將會直接藉由穿透氧化層而漏掉。為了改善上述的缺點，奈米晶體記憶體已證實可以取代快閃記憶體[1]。另一方面，HfSiO₄ 由於其較薄的界面層、平滑的界面及較好的熱穩定性[2]，HfSiO₄ 可當作閘極介電層材料。然而在高溫退火的製程，HfSiO₄ 會結晶化並削減元件效能[3][4]。在本實驗中，我們發現當 HfSiO₄ 結晶時，將形成奈米晶體可作為記憶體的應用。此外，就 MIM 電容器而言，電容器的電容密度是一個相當重要的特性參數[5][6]。而採用高介電係數材料製作 MIM 電容器是一個提升電容密度相當有效率的方式，且應用在快閃記憶體亦可降低漏電流而改善其 retention。

因此，為了配合超薄本體 SOI 元件的低電壓應用與降低漏電流以提高快閃記憶體的 retention，所以引進 HfSiO₄ 與 HfO₂ 高介電常數的薄膜分別作為奈米晶體記憶體與金屬-絕緣層-金屬(MIM)結構中的絕緣層，並進一步研

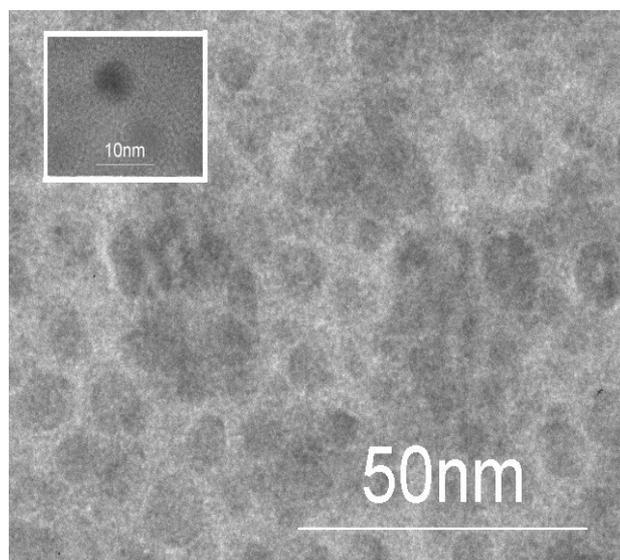
究其相關特性與在記憶體元件應用的潛力。

三、研究方法及成果

本研究計畫的重點，在於利用濺鍍(sputtering)的方式沈積 HfSiO₄ 與 HfO₂ 高介電常數的薄膜分別作為奈米晶體記憶體之奈米晶體(nanocrystal)結構與金屬-絕緣層-金屬(MIM)結構中的絕緣層，並探討其各項物理(TEM, AFM, XPS)與電(CV, IV)特性以及其在記憶體元件上的應用。並且利用高介電常數材料的特性來達到提高電容密度與降低漏電流提升 retention 的目的，並可進一步配合 SOI 元件的低電壓操作的應用。



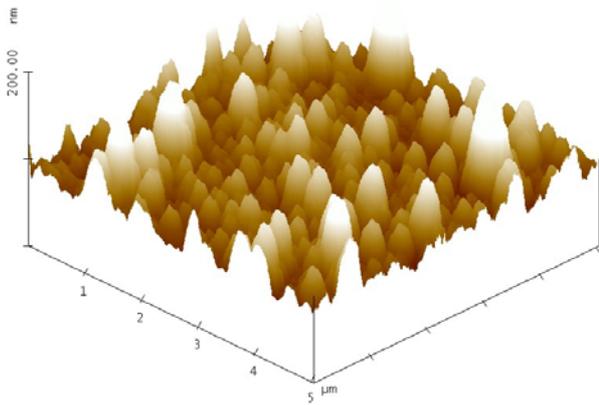
圖一：HfSiO₄ 的 TEM 截面圖



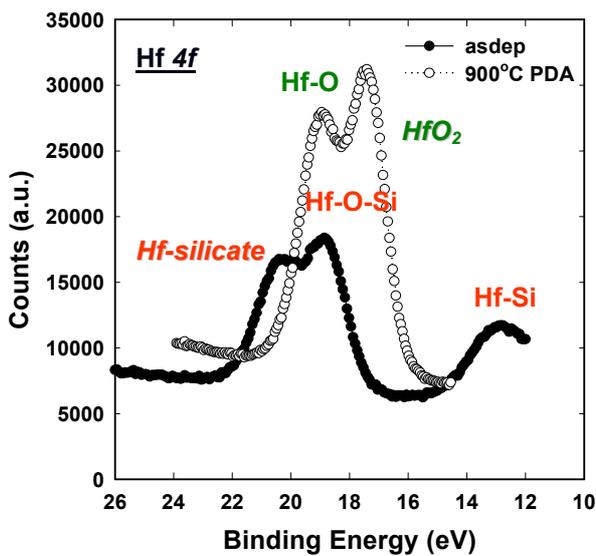
圖二：HfSiO₄ 的 TEM 平面圖

HfSiO₄ 奈米晶格

將以 co-sputtering 的方式在氧氣環境內同時濺鍍 Hf 與 Si 靶材所得之 HfSiO₄ 薄膜，經過 900 °C 沈積後退火(PDA)可形成作為快閃記憶體所需之奈米晶格結構，如圖一所示。圖二為其 TEM 的平面圖，除了可清楚觀察到奈米晶格的分布外，亦可約略估算出其晶格大小平均約為 7.8 nm 且其密度約為 $9.2 \times 10^{11} \text{ cm}^{-2}$ 。然而，因為奈米晶格為 HfSiO₄ 薄膜在高溫退火時的再結晶化所形成，因此當結晶化晶格形成後將會導致原本平坦的表面將會變的粗糙不平即如圖三的 AFM 結果所示，其表面起伏平均值可估計為 18.7 nm。

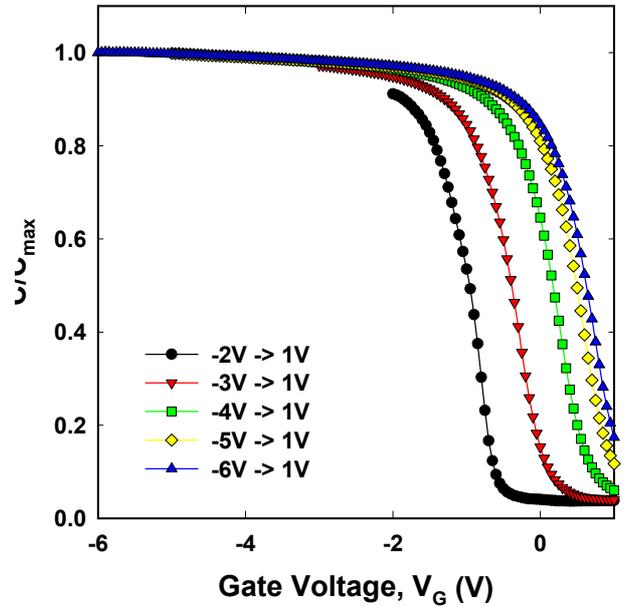


圖三：HfSiO₄ 的 AFM 表面分析圖

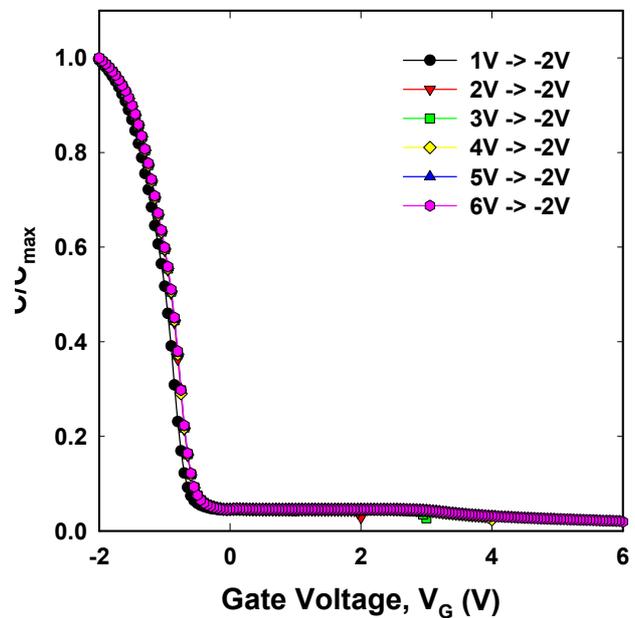


圖四：HfSiO₄ 的 XPS 分析結果

另一方面，由圖四的 XPS 分析結果可得知，當 HfSiO₄ 再結晶形成奈米晶格時將會引發 Hf 的鍵結改變。由圖四可知在高溫退火後，將使原本 Hf-O-Si 的鍵結逐漸變成僅是 Hf-O 的鍵結，這結果顯示當 HfSiO₄ 再結晶時將引發 HfO₂ 的奈米晶格形成[2][7]。



(a)

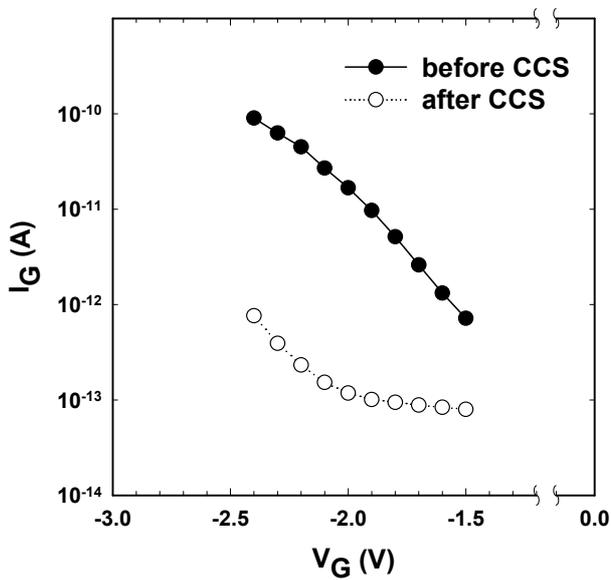


(b)

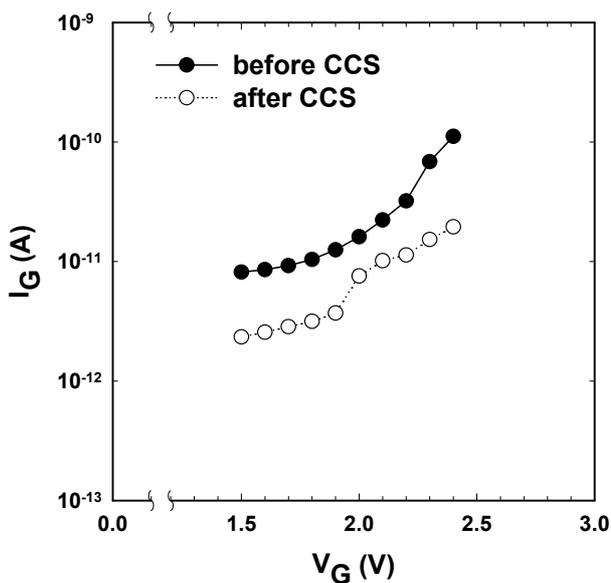
圖五：不同量測偏壓的電容特性

圖五為不同量測偏壓時電容特性的量測結果，我們發現當閘極偏電愈負時，所造成平

帶電壓(V_{fb}) 的正向移位將愈嚴重，而當閘極偏壓愈正時卻不會造成平帶電壓的移位。平帶電壓正向移位的結果顯示出當閘極偏壓愈負時將造成愈大量的電子被 $HfSiO_4$ 閘極介電層所捕捉，且由不同閘極偏壓的極性結果亦顯示出電子是由閘極所注入 $HfSiO_4$ 閘極介電層而非由 Si 基板所注入。進一步地，我們可由 Double-IV 的量測方法[8]來估算出電子缺陷於 $HfSiO_4$ 閘極介電層中的等效中心位置(\bar{X})約為 2.2 nm 以及其等效電子缺陷密度(Q_t)為 $4.78 \times 10^{-7} \text{ cm}^{-2}$ 。



(a)

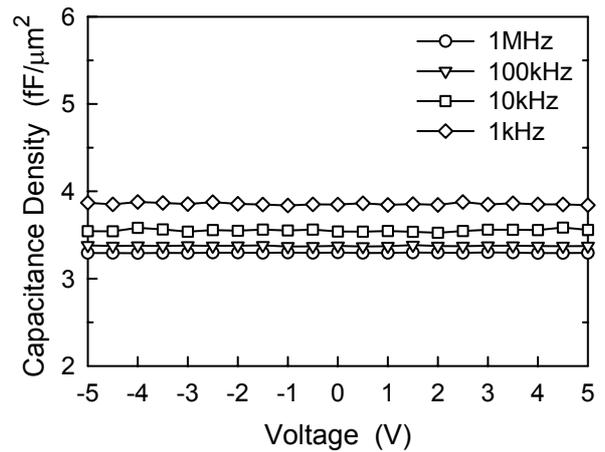


(b)

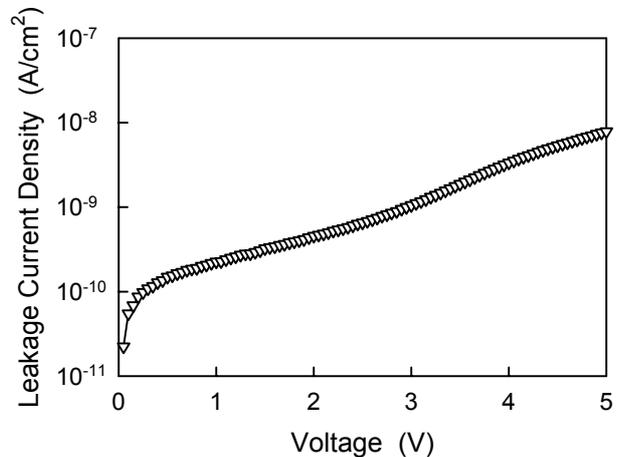
圖六：Double-IV 的量測結果

HfO₂ MIM 電容

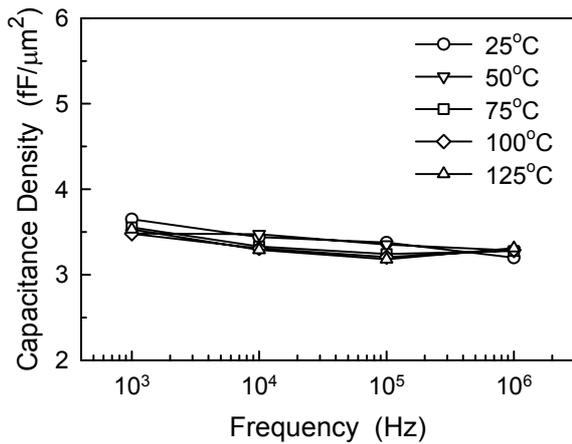
在不同電壓下，MIM 電容密度隨電壓變化的幅度很小，如圖七所示。隨著頻率增加，電容密度有下降的趨勢，然而其電容值在 100 kHz 頻率下仍有約 $3.4 \text{ fF}/\mu\text{m}^2$ 。由圖八可知，MIM 電容器的漏電流密度具有相當低的值。且若提高量測溫度可以發現 MIM 電容密度會略為下降，但是下降幅度並不會很大，如圖九所示。而圖十是 MIM 電容器於不同頻率下的介電損耗，除了在 1 MHz 頻率，介電損耗均可維持在相當低的範圍。另外，我們試著對高電場區域的漏電流特性加以推導發現其傳導機制符合 Frankel-Poole 類型，如圖十一所示，意味著以 HfO_2 為介電層的 MIM 電容主要是以介電層缺陷傳導電流。



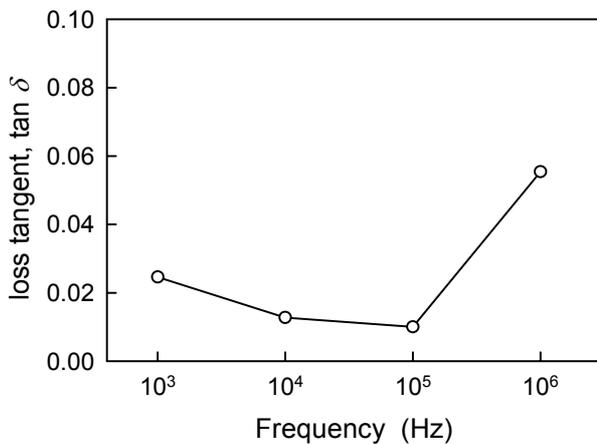
圖七：MIM 電容在不同量測頻率的電容密度



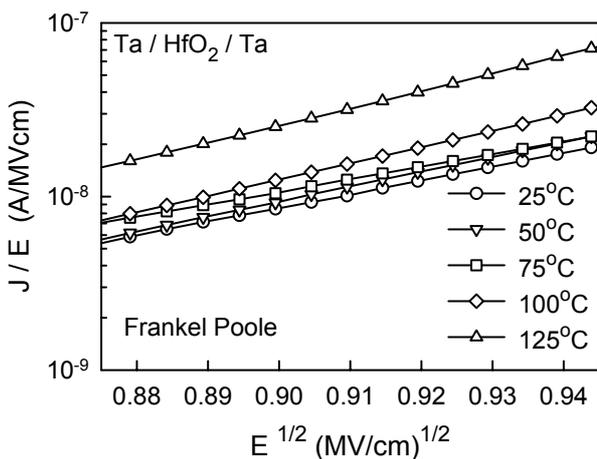
圖八：MIM 電容的漏電流密度特性



圖九：MIM 電容在不同量測溫度的電容密度



圖十：MIM 電容在不同量測頻率的介電損耗



圖十一：MIM 電容的電流傳導機制

四、結論與討論

我們發現 HfSiO_4 薄膜在高溫氧氣環境下退火可形成奈米晶格並可作為記憶體的應用。經由 TEM 可觀察出其奈米晶格大小為 7.8

nm 而密度分佈為 $9.2 \times 10^{11} \text{ cm}^{-2}$ 。然而由 AFM 結果顯示形成奈米晶格結構後，其表面會變的粗糙不平，且由 XPS 光譜得知 Hf-O-Si 的鍵結逐漸變成僅是 Hf-O 的鍵結。由 C-V 電性量測結果，我們發現如果將閘極量測電壓變的更負，將有更多的電子注入 HfSiO_4 。除此之外，由 Double-IV 的量測計算可得出其等效距心 \bar{X} 等於 2.2 nm 和等效電子缺陷密度 Q_i 為 $4.78 \times 10^{-7} \text{ C/cm}^2$ 。另一方面，藉由高介電常數材料 HfO_2 所製作之 MIM 電容，經過電流與電容特性的研究，發現其將可具體實現了高電容密度且低漏電流的 MIM 電容，並可進一步使用於快閃記憶體的應用。

五、參考文獻

1. S. Tiwari, F. rana, K. Chan, H. Hanafi, W. Chan, and D. Buchanan, "Volatile and Non-volatile Memories in Silicon with Nano-Crystal Storage," IEDM Tech. Dig., p.521-524, 1995.
2. G. D. Wilk, R. M. Wallace, and J. M. Anthony, "Hafnium and zirconium silicates for advanced gate dielectrics," Journal of Applied Physics, Vol.87, No.1, 1 January 2000.
3. M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro, A. Shanware, and L. Colombo, "Application of HfSiON as a gate dielectric material," Appl. Phys. Lett., Vol.80, pp.3183-3185, 2002.
4. Takeshi Yamaguchi, Ryosuke Iijima, Tsunehiro Ino, Akira Nishiyama, Hideki Satake, and Noburu Fukushima, "Additional Scattering Effects for Mobility Degradation in Hf-silicate Gate MISFETs," IEDM Tech. Dig., pp.621-624, 2002.
5. S. B. Chen, C. H. Lai, A. Chin, J. C. Hsieh, and J. Liu, "High-density MIM capacitors using Al_2O_3 and AlTiO_x dielectrics IEEE Electron Device Lett., 23 (2002) 185.
6. G. D. Wilk, R. M. Wallace, and J. M. Anthony, "High-k gate dielectrics: Current status and materials properties considerations," J. Appl. Phys., 89 (2001) 5243.
7. M. A. Quevedo-Lopez, M. El-Bouanani, B. E. Gnade, R. M. Wallace, M. R. Visokay, M. Douglas, M. J. Bevan, and L. Colombo, "Interdiffusion studies for HfSi_xO_y and ZrSi_xO_y on Si," Journal of Applied Physics, Vol. 92, No. 7, 1st October 2002.
8. K. S. Lim, and C. H. Ling, "Charge Trapping in Interpoly ONO Film," ICSE Proc., November 1998.