

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫二：射頻電路之靜電放電防護技術與高速高低壓界面 電路之研發(2/3)

計畫類別：整合型計畫

計畫編號：NSC92-2215-E-009-036-

執行期間：92年08月01日至93年07月31日

執行單位：國立交通大學電子工程研究所

計畫主持人：柯明道

報告類型：精簡報告

報告附件：國際合作計畫研究心得報告

處理方式：本計畫涉及專利或其他智慧財產權，1年後可公開查詢

中 華 民 國 93 年 5 月 28 日

行政院國家科學委員會補助專題研究期中進度報告

高性能混合訊號式介面積體電路—子計劃二 射頻電路之靜電放電防護技術與高速高低壓界面 電路之研發(2/3)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 92-2215-E-009-036

執行期間：92年 08月 01日至 93年 07月 31日

計畫主持人： 柯明道 副教授

計畫參與人員：徐國鈞、徐新智、林昆賢、許勝福、
周宗信、吳建樺、黃靖驊、石弼嘉

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位： 國立交通大學電子研究所

中 華 民 國 93年 05月 20日

行政院國家科學委員會專題研究計畫期中進度報告

高性能混合訊號式介面積體電路—子計劃二： 射頻電路之靜電放電防護技術與高速高低壓界面電路之研發(2/3)

計畫編號：NSC 93-2215-E-009-036

執行期限：92 年 08 月 01 日至 93 年 07 月 31 日

主持人：柯明道 副教授 國立交通大學電子研究所

計畫參與人員：徐國鈞、徐新智、林昆賢、許勝福、
周宗信、吳建樺、黃靖驊、石弼嘉
國立交通大學電子研究所

一、中文摘要

隨著無線通訊的快速發展，通訊系統如 GSM，WLAN，WCDMA 普及化。系統產品不斷地要求輕、薄、短、小，使得射頻(高頻)、高速高低壓介面電路的重要性與日俱增，許多應用更需透過深次微米製程，0.25 微米以下的先進製程來實現才能帶來技術上的突破。但是，這些為提昇深次微米 MOS 元件集積度、與運算速度的製程技術卻引發了另一嚴重的問題，就是積體電路的靜電放電(ESD; Electrostatic Discharge)耐受能力大幅下降。隨著高運算速度與高頻率 IC 產品的開發，利用先進的 0.25 微米以下之半導體製程技術所製造的積體電路，面臨積體電路產品因製程技術先進而導致 ESD 防護能力不足的嚴重問題。在 RF IC 的應用上，ESD 保護電路不只需要有高的 ESD 損壞臨界電壓(failure threshold voltage)以確保其良好的性能，還必須擁有低寄生電容和電阻，以降低 RC 延遲。一般來說，一個操作在 2 GHz 的射頻輸入接點(input pad)，其可容忍的最大負載電容(maximum loading capacitance)也不過只有 200 fF。

隨著半導體製程技術的快速發展，積體電路內部所使用的電壓準位也跟著下降，如 0.13 微米的積體電路內部則僅使用 1 V 的電壓準位來運作。可是外界傳輸的電路訊號之電壓準位大都依然維持在 5 V

或 3.3 V，這 5 V/3.3 V 的電路訊號不能直接傳入 0.13 微米的積體電路內部，因此，在積體電路的輸出入端必需要有混合電壓輸出入界面電路來隔離輸入訊號的高電壓準位，但又必需把輸入的電路訊號快速地送入該積體電路內部。此計劃主要是研發適用於射頻與高速高低壓介面的靜電放電防護電路解決方案。

關鍵詞：靜電放電(ESD)，靜電放電防護電路，射頻輸出入電路，混合訊號輸出入電路

Abstract

Due to the growing popularity of wireless communication, communication system such as: GSM, WLAN, WCDMA system are popularly used. The system products are continuously asked to reduce its weight, thickness, and volume. So, radio-frequency (RF), high speed, and high-low-voltage (mixed voltage) interface circuits are more and more important. Such ICs applications should be fabricated by the deep sub-micron (below 0.25- μm) CMOS processes to achieve good operation performance and quality. However, the deep sub-micron CMOS processes to improved integration density and operation speed cause a serious reliability issue, electrostatic discharge (ESD) robustness degradation. With the high speed

and high frequency IC products be innovated, the IC products fabricated with advanced CMOS technology have dramatic degradation of ESD protection capability. A typical request of an RF input pad with maximum loading capacitance is only 200 fF for circuit operation at 2 GHz.

Moreover, with the device dimensions of the integrated circuits scaling down, the voltage level of internal circuits had also been reduced such as only 1.0 V for the 0.13- μm CMOS process. However, the external circuit signals still have the voltage level of 5 V or 3.3 V. Such high voltage signals cannot be directly connected into the sub-quarter-micron CMOS IC's. In this research project, we also design the interface circuits to process the external and internal signals, which have different voltage levels with ESD protection consideration. The purpose of this project is to develop ESD robustness protection circuits for high frequency, high speed, and mixed voltage interface applications.

Keywords: Electrostatic discharge (ESD), ESD Protection Circuit, RF I/O, Mixed-voltage I/O

二、緣由與目的

追求更高的操作頻率、截止頻率(cut off frequency)、以及功率增益(power gain), 以獲得更快速、更優良的特性, 是射頻電路電晶體製造者不斷努力的方向。根據電晶體理論, 當電晶體的尺寸縮小時, 可獲得較高的工作頻率, 因此在元件製程進入深次微米時代之後, 隨著縮微(scaled down)的快速發展, 射頻電晶體(RF MOSFET)的操作頻率也順利地得以提昇。

但是, 對微縮化之電晶體元件與高頻特性的需求, 靜電放電(ESD)現象對 CMOS IC 而言, 是影響其可靠度(reliability)的主要因素。由於深次微米 CMOS 技術中較薄的氧化層會造成低崩潰電壓(breakdown voltage), 所以必須設計出有效率的 ESD 電路以避免過高的電壓降於內

部電路中的閘極氧化層。在 RF IC 的應用上, ESD 保護電路不只需要有高的 ESD 損壞臨界電壓(failure threshold voltage)以確保其良好的性能, 還必須擁有低寄生電容和電阻, 以降低 RC 延遲。一般來說, 一個操作在 2 GHz 的射頻輸入接點(input pad), 其可容忍的最大負載電容(maximum loading capacitance)也不過只有 200 fF; 這 200 fF 不但包括了 ESD 保護元件, 連連接點本身的電容也算進去了。為了與射頻訊號達成阻抗匹配(impedance matching), 有一些 ESD 保護電路的設計必須利用到分散的電感(distributed inductance)與 ESD 箝制元件(clamp devices)。此外, 欲進一步地減低高頻訊號 ESD 保護電路的輸入電容, 還必須在 ESD 防護設計的輸入端加上 turn-on efficient power-rail ESD clamp circuit, 以提高小尺寸 ESD 箝制元件的 ESD 防護能力。總結地說, RFIC 中的 ESD 保護電路必須具備: 低寄生電容、固定的輸入電容(constant input capacitance)以及不受基板共擾雜訊干擾(substrate coupling noise)、和優良的 ESD 防護能力(ESD robustness), 而這些要求也增加了電路設計的困難度。另外, 由其他電路所引起的基板雜訊會藉由 ESD 保護電路而對射頻輸入產生共擾現象(coupling effect)使射頻電路的性能變差。射頻電路的連接點(bond pad)設計也因為必須擁有與 ESD 保護電路的相容能力, 以及夠低的輸入電容, 所以隨著 CMOS 元件越來越薄的閘極氧化層和越來越快的射頻電路, RF IC 中的 ESD 保護電路設計變得益加困難。

隨著半導體製程技術的快速發展, 電晶體元件尺寸被縮小以提昇積體電路的集積度與運算速度, 但如此小尺寸的電晶體元件無法承受過高的電壓, 因此 0.25 微米的積體電路內部使用 2.5 V 的電壓準位來運作, 而 0.13 微米的積體電路內部則僅使用 1 V 的電壓準位來運作。可是外界傳輸的電路訊號之電壓準位大都依然維持在 5 V 或 3.3 V, 這 5 V/3.3 V 的電路訊號不能直接傳入 0.25 微米/0.13 微米的積體電路內部, 在積體電路的輸出入端必需要有

混合電壓輸出入界面電路來隔離輸入訊號的高電壓準位，但又必需把輸入的電路訊號快速地送入該積體電路內部，而且不能有靜態的漏電流產生以及薄閘極氧化層可靠度的問題。因此，先進之深次微米互補式金氧半製程技術下的積體電路非常需要此類高速高低電壓輸出入界面電路。本計畫擬針對 0.25 微米以下 (sub-quarter-micron) 之先進 CMOS 製程，研發可供產品實用之高速高低電壓界面電路。

三、研究成果

本計畫第二年度的研究成果已經整理且發表了五篇 IEEE Conference 論文 [1]-[2]、[5]、[8]-[9] 以及四篇 IEEE 國際期刊論文 [3]-[4]、[6]-[7]。研究的內容有應用於射頻電路的 ESD 保護電路、一般輸入/輸出端所使用的 ESD 保護電路和新型的高速高低壓界面電路。

(1) RF ESD 領域: 在射頻電路的 ESD 保護電路研究中，我們首先提出新型阻抗隔絕技術 (impedance-isolation technique) : LC-tank 結構，作為射頻低雜訊放大器 (low noise amplifier, LNA) 的靜電放電防護架構 [1]，並實際在 0.25- μm 互補式金氧半 (CMOS) 製程中實際製造驗證晶片，利用操作在射頻區段的雙端 GSG 量測方式來探討此架構的高頻特性。此保護電路主要是在輸入端的 ESD 保護電路路徑上加上一組 LC-tank (圖一)，此 LC-tank 在共振頻率下會產生一無限大的阻抗而阻絕 ESD 保護電路的寄生電容效應對射頻電路所產生的負面影響。在靜電放電發生的情況下，又能很快地透過電感、二極體和電源線間的 ESD 保護電路將靜電排放掉。在操作頻率為 2.7 GHz 的射頻電路中，這組帶有 LC-tank 的 ESD 保護電路不僅可以通過一般 ESD 測試規格的要求，而且只會對射頻電路造成 -0.69 dB 的功率增益損耗和只增加 0.63 dB 的雜訊指數 (noise figure)。

此外這部分的結果中，我們除了定性上的分析外，也推導出功率增益和 ESD 保護電路寄生電容的定量關係，如下所示。

$$G_T = \frac{P_L}{P_{avs}} = \frac{\frac{1}{8}|V_s G_m|^2 (R_{out} \parallel R_S)}{\frac{1}{8}|V_s|^2 / R_S} = |G_m|^2 R_S (R_{out} \parallel R_S) = \left(\frac{\omega_r}{\omega_0}\right)^2 \frac{(R_{out} \parallel R_S)}{R_S} \left| \frac{1}{2 + \frac{R_S}{Z_{ESD}}} \right|^2$$

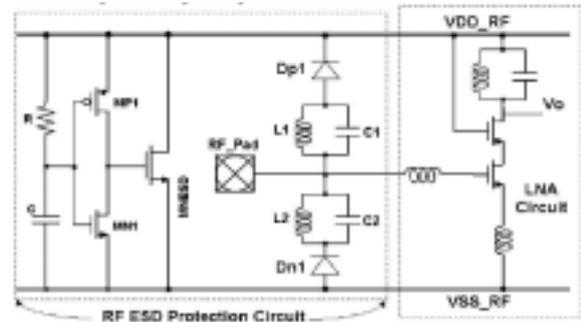


圖 1. 應用在射頻電路中帶有 LC-tank 的靜電放電保護電路 [1]。

另外，我們也成功地設計了一組可供 CMOS 寬頻段射頻電路 (broadband RF circuit) 所使用的 ESD 保護電路 [2]，此保護電路主要是在輸入端的 ESD 保護電路路徑上加上一組元件尺寸漸減式-分散型靜電放電防護架構 (decreasing-size distributed ESD protection scheme DS-DESD) (圖二)，在高頻特性下其 S11, S21 有較佳的特性，並且其靜電放電防護能力大為提升，在人體靜電放電模式 (HBM) 下均超過 8 kV，均較傳統的架構更適用於寬頻段射頻電路。

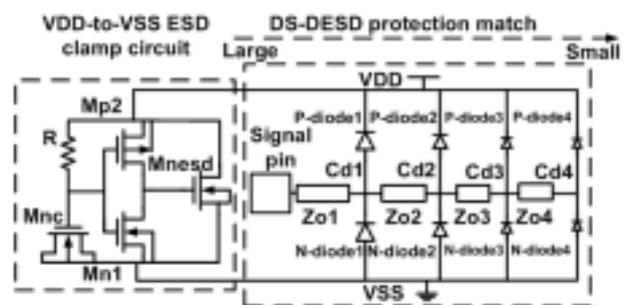


圖 2. 應用於射頻電路中帶有 DS-DESD 架構的靜電放電保護電路 [2]。

(2) 輸入/輸出端 ESD 防護電路領域: 我們也提出了幾種一般輸入/輸出端所使用的 ESD 保護電路 [3]-[8]，其中包含了利用互補式基體觸發矽控整流器 (complementary substrate-trigger SCR) [3]、雙重基體觸發矽控整流器 (double-triggered substrate-trigger SCR) 架構 [4]、Native-NMOS Triggered SCR (NANSCR) 防護架構 [5] 和靜電放電離子佈植的閘極接地 N 型金氧半電晶體

(ESD-implantation ggNMOS)[7]做為 ESD 保護元件的保護電路。矽控整流器在眾多的防護元件中具有面積最小和靜電放電耐受度最好的優點，但由於其導通電壓過高 (~20 V)，所以在應用上受到一些限制。因此我們將基體觸發的技術應用在矽控整流器上以降低其導通所需的電壓和增加其導通的速度，提出了互補式基體觸發矽控整流器[3]，圖三(a)與(b)所示為 N 型與 P 型基體觸發矽控整流器的元件結構，在 0.25 微米 CMOS 的製程中，只要在 P 型基體觸發矽控整流器的基體上外加 8 mA 的電流，矽控整流器的導通電壓可由原先的 22 V 降到 1.85 V，N 型基體觸發矽控整流器也具有相同的特性，因此大大地改善了矽控整流器的導通速度。

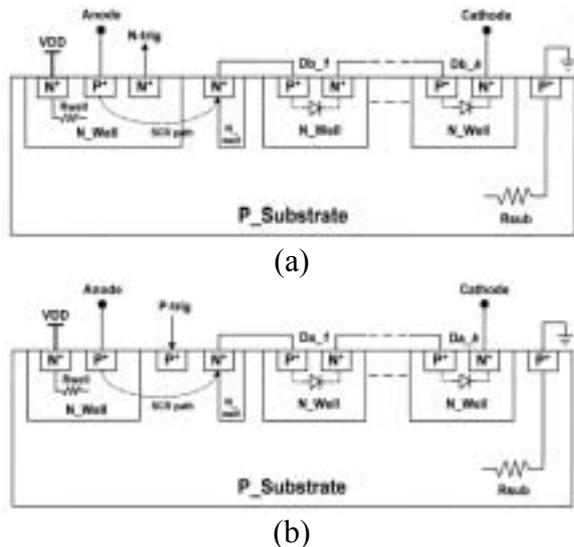


圖 3. (a)N 型與(b)P 型基體觸發矽控整流器的元件結構 [3].

圖四(a)與(b)則為利用此互補式基體觸發矽控整流器所設計的輸入/輸出 ESD 保護電路，當中的堆疊二極體是為了增加 ESD 保護電路的整體持有電壓(holding voltage)，避免在電路正常操作下發生閉鎖(latchup)現象，圖四(a)是以 RC delay，圖四(b)是以 gate-coupled 之架構在靜電放電發生的情況下，能提供互補式基體觸發矽控整流器所需要的觸發電流，使其能再最短的時間內導通並將靜電電流排放掉。圖中堆疊二極體的架構也可以採用堆疊的互補式基體觸發矽控整流器來取代，同樣也

具有防止閉鎖現象的功能。當然除了應用在輸入/輸出端外，我們也提出了互補式基體觸發矽控整流器做為電源線間的 ESD 箝制電路，如圖四(c)，以提供全晶片(whole chip)的防護。

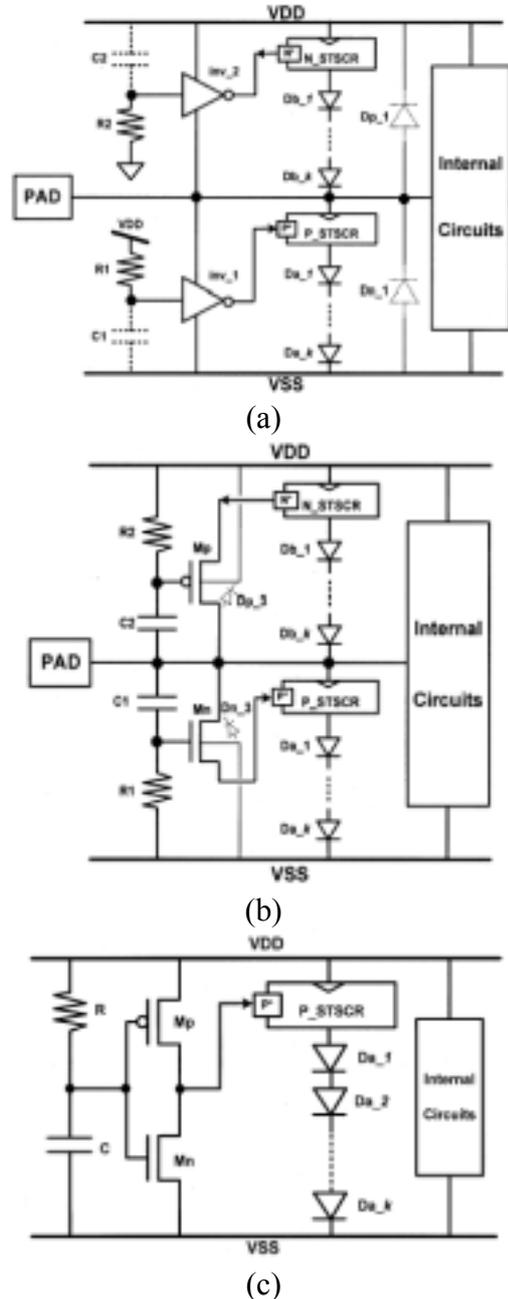
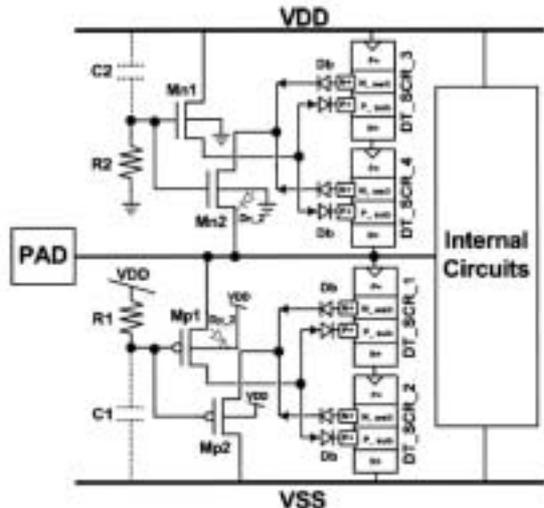


圖 4. (a)RC delay 與(b)gate-coupled 架構觸發互補式基體觸發矽控整流器做為輸入/輸出端的靜電放電保護電路以及(c) VDD-to-VSS ESD 防護電路 [3].

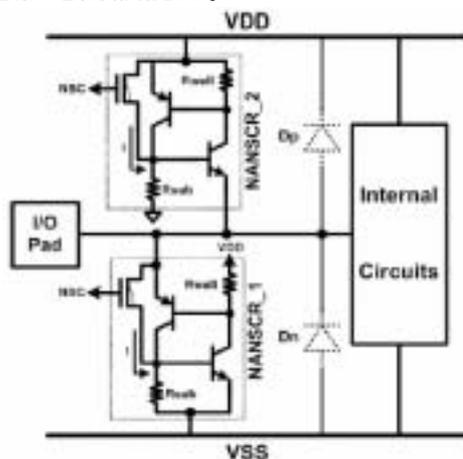
此外，提出一種新型的雙重基體觸發矽控整流器(double-triggered substrate-trigger SCR)架構[4]，如圖五，用以降低矽

控整流器導通電壓(switching voltage)以及加速其導通速度以期能在深次微米 CMOS 製程下有效的保護越來越薄的閘極氧化層，並採用堆疊的雙重基體觸發矽控整流器，防止閉鎖現象的功能。



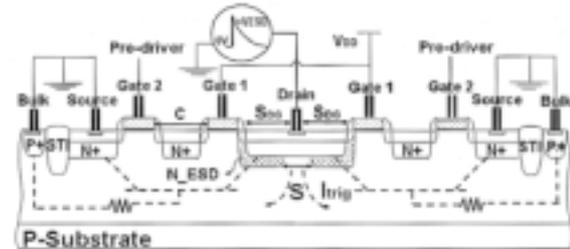
圖五. 串疊組態的雙重基體觸發矽控整流器(double-triggered substrate trigger SCR)之靜電放電防護電路 [4].

並提出一種新型 Native-NMOS triggered SCR (NANSCR)防護架構[5]，應用在輸入/輸出端外，以及電源線間的 ESD 箝制電路，以提供全晶片(whole chip)的防護，如圖六所示，具有較低導通電壓(switch voltage)，較低導通電阻 (turn-on resistance)，較快的導通速度 (turn-on speed)，以及較佳的元件充電模型(CDM)靜電放電防護能力。



圖六. Native-NMOS triggered SCR (NANSCR)防護架構應用在輸入/輸出端靜電放電防護電路 [5].

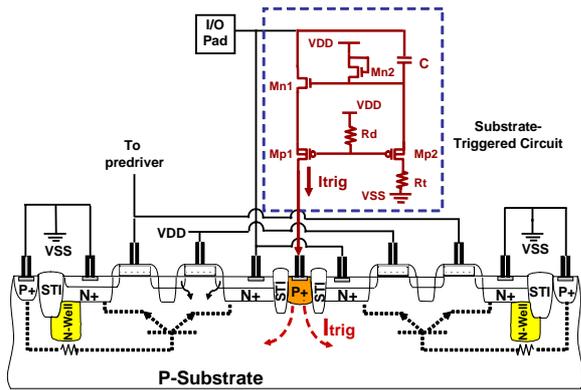
在元件結構方面提出一種靜電放電離子佈植的閘極接地 N 型金氧半電晶體 (ESD-implantation ggNMOS)，如圖七，有效的提升機械模式(machine model; MM)靜電放電防護能力 [7].



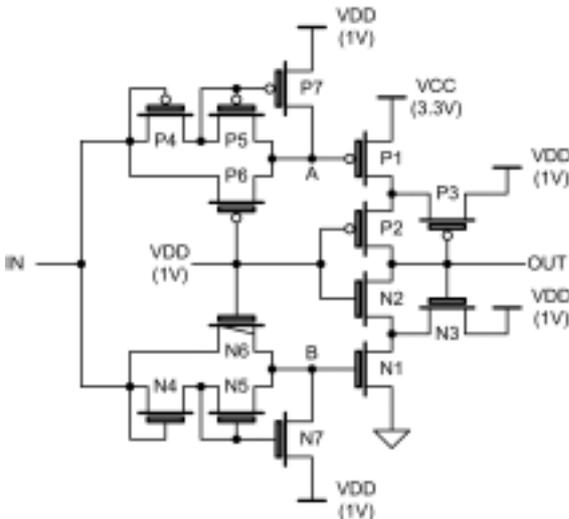
圖七. 靜電放電離子佈植的閘極接地 N 型金氧半電晶體 [7].

(3)高速高低壓界面電路領域：我們提出基體觸發技術(substrate-triggered technique)來加速高低壓介面的靜電放電保護元件的導通速度，設計出一組偵測電路(圖八虛線框內)用以區別正常訊號與靜電放電訊號，當正常訊號下由 Input pad 輸入時，偵測電路之 Mn1 與 Mp1 均關掉(turn off)，沒有基體觸發電流流入靜電放電保護元件(stacked NMOS)，而此保護元件將關掉(turn off)。反之，當靜電放電衝擊由 Input pad 導入時，偵測電路之 Mn1 與 Mp1 導通(turn on)，產生一基體觸發電流注入靜電放電保護元件(stacked NMOS)之基體端，促使 stacked NOMS 內部之 lateral npn BJT 快速導通，排放靜電放電的大電流，以達到保護內部電路的目的。而此項設計已在 0.25- μm CMOS 製程下製作驗證晶片，此設計不僅克服高低壓介面電路可靠度的問題，更進一步的提昇此靜電放電防護電路之 ESD 耐受能力達 60%。

此外，我們提出一組新穎型的司密斯觸發高低壓界面電路(圖九)[9]，不需要使用厚的閘氧化層就可以避免薄閘極氧化層在高低壓界面電路所面臨的可靠度問題。在 0.13 微米 1 V/2.5 V CMOS 的製程中實際驗證，此低壓的元件(1 V/2.5 V) 組成之司密斯觸發之高低壓介面電路，可以有效的操作在 3.3 V 的高壓輸出入訊號下，並且無閘極氧化層可靠度問題(gate-oxide reliability issue)，並能阻滯輸入雜訊。



圖八. 具基體觸發技術的高速高低壓界面靜電放電防護電路 [8].



圖九. 應用於高低壓界面之新型司密斯觸發介面電路 [9].

四、計畫成果自評

此子計畫正持續的進行中，藉由實際晶片驗證並與模擬結果獲得相互的佐證，並已在國際一流的期刊：IEEE J. Solid-State Circuits、IEEE Trans. Electron Devices、IEEE Trans. Device and Materials Reliability 與會議：IEEE IRPS、IEEE RFIC、IEEE EOS/ESD 中發表，進階的研究計畫將更深入的探討研究其物理意義提出靜電放電防護之模擬方法與新型創新之電路架構。

五、參考文獻

- [1] M.-D. Ker and C.-M. Lee, "ESD protection design for Giga-Hz RF CMOS LNA with novel impedance-isolation technique," *Proc. of 2003 Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, Las Vegas, Nevada, USA, Sept. 21-25, 2003, pp. 204-213.
- [2] M.-D. Ker and B.-J. Kuo, "ESD protection design for broadband RF circuits with decreasing-size distributed protection scheme," *accepted by 2004 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, Fort Worth, Texas, USA, June 6-8, 2004.
- [3] M.-D. Ker and K.-C. Hsu, "Latchup-free ESD protection design with complementary substrate-triggered SCR devices," *IEEE J. Solid-State Circuits*, vol. 38, no. 8, pp. 1380-1392, Aug. 2003.
- [4] M.-D. Ker and K.-C. Hsu, "SCR devices with double-triggered technique for on-chip ESD protection in sub-quarter-micron silicided CMOS processes," *IEEE Trans. Device and Materials Reliability*, vol. 3, no. 3, pp. 58-68, Sept. 2003.
- [5] M.-D. Ker and K.-C. Hsu, "Native-NMOS-triggered SCR (NANSCR) for ESD protection in 0.13- μm CMOS integrated circuits," *accepted by 2004 IEEE International Reliability Physics Symposium (IRPS)*, Phoenix, Arizona, USA, April 25-29, 2004.
- [6] M.-D. Ker and K.-C. Hsu, "Dummy-gate structure to improve turn-on speed of silicon-controlled rectifier (SCR) device for effective electrostatic discharge (ESD) protection," *Japanese J. of Applied Physics (JJAP) Part 2, Letters*, vol. 42, no. 11B, pp. L1366-L1368, Nov. 2003.
- [7] M.-D. Ker, H.-C. Hsu, and J.-J. Peng, "ESD Implantation for sub-quarter-micron CMOS technology to enhance ESD robustness," *IEEE Trans. Electron Devices*, vol. 50, no. 10, pp. 2126-2134, Oct. 2003.
- [8] M.-D. Ker and H.-C. Hsu, "ESD protection design for mixed-voltage-tolerant I/O buffers with substrate-triggered technique," *Proc. of 16th IEEE International SOC Conference*, Portland, OR, USA, Sept. 17-20, 2003, pp. 219-222.
- [9] S.-L. Chen and M.-D. Ker, "A new Schmitt trigger circuit in a 0.13- μm 1 V/2.5 V CMOS process to receive 3.3-V input signals," *accepted by 2004 IEEE International Symposium on Circuits and Systems (ISCAS)*, Vancouver, Canada, May 23-26, 2004.