

先進低電壓低功率快閃式記憶體之研究(3/3)

Advanced Design for Low Voltage and Low Power Flash Memory

計劃編號：NSC92-2215-E009-004

執行時間：92年8月1日至93年7月31日

主持人：莊紹勳 國立交通大學電子工程學系

一、計劃摘要

快閃式記憶體具有小面積、低功率消耗及長時間保存資料之特性，因此已成為最重要的非揮發性記憶單元之一。該記憶體中，傳統寫入方式主要採通道熱電子(CHE)注入，抹除方式主要採用 FN，長時間操作下仍有可靠性的問題存在，受限於元件 scaling，操作偏壓也始終無法降低。

本計劃的第一年，吾人已成功研究出一種低電壓的 flash 元件操作方式，亦即利用汲極累增崩潰熱電子注入(Drain Avalanche Hot-Electron Injection, DAHE)達成寫入操作，實驗結果顯示此 DAHE 寫入方法無論在元件效能或是可靠性方面，相較於傳統 CHE 寫入方式，都有較佳表現。

第二年則成功的完成 DAHE 在 n-channel flash cell 及 p-channel flash 的評估，元件的耐久度、資料保存等可靠性皆有不錯的表現。

第三年吾人則針對：(1)flash cell drain-substrate 接面的 optimization 以增加注入效率的新方法，找出最佳化的寫入、抹除電壓。(2)由於是低電壓操作模式，各項可靠性指標如閘極、汲極擾動，均大幅降低。全程計劃已成功地完成可以適用低電壓、低功率、高速度操作、高可靠性的目標，且適合下一代 flash memory 設計的參考。

關鍵詞：非揮發性記憶元件、快閃式記憶體、寫入方式、抹除方式、通道熱電子注入、基極偏壓增強汲極累增崩潰熱電子注入、低電壓操作。

Abstract

Flash memory has small area, low power

dissipation, and long time retention advantages, these make it promising as one of the most important candidate in future nonvolatile memory technology. In the past, due to the long term reliability problems existing in the conventional CHE programming and the FN-erase methods, the gate tunnel oxide can not be further scaled and the operation voltage can not be reduced further.

In the first year, we have developed a new programming method which allows low voltage operation, called DAHE i.e., Drain Avalanche Hot-Electron Injection. By comparing with conventional CHE (Channel Hot Electron) operation method, the new method exhibits not only high performance but also high reliability. In the second year, further verification of n-channel cell and p-channel flash cell with the new scheme has been achieved. Results show that the new DAHE scheme is adequate for achieving high speed, low voltage, and with appropriate reliable achievements for both n-channel and p-channel flash cells. These results provide us a way of designing flash memory cell which facilitates a low voltage programming, high speed, as well as high reliability.

Finally, in the third year, first an optimization of the new scheme with higher injection efficiency has been proposed. With the improvement of process technology, reduction of drain substrate junction damage during programming can be achieved by exactly controlling the position of highly doped implanted boron. In terms of the reliability, gate disturb and drain disturb are greatly reduced as a result of a low voltage operation. The present scheme is better than widely used channel hot-electron (CHE) injection. As a whole, the AHE programming scheme based on the improved ETOX cell structure can be well-suited for the next generation high performance and high reliability flash memory applications.

Keywords: Nonvolatile memory、Flash memory、Write、Erase、Channel Hot-electron injection、Substrate Bias Enhanced Drain Avalanche Hot-Electron Injection、Low voltage operation

二、計劃緣由與目的

記憶體電路，可分為揮發性(volatile)記憶體及非揮發性(nonvolatile)記憶體兩大類。非

揮發性記憶體種類甚多，目前又以快閃式記憶體(Flash EEPROM)為主流產品，主要用於電腦、週邊產品、攜帶式系統、行動通訊及消費性電子等，產品種類近年來逐漸變廣。然而在其生產技術及產品研發上，國內卻遠遠落後國外，這將是國內半導體業界的一個嚴重問題。

現在通行於市面之快閃式記憶體，寫入方式大多採行通道熱電子(CHE)注入的方式，而抹除方式大多採行 FN 穿隧效應。為了保持一定程度的電荷注入能力，所以造成元件操作偏壓無法降低、長時間操作下將造成嚴重的可靠性問題。

首先，檢視一般最廣為使用之 ETOX 結構快閃式記憶元件之特性[1]。在該元件進行寫入時，元件採用通道熱電子 (CHE)注入方式- 利用注入的電子儲存於浮動閘極來提昇元件的臨界電壓，使通道變的不容易導通而成為“0”的狀態。抹除方式則是採用源極 FN 穿隧的方式，將電子由浮動閘極排到源極端，使得元件臨界電壓掉到較低的值，通道就會變成較容易導通的狀態“1”。採用此種抹除的方式，可以避免造成通道部分的氧化層傷害，進而使其對 V_{TH} 的退化影響達到最小。

在本計劃的第一年，吾人已研究出汲極累增崩潰熱電子注入 DAHE 達成寫入操作，與 CHE 寫入方式相比，DAHE 寫入方法無論在元件效能或是可靠性方面都有較佳表現。第二年，吾人依據此低電壓之 DAHE 寫入方式，測試此新型寫入方式最佳化之成效，除了 n-channel 的研究外，吾人也將操作模式 DAHE 應用於 p-channel 快閃記憶體，與 BBHE 操作模式作一完整比較，包括注入速度，注入效率，偏壓上操作的分別，耐久性，漏電流，閘、汲極擾動，保存電荷的能力等。這將可提供吾人用於設計及規範低電壓操作之快閃式記憶元件。第三年則將針對元件結構上的理想化加以比較，在靠近汲極端且遠離矽氧化層-通道界面之適當深度，植入高濃度的硼，使汲極及基極界面更容易發生界面崩潰，使元件可低電壓且可提升元件的寫入效能。進而比較 DAHE 與傳統的 CHE 操作方式上的差別，及其特性上的優劣之處，以作為日後製程上的參考重點。

三、結果與討論

調變不同的 pocket 摻雜濃度應用於 N 通道快閃式記憶體元件的比較

A. 物理機制與單元特性

新的元件理想化結構及操作方式如 Table 1 所示，汲極和基極操作在累崩區域，造成電子電洞對的產生，熱電子將會跨過能障對閘極電流造成貢獻，如 Fig. 1 所標示之閘極電流 1；而電洞則會往深空乏區移動造成撞擊離子化，產生之電子會越過氧化層能障造成閘極電流 2。Fig. 2 表示，不同的 pocket 參雜濃度在 AHE 寫入時的界面崩潰電流與閘極入射電流。當 pocket 的濃度越高，崩潰電壓就會降低，且閘極入射電流變大。另外，Fig.3 指出 AHE 的寫入速度明顯以接近一個數量級快於 CHE。而在 Fig. 4 中，新的操作方式展現了較快的 convergence speed—20 秒，參考論文【4】中的數據則是 250 秒。

消耗功率依靠的是漏電流、操作電壓、以及操作時間。由 Table 2 的計算得知，DAHE 寫入的操作方式所需要的功率消耗相較於 CHE 寫入的操作方式，得以 6.8 倍的比例縮減。

B. 單元可靠度分析

快閃記憶體關於 AHE 和 CHE 的可靠度分析可以用耐久度、干擾、保存度來檢測。Fig. 5 表示兩種操作方式的耐久度特性。對 CHE 而言， $G_{m,max}$ 的衰減是最嚴重。但是對 AHE 來說， $G_{m,max}$ 的衰減反而因為 pocket 的離子佈植而變小。然而在操作視窗閉合現象上，AHE 也比 CHE 來的小。如 Figs. 6、7、8 所顯示，閘極、汲極、和基極擾動現象也因新式操作方法，操作在低電壓和高可靠度下幾乎已被克服，跟以往的 CHE 比較起來，都有較好的抗擾動特性。Fig. 9 是一個快閃記憶體單元的十年生命期例子，由此可知，AHE 比 CHE 較優，我們可以從中獲知 AHE 控制閘極的電壓被侷限在 7.4V 而 CHE 則是被侷

限在 6.9V。Fig. 10 是在 250 度的情況下，測試其資料保存特性，AHE 與 CHE 比較起來，擁有較好的資料保存特性。

AHE 與 CHE 寫入操作之傷害分析

造成熱載子加壓效果的主要原因是氧化層電荷與介面缺陷密度的影響，Fig. 11 所示是 GIDL 和 GIBL 量測原理的能帶圖形。GIDL 與 GIBL 電流對於氧化層電荷與介面缺陷密度在穿隧氧化層下的閘極到汲極和閘極到基底的覆蓋區之間非常敏感。由 Fig. 12 的 GIDL 圖形中，我們可知，在 AHE 的情況之下，閘極到汲極的覆蓋區域會產生較少的氧化層電荷與較多的介面缺陷密度，然而在閘極到基極的區域則具有較少的氧化層電荷與介面缺陷密度。進而透過次臨界電壓特性的量測，我們可以略估在閘極之下所產生之氧化層電荷與介面缺陷密度，如 Fig. 14 所顯示，由於在 CHE 操作下有較多的氧化層電荷與介面缺陷密度產生在穿隧氧化層和矽與二氧化矽的表面，所以 CHE 的次臨界擺幅移動都比 AHE 來的嚴重。關於在電場與高溫情況下所產生的 SILC 都顯示在 Figs. 15、16，對於擾動特性上，經過一萬次的寫入與抹除的操作後，CHE 都比 AHE 來的糟糕，由此我們也可知道，對於 TAT 方面，透過適合的寫入方式也可有效的抑制，因此在比例縮減上，可經由新式的操作方法而加以改善。Fig. 17 顯示接面處的漏電電流，雖然 AHE 的接面處漏電流比 CHE 操作來的大，但對於寫入、抹除及讀取的情況下，這樣的漏電流並不會造成太嚴重的問題。我們從 Figs. 18、19 所做之元件模擬，比較 AHE 與 CHE 操作，由於介面缺陷的產生主因是依照撞擊離子化的位置所決定，對於在 AHE 加壓情況下，在閘極到汲極的表面區域具有較少的氧化層電荷和較少的介面缺陷。再者，我們可以透過利用共基極接觸的方式，增加陣列的密度。但在這之前，我們必須先盡可能排除一些額外的劣化現象。從 Figs. 17、20 中我們可知，在經過長時間的加壓劣化實驗中，接面處的漏電流與汲極電流的劣化並不嚴重，閘極電流也只有 2pA。

最後我們則是比較在不同的寫入方法下，以 GIDL 圖形做比較，由 Fig. 21 中，我們比較之前不同的操作方式，可以知道對於快閃式記憶體，AHE 是個最好的操作方法。我們也在 Table2 中，比較 AHE 與 CHE 操作方式的優劣之處，也可讓我們清楚的了解 AHE 之優點所在。

四、結論

經由我們所提供的新式快閃記憶體的 AHE 操作方式，我們可以達到比以往 CHE 操作方式更好的性能，諸如寫入速度、抗擾動特性、耐久性、資料保存特性上，都比以往的 CHE 操作方式來的好，吾人更透過改變不同汲極 pocket 的摻雜濃度方式，獲得元件較好的特性表現，不僅可使元件操作在較低的寫入電壓，保有較快的寫入速度更具有較低的功率消耗，也由於 AHE 操作方式是採用撞擊離子化的效果，利用汲極 pocket 的製程設計使其撞擊離子化產生的位置遠離氧化層與通道表面，降低了介面缺陷與氧化層電荷的產生。大大提高了元件的可靠度。

全程計劃已成功地完成可以適用低電壓、低功率、高速度操作、高可靠性的目標，且適合下一代 flash memory 設計的參考指標。

六、參考文獻

- [1] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, *Proc. of the IEEE*, vol. 85, no. 8, pp. 1246-1271, 1997.
- [2] S. Tam, S. Sachdev, M. Chi, G. Verma, J. Ziller, G. Tsau, S. Lai, and V. Dham, in *Symp. VLSI Tech.*, pp. 31-32, 1988.
- [3] S. S. Chung et al., in *Symposium on VLSI Technology*, pp. 111-112, 1997.
- [4] S. M. Cheng, C. M. Yih, J. C. Yeh, S. N. Kuo, and S. S. Chung, in *IEEE Transaction on Electron Devices*, vol. ED-44, pp.1908-1914, 1997.
- [5] S. S. Chung et al., in *IEEE Transaction on Electron Devices*, vol. ED-46, pp. 1883-1889, 1999.
- [6] S. Shuto et al., in *Symposium on VLSI Technology*, pp. 242-243, 1996.
- [7] S. S. Chung et al., "AHE: A new low voltage/high speed programming scheme for both n- and p-channel flash EEPROM's," *Extended Abs. SSDM*, pp. 612-613, 2002.

	Sample #1	Sample #2	Sample #3
Oxide Thickness	100		
ONO Thickness	160 (Effective Thickness)		
Pocket Doping	1.0E13 cm ⁻²	2.5E13 cm ⁻²	1.1E14 cm ⁻²

	Gate Voltage	Drain Voltage	Source Voltage	Substrate Voltage
Program	AHE	4V	3V	Floating
	CHE	7V	4V	0V
Erase	-13V	Floating	6V	6V
Read	3.3V	1V	0V	0V

Table 1 (a) The split table of flash memory. (b) The Operating conditions of flash memory.

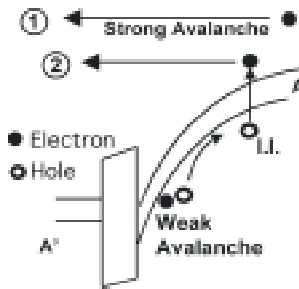
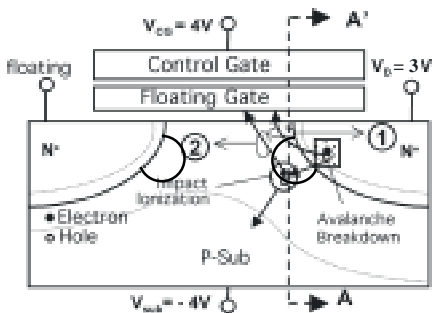


Fig. 1 The schematic and energy band diagram of the AHE injection mechanism.

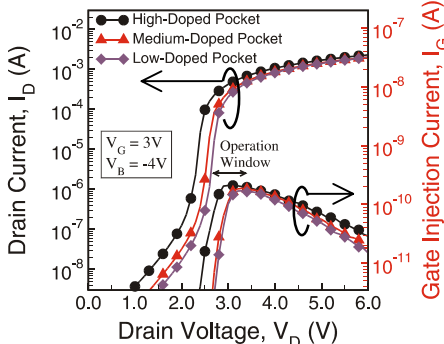


Fig. 2 The junction breakdown current and gate Injection current for AHE programming with Different pocket concentrations.

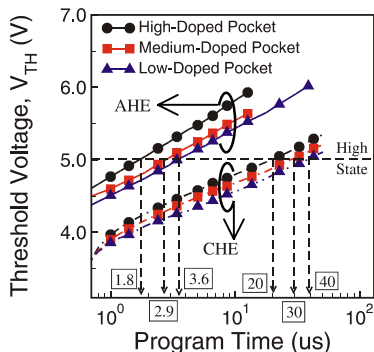


Fig. 3 The programming characteristics for AHE and CHE programming schemes with different pocket characteristics.

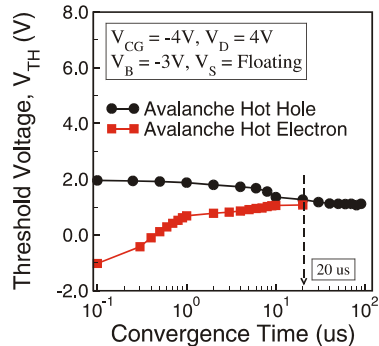


Fig. 4 Convergence properties of AHE which Converges in 20us.

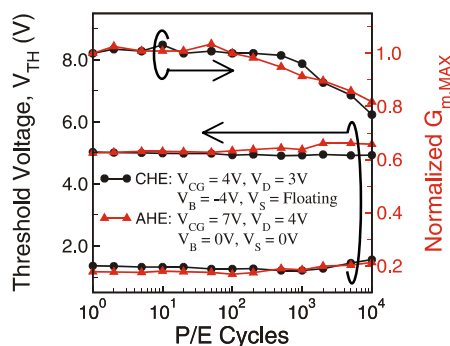


Fig. 5 The comparison of the endurance with V_{TH} and $G_{m,MAX}$ for AHE and CHE programming schemes.

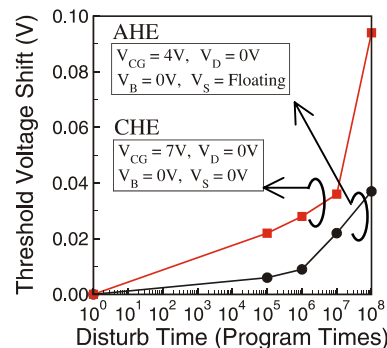


Fig. 6 Gate disturb measurements for both AHE and CHE programming schemes after 10⁴ P/E cycles.

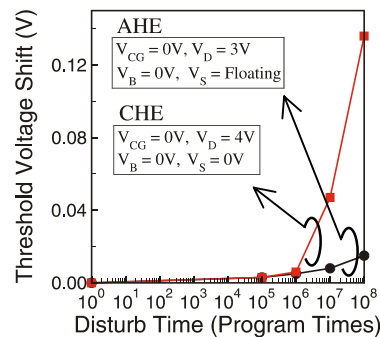


Fig. 7 Drain disturb measurements for both AHE and CHE programming schemes after 10⁴ P/E cycles.

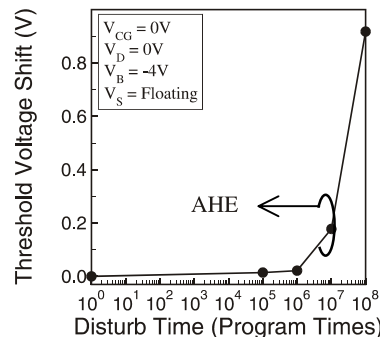


Fig. 8 Substrate disturb measurements for AHE programming scheme after 10⁴ P/E cycles.

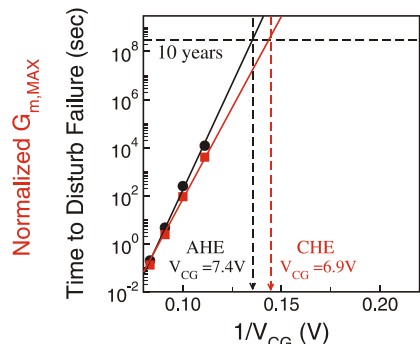


Fig. 9 The comparison of the read disturb lifetime characteristics for AHE and CHE programming schemes after 10⁴ P/E cycles.

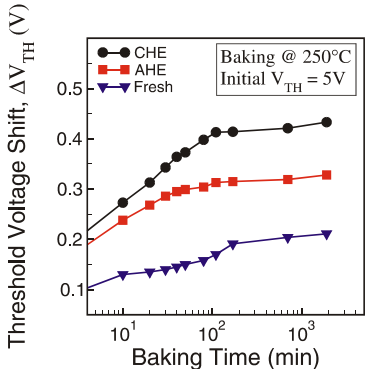


Fig. 10 The comparison of the data retention characteristics for AHE and CHE programming schemes after 10⁴ P/E cycles.

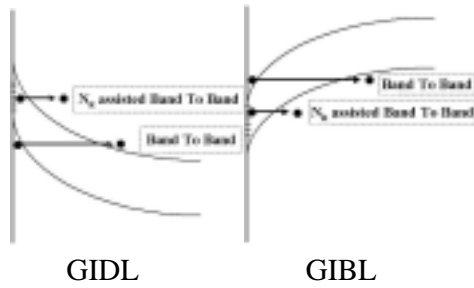


Fig. 11 The schematic illustration for GIDL and GIBL measurements.

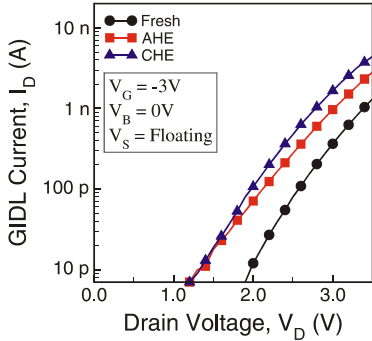


Fig. 12 The GIDL current measurements for AHE and CHE injection stress after 10^7 program times.

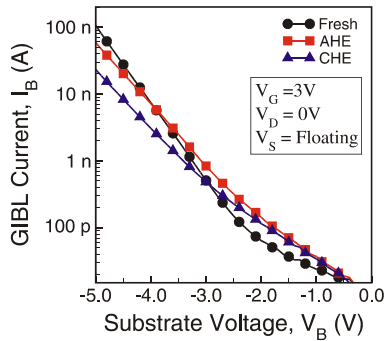


Fig. 13 The GIBL current measurements for AHE and CHE injection stress after 10^7 program times.

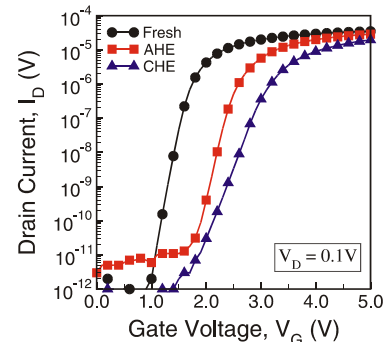


Fig. 14 The subthreshold characteristics for AHE and CHE injection stress after 10^7 program times.

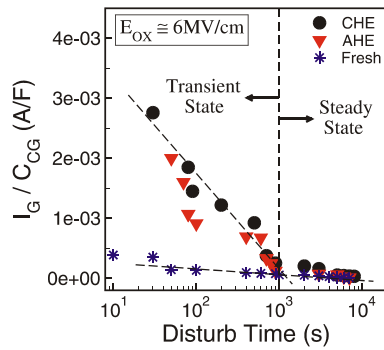


Fig. 15 The SILC induced by electric field measurements for AHE and CHE injection stress after 10^7 program times.

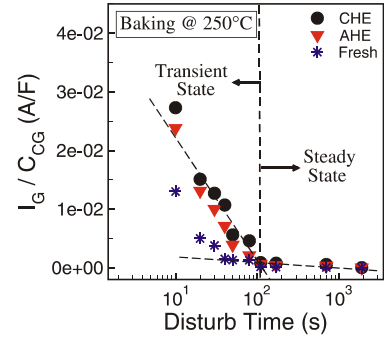


Fig. 16 The SILC induced by high temperature measurements for AHE and CHE injection stress after 10^7 program times.

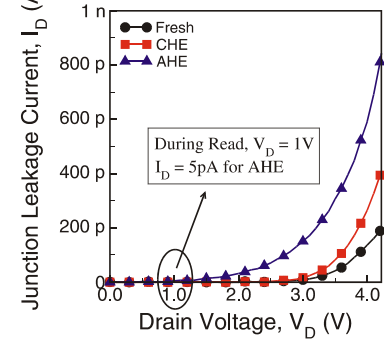


Fig. 17 The junction leakage current measurements for AHE and CHE injection stress after 10^7 program times.

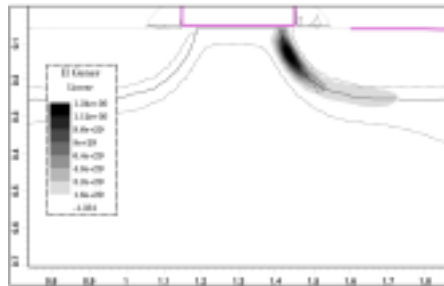


Fig. 18 Simulation results of impact ionization generation rate magnitude and position in AHE programming scheme.

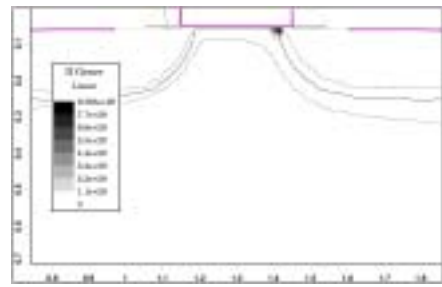


Fig. 19 Simulation results of impact ionization generation rate magnitude and position in CHE programming scheme.

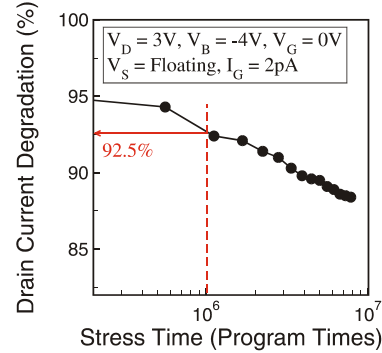


Fig. 20 The drain current degradation for AHE injection scheme.

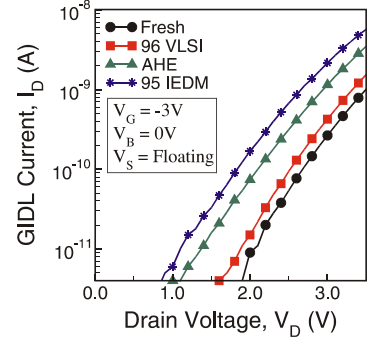


Fig. 21 Comparison of the P/E cycling induced GIDL current between AHE and reported schemes for N-channel flash cells.

	AHE	CHE
Programming Time	1.8 us	20 us
Operation Voltage	< ±4V	> 7V
Power Consumption	1X	6.8X
Gate, Drain, Read Disturb	Better	Worse
Retention	Better	Worse
Pumping Circuit Area	Smaller	Larger

Table 2 A summary of the comparison between AHE and CHE programming schemes.