

行政院國家科學委員會專題研究計畫 期中進度報告

新型絕緣層上覆晶奈米元件(1/3)

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-009-048-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：崔秉鉞

計畫參與人員：林家彬、謝志民、蘇柏智、蕭逸璿

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 5 月 29 日

行政院國家科學委員會補助專題研究計畫  成果報告  期中進度報告

中進度  
報告

新型絕緣層上覆晶奈米元件(1/3)

A Novel SOI Nano Device (1/3)

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 91-2215-E-009-048-

執行期間：91年08月01日至92年07月31日

計畫主持人：崔秉鉞

共同主持人：無

計畫參與人員：林家彬、謝志民、蘇柏智、蕭逸璿

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究

計畫、列管計畫及下列情形者外，得立即公開查詢  
涉及專利或其他智慧財產權，一年二年後可公  
開查詢

執行單位：交通大學 電子工程學系

中 華 民 國      92 年      05 月      29 日

## 一、中文摘要

本年度計畫重點在本年度計畫內容分為三個部份：30 奈米微影技術及其它製程模組技術開發、測試結構設計、次微米 SOI 蕭基位障元件之製備。在製程模組開發方面，我們結合電子束直寫、硬罩膜側向蝕刻、高密度電漿蝕刻等製程，成功定義出 30 奈米的複晶矽閘極圖案。相關的矽晶層減薄、2.5 奈米閘氧化層、30 奈米側壁子、金屬矽化物成長等製程模組均已完成。以掃瞄穿隧探針測量界面深度也有良好的進展。在測試結構部分，完成 i-line 步進機以及電子束直寫系統光罩各一套，彼此可以互相對準使用。測試結構包括各種長寬的鰭狀電晶體、電容、二極體、金屬矽化物奈米線等等結構。目前已完成 0.35 微米修正蕭基位障電晶體製作，導通電流與截止電流的筆直可達  $10^8$ ，優於已發表的結果。基本上均按照預定進度進行，已提出六件專利申請，尚有數篇論文在撰寫中。

**關鍵詞：**絕緣層上矽晶、鰭狀電晶體、修正蕭基位障電晶體、電子束直寫

### Abstract

The working item of the first year's project is (a) 30 nm gate electrode patterning technology and device related module technologies, (b) test structure design, and (c) sub-micron modified Schottky Barrier SOI (MSB-SOI) device fabrication. In part (a), we developed 30-40 nm poly-Si gate patterning technology successfully. Module technologies including 3 nm gate dielectric, 10nm spacer, as well as silicidation technology are also developed. In part (b), two mask sets, i-line stepper and e-beam writer, were designed and fabricated. The alignment matching issue was solved, so the two mask sets can be aligned mutually. In part (c), sub-micron MSB-SOI device (channel length = 0.35um) was fabricated. The on/off current ratio can be as high as  $10^8$ . Si patents have been claimed and several papers are preparing.

**Keywords:** Silicon-on-insulator, Fin-FET, modified Schottky barrier SOI, e-beam direct write.

## 二、30 奈米微影技術及其它製程模組技術開發

### A. 30 奈米微影技術与其它製程模組

使用國科會毫微米元件實驗室 JBX5D II 電子束微影系統(e-beam writer)透過電子束微影系統與電子束專用負光阻，以電子束直寫定義出通道長度的光阻圖案。因該系統解析度僅達約 60 奈米，為製作出 30 奈米圖案，必須採用硬式遮罩(hard mask)方式。

複晶矽上方沈積一層 50 奈米的  $\text{SiO}_2$ ，電子束微影之後，先以乾式蝕刻去除二氧化矽，再在光阻去除前以濕蝕刻方式將二氧化矽側向蝕刻約 20-30 奈米，然後去除光阻。將二氧化矽當成硬式遮罩阻擋蝕刻而製作出小於 50 奈米的線寬。圖 1 是運用線上電子顯微鏡(in-Line SEM) 作即時觀測之照片，可以將閘極長度準確的控制 在 30-40 nm。

後續製程包括經過複晶矽蝕刻後氧化，閘極長度縮短為 25 奈米，以及 20 奈

米長的  $\text{Si}_3\text{N}_4$  側壁子製作，完成後的平面電子顯微鏡照片如圖 2 所示。

金屬下化物成長以及修正蕭基接面的製作尚在進行中，本年度計畫內可以有結果。下年度將整合這些製程模組進行 30 奈米元件製作。

## B. 掃瞄穿隧探針接面濃度測量

初期評估靜電力顯微鏡(EFM)以及凱爾文探針顯微鏡(KFM)兩種測量模式 [1-3]。EFM 對表面處理方式非常敏感，亦導致不穩定的結果，目前我們正試著用 KFM 來定義出 p-n 接面摻雜濃度的變化，以及接面擴散長度。

試片製作乃利用  $\text{POCl}_3$  氣體進行高溫摻雜擴散製程，使其在 p 型矽基板上形成 n+/p 接面，再利用 EFM 或 KFM 進行接面量測。量測前試片先經過稀釋氫氟酸清洗，試片表面行程 Si-H 以及 Si-F 鍵結，造成 EFM 無法偵測到表面電位。KFM 則不受表面處理影響。如圖 3(a) 是所量到晶片的表面形態，又圖 3(b) 是其對應到的 KFM 表面電位分佈圖。從圖 4 可看出晶片有高低起伏此乃刻意製作用以判斷接面起始之位置，而分別從表面形態及電位剖面分佈圖，圖 4 跟圖 5 可發現表面高低的起伏並不影響所量測到的表面電位，因此我們可以計算出接面側向擴散的長度。後續將進一步推算 p-n 接面上濃度的分佈，並與其它分析方法交互驗證。進而利用來量測奈米金氧半場效電晶體(MOSFET)汲級跟源級兩端接面的濃度、擴散長度及其所造成元件電性的影響。

## 三、測試結構設計

本年度針對製程模組技術開發設計一套完整的測試結構光罩，主要目的在驗證製程模組技術及相關元件結構與製程參數對元件特性的影響，特別是有關金屬矽化物製程及離子植入面積對通道截面積的比例與植入劑量及修正蕭基接面性質的關係。此測試光罩包括各種通道長度的鰭狀電晶體元件、各種面積及邊長的 MOS 電容、各種面積及邊長的 P-N 接面、測量各源汲/汲極及閘極片電阻的橋式電阻(bridge resistor)以及測量閘極對源極/汲極電容的結構、各種源極以及汲極面積的組合以驗證離子植入面積對汲極與源極外高濃度區域的濃度影響等。另外會有供以展阻(SRP)及二次離子質譜儀(SIMS)測量各區域濃度縱深分佈的測試結構，以靜電力顯微鏡(Static Force Microscopy)測量汲極與源極外高濃度區域的側向擴散深度的結構，以穿透式電子顯微鏡(TEM)以及掃描式電子顯微鏡(SEM)對元件作剖面觀測以了解元件閘極長度以及各介面層的結構。目前已完成 i-line 步進機以及電子束直寫系統光罩各一套，彼此可以互相對準使用。未來將是實際需要，進行局部調整或改進。

## 四、次微米 SOI 蕭基位障元件之製備

根據以發表的文獻，可以得知蕭基位障金氧半電晶體雖然有製作簡易，降低源、汲極串聯阻抗等的優點，卻有著較高的漏電流及必須藉由不同金屬矽化物以調變蕭基位障導致製程複雜化的缺點[4-6]。因此在本計劃一開始，即嘗試於一絕緣層上晶片上製作長通道蕭基位障元件，以減少源、汲極與通道之接觸面積的方式降低漏電途徑與漏電之外，還利用離子佈植方式將雜質植入金屬矽化物(implant-to-silicide)再利用退火處理將雜質散出而形成源極與汲極外側的高濃度區域，以修正蕭基接面(modified Schottky junction)達到降低蕭基位障的目的。

圖 6 與圖 7 為通道長度為 0.35 微米，通道寬度為 1 微米的 N 型通道 SOI 長通道蕭基位障元件之汲極電流-閘極電壓曲線與汲極電流-汲極電壓曲線。圖 6 可知當閘極電壓為-0.1 伏特與-1 伏特，其元件的開關電流比可以達到  $10^8$  與  $10^6$  以上。而元件的次臨界電流斜率(Sub-threshold slope)則可以下降到 81(mV/dec)，顯示出此 SOI 長通道蕭基位障元件確實有降低源、汲極漏電流(在閘極電壓為-0.1 伏特時約為  $10^{-14}$  安培)得到較佳的開關特性，同時在此 SOI 長通道蕭基位障元件在 DIBL 的表現上相當優異。圖 7 的汲極電流-汲極電壓曲線亦顯示在線性區(linear region)中並沒有出現串聯阻抗造成的非線性現象，可見修正蕭基接面的確有達到降低蕭基位障的功用。

進一步的元件分析尚在進行中。不同的製程參數的元件，包括 N 通道以及 P 通道元件尚在製作中。

## 五、計畫成果自評

本年度計畫執行至今，已獲致以下幾項重要結論：

1. 成功開發出 30-40 奈米複晶矽閘極製程，以及相關製程模組。
2. 初步建立以掃瞄穿隧探針測量接面深度技術。
3. 完成 i-line 步進機以及電子束直寫系統光罩交互對準技術。
4. 完成首批次微米 SOI 蕭基位障元件之製作。

本年度研究工作基本上依照計畫書進行，但在元件製作方面，因為製程步驟甚多且有眾多模組需要開發，目前僅完成第一批次微米元件製作，特性差強人意，但尚有改善空間。以掃瞄穿隧探針測量接面深度方面，表面處理對測量結果影響很大，目前已嘗試出可接受的處理方式，定量的分析尚待努力。總言之，實際執行方向與計畫書一致，內容相符程度約 90%。

參與本計畫之研究人員分別為博二、博一、碩一，分別在負責的部分獲得充分的訓練，為下一年度的奈米元件製作與分析建立良好基礎。本計畫已提出六件專利申請，尚有數篇論文在撰寫中。目前成果對相關研究以及後續計畫執行均有重要貢獻。

## 六、參考文獻

- [1]. G. H. Buh, H. J. Chung, C. K. Kim, J. H. Yi, I. T. Yoon, and Y. Kuk, "Imaging of a silicon pn junction under applied bias with scanning capacitance microscopy and Kelvin probe force microscopy" Appl. Phys. Lett., Vol.77, No.1, 2000
- [2]. M. L. O'Malley, G. L. Timp, S. V. Moccio, J. P. Garno, and R. N. Kleiman "Quantification of scanning capacitance microscopy imaging of the p-n junction through electrical simulation" Appl. Phys. Lett., Vol.74, No.2, 1999.
- [3]. P. A. Rosenthal, Y. Taur, and E. T. Yu "Direct measurement and characterization of superhalo implant single 20nm gate-length metal-oxide-semiconductor field effect transistor using cross-sectional scanning capacitance Microscopy", Appl. Phys. Lett., Vol.81, No.21, 2002.
- [4]. J. Kedzierski, P. Xuan, E. H. Anderson, J. Boker, T. J. King, C. Hu, "Complementary Silicide Source/Drain Thin Body MOSFETs for the 20 nm Gate Length Regime", in IEDM Tech. Dig., 2000.
- [5]. X. Huang, et. al., "Sub 50-nm FinFET: PMOS", in IEDM Tech. Dig., pp.67, 1999.

- [6]. H. C. Lin, et. al., “A novel implantless MOS Thin-Film Transistor with simple processing, excellent performance, and ambipolar operation capability”, in IEDM Tech. Dig., p.857, 2000.

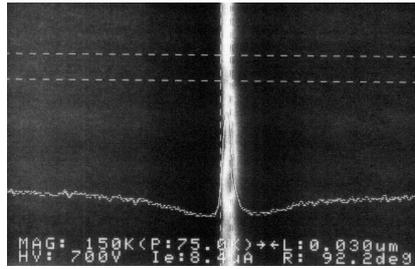


圖 1.以電子束直寫以及硬式遮罩技術製作之 30 奈米線寬複晶矽閘極。

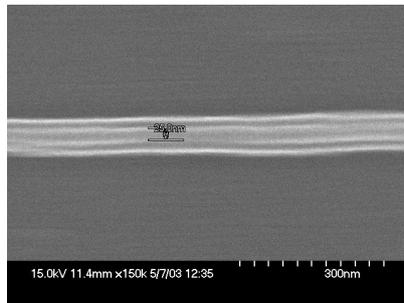


圖 2. 經過複晶矽蝕刻後氧化，閘極長度縮短為 25 奈米，加上 20 奈米長的  $\text{Si}_3\text{N}_4$  側壁子製作完成後的平面電子顯微鏡照片。

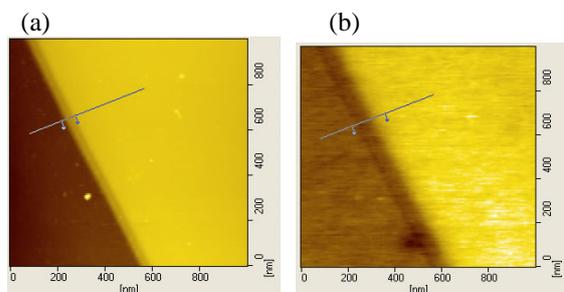


圖 3. (a) 掃瞄穿隧探針表面形貌影像，(b) KFM 表面電位影像。

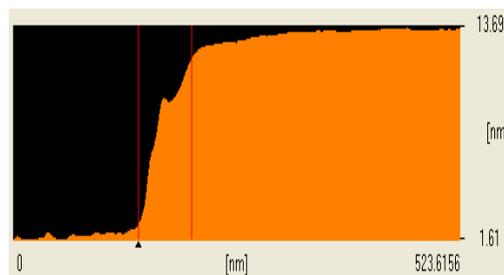


圖 4. 掃瞄穿隧探針表面形貌立體圖。

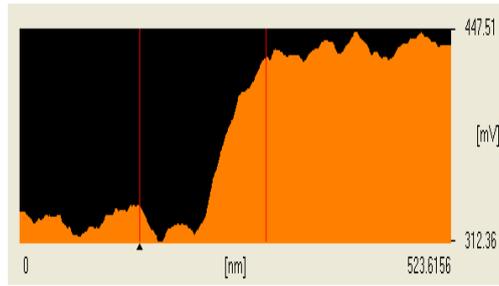


圖 5. KFM 表面電位立體圖。

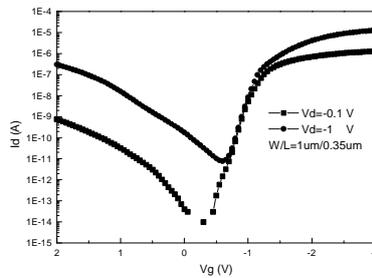


圖 6. 次微米 SOI 長通道蕭基位障元件之汲極電流-閘極電壓曲線。通道長度 0.35 微米。

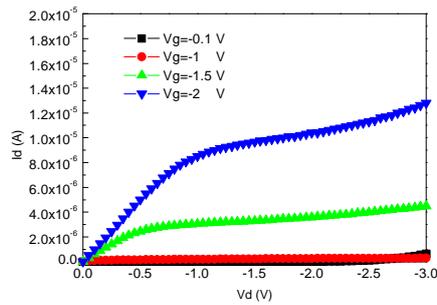


圖 7. 次微米 SOI 長通道蕭基位障元件之汲極電流-汲極電壓曲線。通道長度 0.35 微米。