

行政院國家科學委員會專題研究計畫 期中進度報告

超薄閘極氧化層 CMOS 元件軟崩潰效應研究(1/2)

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-009-049-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：汪大暉

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 5 月 23 日

計畫名稱：超薄閘極氧化層 CMOS 元件軟崩潰效應研究

(1/2)

計畫編號：91-2215-E-009-049

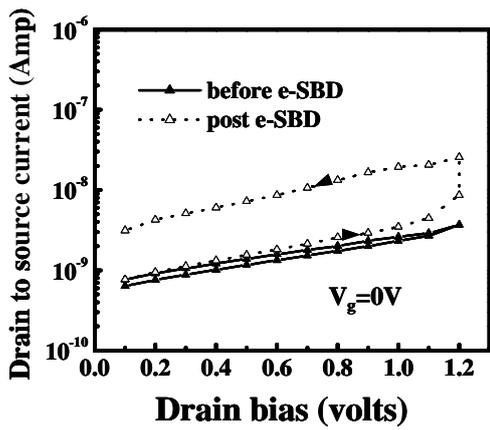
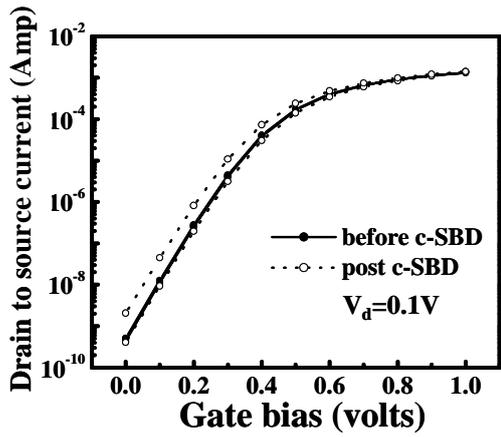
執行單位：國立交通大學電子工程學系

計畫主持人：汪大暉教授

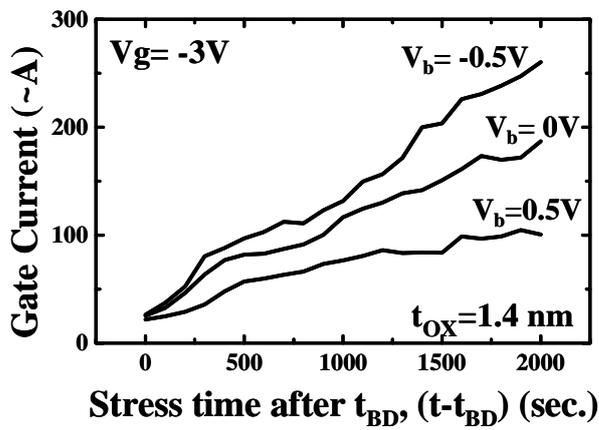
本計畫主要著重於超薄閘極氧化層 CMOS 元件內軟崩潰 (soft breakdown) SBD 所造成之元件特性退化。其中包括 SOI 元件內磁 (hysteresis) 效應及 PMOS 元件內軟崩潰後之退化特性。首先，軟崩潰將增加 SOI 元件之 hysteresis，而隨著軟崩潰位置之改變，所對應之 hysteresis 機制與強度亦隨之改變。另外，由於超薄氧化層 PMOS 元件內閘極漏電流具有約略相等之電子電流與電洞電流，吾人發現軟崩潰後具有與 NMOS 明顯不同之退化特性。

關於 SOI 元件之 hysteresis 議題方面，吾人發現在 SBD 後在累增區 (accumulation region) 中汲極和源極漏電流的大小將受 SBD 位置所影響，並建立一套利用 I_s/I_s+I_d ， I_b/I_s+I_d 比例的改變來判定 SBD 位置的方法，同時發現這兩種 SBD 元件，在不同的操作區域所引起之不同 hysteresis 形式，如圖一。在變動閘極電壓下，BD 發生在通道中 (channel) 的元件其 hysteresis 效應將被增強。而在變動汲極電壓下，BD 發生在汲極邊緣 (drain edge) 的元件其 hysteresis 效應將被增強。吾人將分析其物理機制。且將進一步評估此種 hysteresis 效應對於 SOI CMOS 電路之影響。

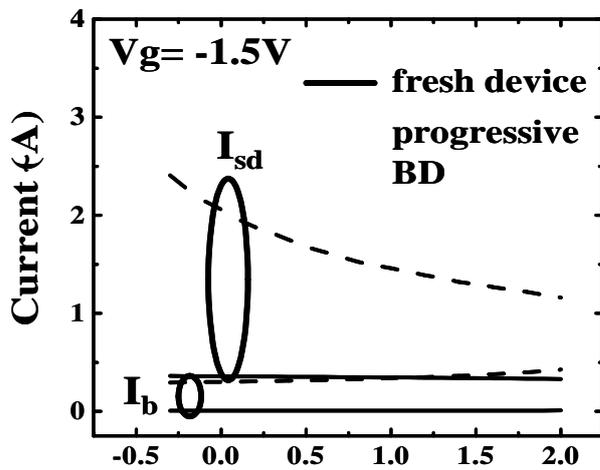
關於 PMOS 元件內軟崩潰後之退化特性，吾人發現 SBD 之 progress 情形會受基極電壓影響，如圖二。而且從 charge separation 方法分析閘極漏電流之電子與電洞成份，發現 SBD 後主要漏電流來自電洞電流的增加。這股電洞成分可受基極電壓調變，而且在基極順偏壓下，電洞電流有明顯的增加，如圖三。這結果和在圖二中吾人發現在基極順偏壓下，有較大的 progress 電流有一致的相關性。吾人將建立一套 SBD 後閘極漏電流中電洞成份激增之物理模式，並且利用量子物理中穿墜效應來模擬電洞電流的改變。上述初步結果已獲 2003 IRPS 接受，並已於 2003 年 4 月於美國 Dallas 發表。



圖一



圖二



圖三