

行政院國家科學委員會專題研究計畫 期中進度報告

子計劃二：射頻電路之靜電放電防護技術與高速高低壓界面
電路之研發(1/3)

計畫類別：整合型計畫

計畫編號：NSC91-2215-E-009-077-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程研究所

計畫主持人：柯明道

報告類型：精簡報告

報告附件：國際合作計畫研究心得報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 5 月 27 日

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：

中 華 民 國 92 年 05 月 21 日

行政院國家科學委員會專題研究計畫期中報告

計畫編號：NSC 91-2215-E-009-077

執行期限：91 年 08 月 01 日至 92 年 07 月 31 日

主持人：柯明道 副教授 國立交通大學電子研究所

計畫參與人員：徐國鈞、林昆賢、張瑋仁、莊凱嵐、黃如琳、簡志松
國立交通大學電子研究所

一、中文摘要

在 RF IC 的應用上,ESD 保護電路不只需要有高的 ESD 損壞臨界電壓(failure threshold voltage)以確保其良好的性能,還必須擁有低寄生電容和電阻,以降低 RC 延遲。一般來說,一個操作在 2GHz 的射頻輸入接點(input pad),其可容忍的最大負載電容(maximum loading capacitance)也不過只有 200fF。

隨著半導體製程技術的快速發展,積體電路內部所使用的電壓準位也跟著下降,如 0.13 微米的積體電路內部則僅使用 1V 的電壓準位來運作。可是外界傳輸的電路訊號之電壓準位大都依然維持在 5V 或 3.3V,這 5V/3.3V 的電路訊號不能直接傳入 0.13 微米的積體電路內部,因此,在積體電路的輸出入端必需要有混合電壓輸出入界面電路來隔離輸入訊號的高電壓準位,但又必需把輸入的電路訊號快速地送入該積體電路內部。

關鍵詞：靜電放電(ESD), 靜電放電防護電路, 射頻輸出入電路, 混合訊號輸出入電路

Abstract

Electrostatic discharge (ESD) phenomena continue to be a main reliability issue in CMOS IC's because of technology scaling and high frequency requirements. A typical request of an RF input pad with maximum loading capacitance is only 200 fF for circuit operation at 2 GHz.

Moreover, with the device dimensions of the integrated circuits scaling down, the voltage level of internal circuits had also been reduced such as only 1.0V for the 0.13- μm CMOS process. However, the external circuit signals still have the voltage level of 5V or 3.3V. Such high voltage signals cannot be directly connected into the sub-quarter-micron CMOS IC's. In this research project, we also design the interface circuits to process the external and internal signals, which have different voltage levels with ESD protection consideration.

Keywords: Electrostatic discharge (ESD), ESD Protection Circuit, RF I/O, Mixed-voltage I/O

二、緣由與目的

追求更高的截止頻率(cut off frequency)、操作頻率、以及功率增益(power gain),以獲得更快速、更優良的特性,是射頻電路電晶體製造者不斷努力的方向。根據電晶體理論,當電晶體的尺寸縮小時,可獲得較高的工作頻率,因此在元件製程進入深次微米時代之後,隨著縮微(scaled down)的快速發展,射頻電晶體(RF MOSFET)的操作頻率也順利地得以提昇。

但是,對縮微化之電晶體元件與高頻特性的需求,靜電放電(ESD)現象對 CMOS IC 而言,是影響其可靠度(reliability)的主要因素。由於深次微米 CMOS 技術中較薄的氧化層會造成低崩潰電壓(breakdown voltage),所以必須設計出有效率的 ESD 電路以避免過高的電壓降於內部電路中的閘極氧化層。在 RF IC 的應用上,ESD 保護電路不只需要有高的 ESD 損壞臨界電壓(failure threshold voltage)以確保其良好的性能,還必須擁有低寄生電容和電阻,以降低 RC 延遲。一般來說,一個操作在 2GHz 的射頻輸入接點(input pad),其可容忍的最大負載電容(maximum loading capacitance)也不過只有 200fF;這 200fF 不但包括了 ESD 保護元件,連連接點本身的電容也算進去了。為了與射頻訊號達成阻抗匹配(impedance matching),有一些 ESD 保護電路的設計必須利用到分散的電感(distributed inductance)與 ESD 箝制元件(clamp devices)。此外,欲進一步地減低高頻訊號 ESD 保護電路的輸入電容,還必須在 ESD 防護設計的輸入端加上 turn-on efficient power-rail ESD clamp circuit,以提高小尺寸 ESD 箝制元件的 ESD 防護能力。總結地說,RFIC 中的 ESD 保護電路必須具備:低寄生電容、固定的輸入電容(constant input capacitance)以及不受基板共擾雜訊干擾(substrate coupling noise)、和優良的 ESD 防護能力(ESD robustness),而這些要求也增加了電路設計的困難度。另外,由其他電路所引起的基板雜訊會藉由 ESD 保護電路而對射頻輸入產生共擾現象(coupling effect)使射頻電路的性能變差。射頻電路的連接點(bond pad)設計也因為必須擁有與 ESD 保護電路的相容能力,以及夠低的輸入電容,所以隨著 CMOS 元件越來越薄的閘極氧化層和越來越快的射頻電路,RFIC 中的 ESD 保護電路設計變得益加困難。

隨著半導體製程技術的快速發展,電晶體元件尺寸被縮小以提昇積體電路的集積度與運算速度,但如此小尺寸的電晶體元件無法承受過高的電壓,因此 0.25 微米的積體電路內部使用 2.5V 的電壓準位來運作,而 0.13 微米的積體電路內部則僅使用 1V 的電壓準位來運作。可是外界傳輸的電路訊號之電壓準位大都依然維持在 5V 或 3.3V,這 5V/3.3V 的電路訊號不能直接傳入 0.25 微米/0.13 微米的積體電路內部,在積體電路的輸出入端必需要有混合電壓輸出入界面電路來隔離輸入訊號的高電壓準位,但又必需把輸入的電路訊號快速地送入該積體電路內部,而且不能有靜態的漏電流產生以及薄閘極氧化層可靠度的問題。因此,先進之深次微米互補式金氧半製程技術下的積體電路非常需要此類高速高低電壓輸

出入界面電路。本計畫擬針對 0.25 微米以下(sub-quarter-micron)之先進 CMOS 製程，研發可供產品實用之高速高低電壓界面電路。

三、研究成果

本計畫的研究成果已經整理且發表了五篇 *IEEE Conference* 論文[1]-[3]、[5]和[6]以及一篇 *IEEE* 國際期刊論文[4]。研究的內容有應用於射頻電路的 ESD 保護電路、新型的高速高低壓界面電路和一般輸入/輸出端所使用的 ESD 保護電路。

在射頻電路的 ESD 保護電路研究中，我們首先比較了 STI 二極體及 poly-gated 二極體對射頻電路特性的影響[1]，發現 poly-gated 二極體(圖 1)可以在相同的 ESD 耐受度下，對射頻電路的功率增益(power gain, S21)造成較小的損耗(約 -0.51dB)。因此 poly-gated 二極體比 STI 二極體更適合做為射頻電路的 ESD 保護電路。另外，我們也成功地設計了一組可供 CMOS 射頻電路所使用的 ESD 保護電路[2]，此保護電路主要是在輸入端的 ESD 保護電路路徑上加上一組 LC tank(圖 2)，此 LC tank 在共振頻率下會產生一無限大的阻抗而阻絕 ESD 保護電路的寄生電容效應對射頻電路所產生的負面影響。在靜電放電發生的情況下，又能很快地透過電感、二極體和電源線間的 ESD 保護電路將靜電排放掉。在操作頻率為 2.7GHz 的射頻電路中，這組帶有 LC-tank 的 ESD 保護電路不僅可以通過一般 ESD 測試規格的要求，而且只會對射頻電路造成 -0.69dB 的功率增益損耗和只增加 0.63dB 的雜訊指數(noise figure)。在這部分的結果中，我們除了定性上的分析外，也推導出功率增益及雜訊指數和 ESD 保護電路寄生電容的定量關係，分別如下所示。

$$G_T = \frac{P_L}{P_{avs}} = \frac{\frac{1}{8}|V_s G_m|^2 (R_{sw} \parallel R_s)}{\frac{1}{8}|V_s|^2 / R_s} = |G_m|^2 R_s (R_{sw} \parallel R_s) = \left(\frac{S_f}{S_0}\right)^2 \frac{(R_{sw} \parallel R_s)}{R_s} \left| \frac{1}{2 + \frac{R_s}{Z_{ESD}}} \right|^2$$

$$NF = 1 + \frac{S_{a,M_1}(S_0) + S_{a,R_{ESD}}(S_0)}{S_{a,src}(S_0)} = 1 + \chi T' g_{d00} R_s \left(\frac{S_0}{S_f}\right)^2 + \frac{R_s R_{ESD}}{4 |R_{ESD} + jX_{ESD} + \frac{R_s}{2}|^2}$$

在高速高低壓界面電路中，我們提出了一組不需要使用厚的閘氧化層就可以避免薄閘氧化層在高低壓界面電路所面臨的可靠度問題，而且所設計的閘極電壓追蹤電路 (gate-tracking circuit) 和動態 n 型井偏壓電路 (dynamic n-well bias circuit) 其所使用的電晶體數目也比之前文獻發表的電路來的少[3]。圖 3 是我們所提出的新穎性的高低壓界面電路，當輸出入端的電壓為 5V 時，Mp3 會導通並將 Mp0 的閘極電壓充到 5V，而 Mp0 浮接的 n-well 電位也會透過汲極到井間 (drain-well) 的接面二極體被偏壓在 5V，因此不會有額外的靜態漏電流產生。另外，此 5V 的訊號傳到輸入級時會先經由 Mn0 降壓，避免內部反相器 INV0 有薄的閘氧化層可靠度的問題，此部分的設計也比傳統的設計更為簡易。綜合來說，此電路的優點為：不需使用厚的閘氧化層、偏壓電路所使用的電晶體數目較少以及 Mp0 在正常操作下不會有基體效應(body effect)。

此外，我們也提出了幾種一般輸入/輸出端所使用的 ESD 保護電路[4]-[6]，其中包含了利用互補式基體觸發矽控整流器(complementary substrate-trigger SCR)和 MOS-bounded 二極體做為 ESD 保護元件的保護電路。矽控整流器在眾多的防護元件中具有面積最小和靜電放電耐受度最好的優點，但由於其導通電壓過高(~20V)，所以在應用上受到一些限制。因此我們將基體觸發的技術應用在矽控整流器上以降低其導通所需的電壓和增加其導通的速度，提出了互補式基體觸發矽控整流器[4]，[5]，圖 4 所示為 P 型基體觸發矽控整流器的元件結構，在 0.25 微米 CMOS 的製程中，只要在矽控整流器的基體上外加 8mA 的電流，矽控整流器的導通電壓可由原先的 22V 降到 1.85V，N 型基體觸發矽控整流器也具有相同的特性，因此大大地改善了矽控整流器的導通速度。圖 5 則為利用此互補式基體觸發矽控整流器所設計的輸入/輸出端 ESD 保護電路，當中的堆疊二極體是為了增加 ESD 保護電路的整體持有電壓(holding voltage)，避免在電路正常操作下發生閉鎖(latchup)現象，而電阻、電容和 NMOS/PMOS 則是為了因應在靜電放電發生的情況下，能提供互補式基體觸發矽控整流器所需要的觸發電流，使其能再最短的時間內導通並將靜電電流排放掉。圖中堆疊二極體的架構也可以採用堆疊的互補式基體觸發矽控整流器[4]來取代，同樣也具有防止閉鎖現象的功能。當然除了應用在輸入/輸出端外，我們也提出了幾種應用互補式基體觸發矽控整流器做為電源線間的 ESD 箝制電路 [4]，[5]，以提供全晶片(whole chip)的防護。

圖 6 是我們所提出新型的 NMOS-bounded 二極體的元件結構[6]，另外還有 PMOS-bounded 二極體(未列於此)。此種二極體的優點是可透過閘極耦合(gate-coupled)的技術去調變 NMOS / PMOS 的閘極電壓來改變二極體的 ESD 耐受度和導通特性，這部分的實驗結果也在 0.15 微米 CMOS 製程中得到驗證，此新型的 MOS-bounded 二極體的 ESD 耐受度和導通特性確實比其他形式的二極體更適合做為 ESD 保護電路。

四、參考文獻

- [1] **Ming-Dou Ker** and C.-M. Lee, "Interference of ESD protection diodes on RF performance in giga-Hz RF circuits," accepted by *2003 IEEE International Symposium on Circuits and Systems (ISCAS)*, Bangkok, Thailand, May 25-28, 2003.
- [2] **Ming-Dou Ker**, C.-I. Chou, and C.-M. Lee, "A novel LC-tank ESD protection design for giga-Hz RF circuits," accepted by *2003 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, Philadelphia, Pennsylvania, USA, June 8-10, 2003.
- [3] **Ming-Dou Ker** and C.-S. Tsai, "Design of 2.5V/5V mixed-voltage CMOS I/O buffer with only thin oxide device and dynamic n-well bias circuit," accepted by *2003 IEEE International Symposium on Circuits and Systems (ISCAS)*, Bangkok, Thailand, May 25-28, 2003.
- [4] **Ming-Dou Ker** and K.-C. Hsu, "Substrate-triggered SCR device for on-chip ESD protection in fully silicided sub-quarter-micron CMOS process," *IEEE Trans. on Electron Devices*, vol. 50,

no.2, pp. 397-405, Feb. 2003.

- [5] **Ming-Dou Ker** and K.-C. Hsu, "Complementary substrate-triggered SCR devices for on-chip ESD protection circuits," *Proc. of 2002 IEEE International ASIC/SOC Conference*, Rochester, New York, Sept. 25-28, 2002, pp. 229-233.

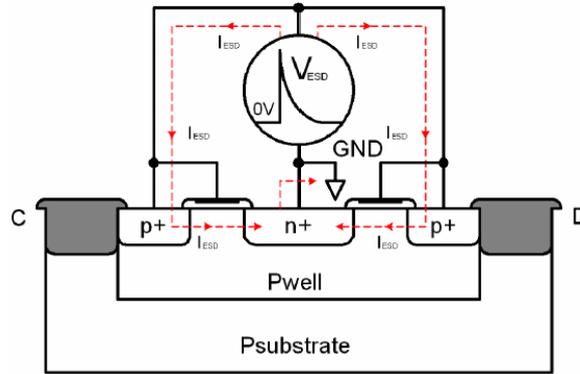


圖 1. 應用在射頻電路中的 poly-gated 二極體元件結構 [1].

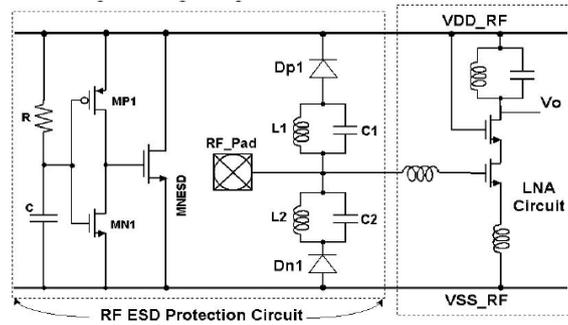


圖 2. 應用在射頻電路中帶有 LC-tank 的靜電放電保護電路 [2].

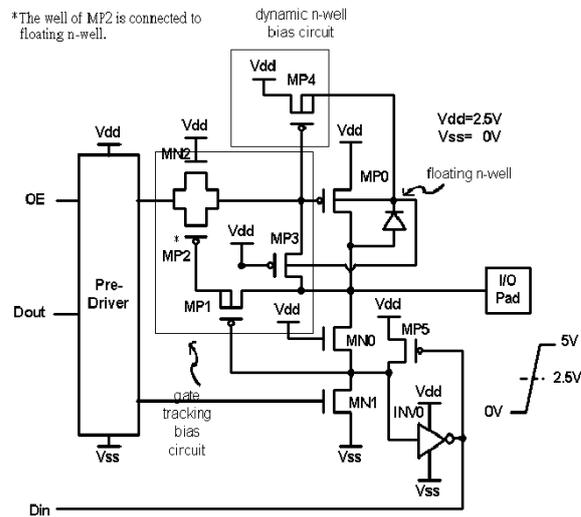


圖 3. 新型的高速高低壓界面電路 [3].

- [6] **Ming-Dou Ker**, K.-H. Lin, and C.-H. Chuang, "MOS-bounded diodes for on-chip ESD protection in a 0.15- μm shallow-trench-isolation salicided CMOS process," accepted by *2003 International Symposium on VLSI Technology, Systems, and Applications (VLSI_TSA)*, Taiwan, April 23-25, 2003.

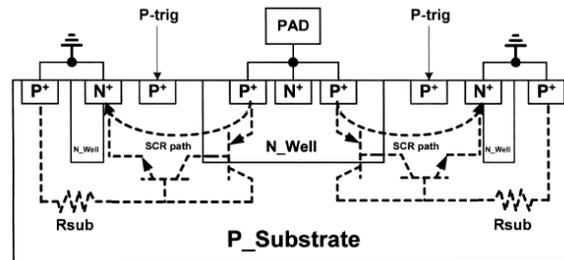


圖 4. P 型基體觸發矽控整流器的元件結構 [4].

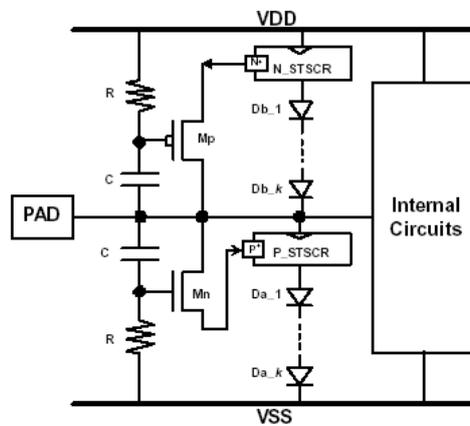


圖 5. 利用互補式基體觸發矽控整流器及堆疊二極體做為輸入/輸出端的靜電放電保護電路 [5].

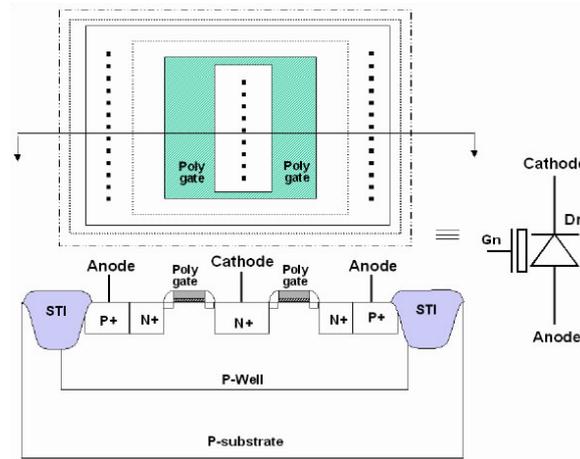


圖 6. NMOS-bounded 二極體元件的佈局和剖面結構示意圖 [6].