

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 子計劃三:5Gbps 資料傳輸收發器 - PC 板匯流排之應用

計畫類別：整合型計畫

計畫編號：NSC91-2215-E-009-082-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電機與控制工程學系

計畫主持人：蘇朝琴

報告類型：精簡報告

處理方式：本計畫涉及專利或其他智慧財產權，2年後可公開查詢

中 華 民 國 92 年 5 月 30 日

# 行政院國家科學委員會補助專題研究計畫期中進度報告

## 5 Gbps 資料傳輸收發器 子計劃三：PC 板匯流排之應用(1/3)

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 91-2215-E-009-082-

執行期間： 91 年 7 月 31 日至 92 年 8 月 01 日

計畫主持人： 蘇朝琴

共同主持人： 蘇朝琴 周世傑 陳巍仁 劉建男 蔡宗漢

計畫參與人員： 呂鴻文 李建錫

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年  二年後可

公開查詢執行單位：

中華民國 92 年 5 月 26 日

## 5 Gbps 資料傳輸收發器

### 子計劃三：PC 板匯流排之應用(1/3)

### The application of print circuit board bus (2/3)

計劃編號：NSC90-2215-E-008-024 執行期限：91/7/31 ~ 92/8/01

主持人：國立中央大學 電機工程學系 蘇朝琴教授 ccsu@cn.ntcu.edu.tw

#### 一、 中文摘要

首先，我們完成了一個 1.8V、5Gbps 的低電壓差動訊號(LVDS,Low Voltage Differential Signaling)發射器，並提出一個新式的樹狀多工器(Tree-type multiplexer)。接著我們在減少硬體消耗與高速傳輸的原則下，我們提出了一個 1.8V、2.5Gbps 半速率兩倍過取樣的序列傳輸之時序與資料回復電路(2X Oversampling-Based Clock and Data Recovery Circuit)，此電路以回授方式調整相位改進了傳統兩倍過取樣對於時脈抖動容忍(jitter tolerance)度較低的缺點。接下來我們改進低電壓差動訊號發射器的架構，使它能夠操作於低電壓同時減少短路電流以降低同時切換雜訊 (Simultaneous Switching Noise)，同時可藉由外部控制適度補償製程飄移。最後，我們做了有關信號完整性(Signal integrity)的分析，由於晶片內部傳輸線佈線十分接近，其產出電磁場的相互感應，使得電子信號有相互干擾的現象，如何能在電路設計前，計算出相互干擾程度，進而提出一量化指標，降低干擾發生。

#### 二、 英文摘要

A 1.8V 5Gbps Low voltage differential signaling (LVDS) transmitter have been designed in a 0.18um CMOS process. The novel Tree type enable multi-phase ringing oscillator without extreme high speed global clock. For the consideration of lower hardware overhead and higher data rate, We also proposed an modified 2X oversampling type clock and data recovery circuit(CDR). We add a new mechanism of phase shift loop for searching optimal sampling point to improve the jitter tolerance of 2X oversampling CDR architecture apply for & additional phase shift. Then we modified our LVDS transmitter for lower supply voltage and lower chip area, the transmitter reduced simultaneous switching noise by reducing short circuit current, and an control circuit is built for the compensation of process variation.

Because the high-speed serial links have been widely adopted in backplane interconnect. The deployment of gigabit serializer and deserializer (SerDes) poses many challenges for the design, simulation, and manufacturing of the printed circuit board (PCB). In which, transmission line analysis becomes very important for design verification and manufacture debugging. For PCB applications, crosstalk is as an important signal integrity issue as reflection.

#### 三、 關鍵字

LVDS Transmitter, Multiplexer, 2X oversampling, PLL, Signal integrity, cross coupled

#### 四、 內容

##### 甲、 前言

當晶片與外界通訊時，輸入/輸出介面是決定晶片間是否成功傳送接收的重要因素。由於由於製成技術的不斷縮小使得晶片內部的操作頻率及電路複雜度相對的增加，晶片內部資料處理量與處理速度的不斷提升，在有限的傳輸通道下，但晶片間的傳輸頻寬卻無法相對的提升，也因此輸入/輸出介面的傳輸速度成為限制了系統的整體效能的瓶井。

一個典型的傳輸介面是由發射器，傳輸線，接收器所構成，發射器將晶片內部的數位信號轉換成類比信號輸出至晶片外，信號經過傳輸線到達遠端同時根

據傳輸環境而有程度上的衰減，遠端的接受器會再將衰減後的類比資料轉換成晶片內所需數位資料。在過去，完全振幅(full-swing)、單端傳輸(Single-ended)的CMOS 介面一直被使用於晶片間的傳輸。當傳輸頻率增加時，完全振幅(full-swing)的架構由於功率消耗、頻寬限制、電磁效應、低雜訊免疫相對的變差變得非常的不實用，而低電壓差動的訊號傳輸則可以解決上述的問題。目前使用的低電壓差動訊號傳輸的規格主要有兩種：Low Voltage Differential Signaling(LVDS)及 Transition Minimized Differential Signaling (TMDS)，本次設計我們使用主要應用於液晶顯示平面(Flat Panel Display)傳輸的 LVDS 做為設計發設器的規格。

## 乙、 研究目的

在本次設計我們對於每個傳輸上的關鍵元件都提出了程度上的改善，以達到改善功率消耗，提昇操作速度，降低製程要求與製程偏移等目標，在此本設計的第一個重點將重點在於新式的樹狀多工器，可以搭配環狀震盪器操作以降低製程要求與提昇操作速度。第二個重點在接收器的資料與時脈回覆電路是採兩倍的取樣電路以降低面積與功率消耗同時提昇操作速度，第三個重點將 LVDS 發射器的架構加以改進，使的它能操作在更低的操作電壓，面對電路操作時所產生的同時性切換雜訊，我們改進了預先驅動電路(pre-driver)與輸出緩衝器(output driver)，第四個重點在於多條傳輸線上可能產生的交互耦合與組抗不匹配所產生的反射兩個傳輸線上影響信號品質的重要現象，我們也做了詳細的討論。

## 丙、 文獻探討

多工器(multiplexer)的功能在於將多筆的平行資料依序傳送為序列的資料，也是任何形式的發射機(transmitter)的關鍵性元件，大多數發射機所需要的多工數目都為二的次方，如 2, 4, 8, 16, 其他的可能根據編碼的需求，如 8B/10B, 則是需要 10 對一的多工器，關於多工器的電路架構主要有兩種，我們可以由圖與圖二看到:一種是一階的 N 對一，另一種則是樹狀的 N 對一，前者的架構優點在於可搭配環狀震盪器(ring oscillator)的鎖相迴路，也就是說需要的時脈只需要操作在傳輸資料量的 N 分之一，同時 N 的值可任意變換，但相對的需要的環狀震盪器的階數也跟著不同，但是缺點則是由於多工器輸出端有相當大的寄生電容，使的此架構的頻寬大幅地壓縮，而後者架構則改善了前者的缺點，由於分成多階，每一階的多工數目減少，輸出端的寄生電容降低，操作頻率大幅提高，缺點則是需要一個相當高速的時脈，以每階均為二對一的多工器而言，供應的時脈必須為資料傳輸速率的 2 分之一，同時整體多工器的電流會大於前者許多。

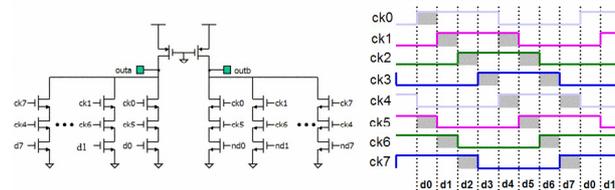
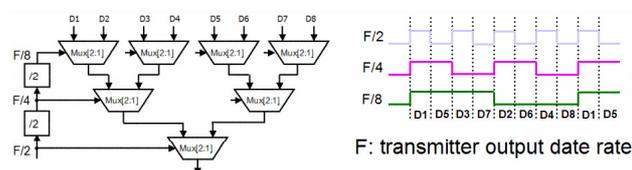


圖 一階的 8 對一多工器與相對所需供應的時脈



圖二 樹狀的 8 對一多工器與相對所需供應的時脈

## 丁、 研究方法與結果討論

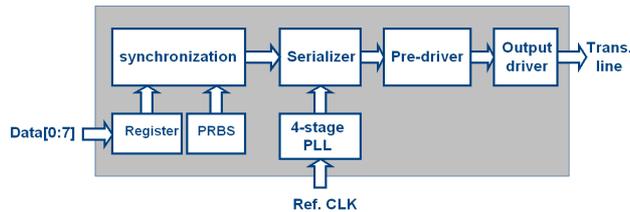
### (A) 1.8V、5Gbps 的低電壓差動訊號發射器

我們所提出的 5Gbps 低電壓差動訊號傳輸器一共分為鎖相迴路、序列機、前級驅動機、輸出驅動機，如圖一所示。序列機(serializer)如圖二所示，將八位元暫存器(8 bit register)得到的數位資料由鎖相迴路提供的八相位時脈做分時多工輸出至前端驅動器(Pre-Driver)，傳統樹狀傳輸機必須輸入高速的時脈，此新式樹狀序列機改進了此項缺點，大幅降低對於外部時脈的要求，只須輸入低速多相位的時脈，將多相位時脈的巧妙安排即可以達到於傳統樹狀序列機相同的效果，因此可以應用於多相位的鎖相迴路。前端驅動器如圖三所示，將信號的驅動能力逐級放大，並產生兩

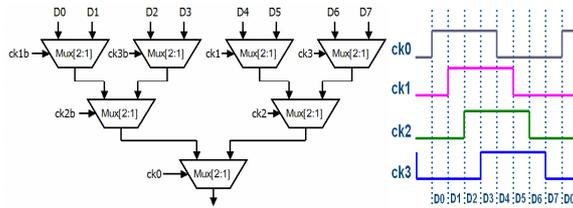
組輸出信號以控制輸出驅動機(output driver)上下兩組開關，最後由輸出驅動器將訊號送到指定的準位。由於系統設計在接收端及傳送端各有一 100 歐姆的終端電阻(terminator)，為了符合 LVDS 標準的規定，輸出差動振幅須為 250mV ~ 450mV 之間，所以輸出驅動器之推動電流量須為 7mA。

關於鎖相迴路如圖四所示，VCO 輸出 8 個相位，中心操作頻率為 1.25G，增益為 2.5G/V，改變可操作的頻率範圍為 0.5G 到 2G，經過除 16 的除頻器與外部的 78MHJ 參考時脈作比較，低通濾波器的被動電容有兩個，一個是 200p，另一個是 20p，電阻為 2K，Charge Pump 的電流為 40uA，同時整個鎖相迴路的 phase margin 為 45 度，頻寬為 5M rad/s，圖五為鎖相迴路的佈局後模擬結果，時脈抖動為 10ps。

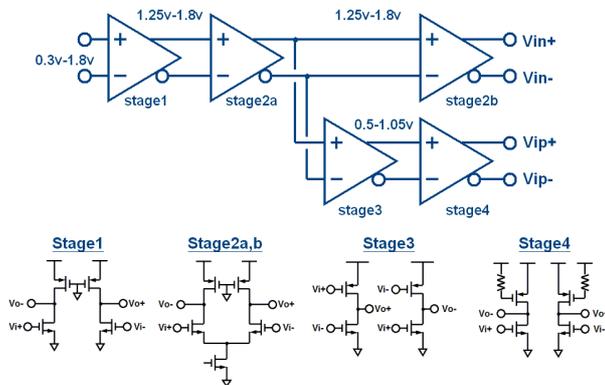
圖六為整個發射機的佈局圖，我們採用 TSMC 1P6M 0.18  $\mu\text{m}$  的製程設計。此晶片設計共有 1112 個電晶體，晶片面積為 1250\*730  $\mu\text{m}^2$ ，圖七為佈局後的模擬圖，時脈為 13ps。



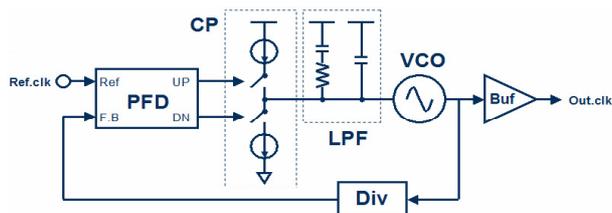
圖一 2.5Gbps LVDS 傳輸器架構圖



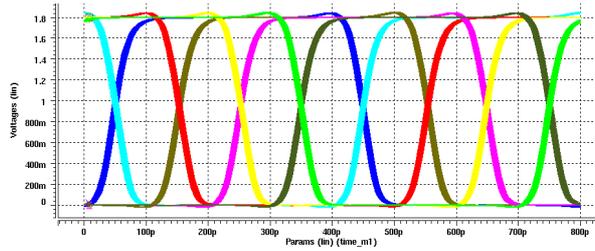
圖二 新式樹狀序列機之架構與所對應時脈



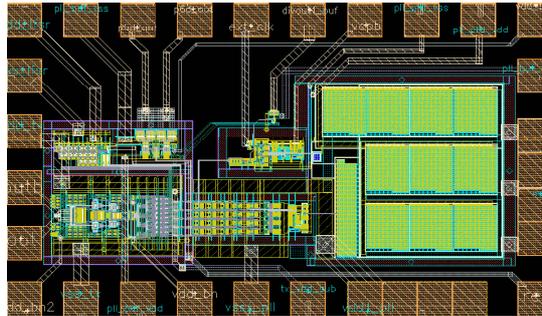
圖三 前端驅動機



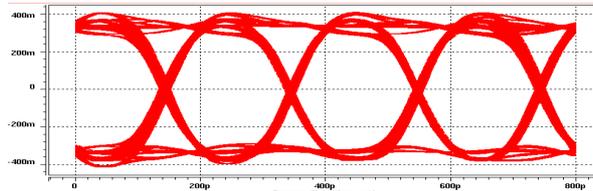
圖四 鎖相迴路架構



圖五 鎖相迴路輸出波形



圖六 鎖相迴路與傳輸器輸出之佈局圖



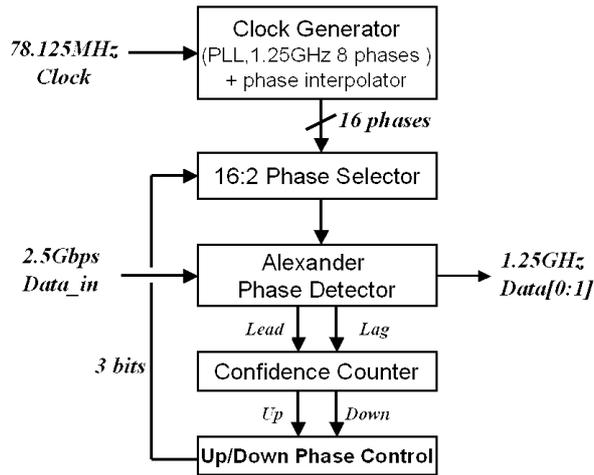
圖七 鎖相迴路與傳輸器輸出之模擬結果

### (B) 1.8V、2.5Gbps 兩倍過取樣之時序與資料回復電路

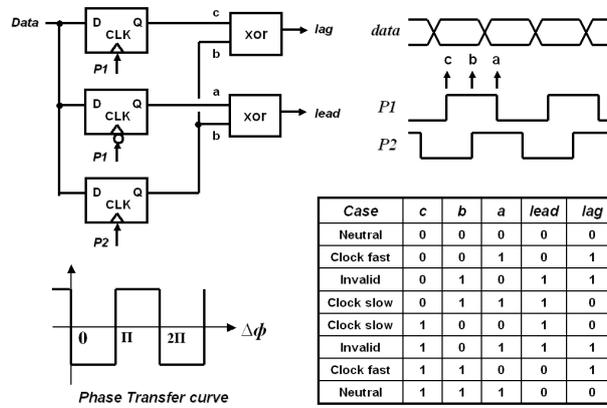
我們所提出的 2.5Gbps 之高速鏈結之時序與資料回復電路，如圖八所示，一共分為時脈產生器，相位穿插器(Phase interpolator)、16:2 相位選擇器(Phase Selector)、半速率之亞歷山大相位偵測器(Alexander Phase Detector)、信心計數器(confidence counter)、相位上移 / 下移控制邏輯(up/down control)、與先進先出緩衝器(FIFO buffer)。其中，時脈產生器與發射機共用相同的鎖相迴路，但在此我們外加一級相位穿插器以產生十六個不同的相位。

資料回覆的程序為此外我們採用半速率的亞歷山大相位偵測器(Half-Rate Alexander Phase Detector)，如圖九所示，乃是利用連續的三個時脈邊際對單一資料單位做兩倍過取樣，在此我們利用相位偵測器陣列一次取 8 筆資料同時作一對八的解繙(Deserializer)，再將領先與落後資訊相加並比較大小。接下來利用信心計數器將領先或落後的資訊加以分析，此信心計數器的功能有如鎖相迴路中的低通濾波器，之後當信心計數器會發出控制信號給此給定上移 / 下移控制邏輯，最後透過相位選擇器將取樣的時脈相位做適度的移動，使得我們能在資料的中心點進行取樣，以保持取樣資料的正確性。

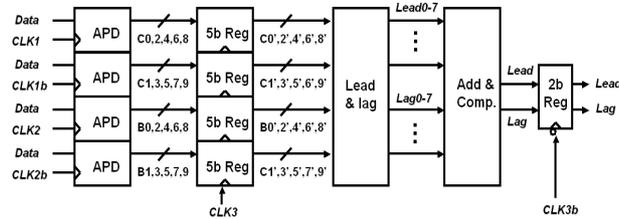
採用此半速率的架構將可降低時脈產生的設計複雜度，並加大往後系統整體操作頻率的向上提升空間。而先進先出緩衝器則是避免整個資料傳輸因為使用的時脈不同而發生的資料錯誤。



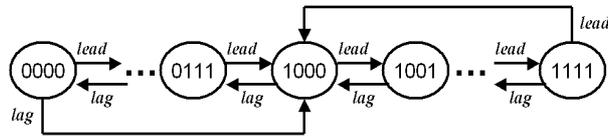
圖八 兩倍過取樣時序與資料回復電路架構圖



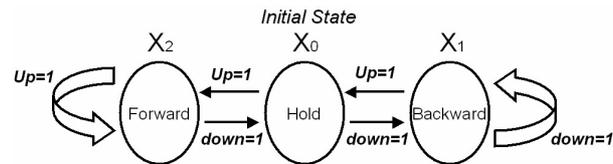
圖九 半速率之亞歷山大相位偵測器架構圖



圖十 兩倍過取樣器與信心計數器時序示意圖



圖十一 信心計數器時狀態圖



圖十二 上移/下移控制邏輯

**(C) 信號完整性分析**

就傳統設計而言，計算時域響應的模擬以 RLGC lumped 電路模型為主，但是這必須在傳輸線很短的情況下才能達到一定的精準度。在晶片內部資料匯流排(bus)的應用中，由於傳輸線太長使得信號完整性分析不僅須考慮互連效應(crosstalk effect)，也必須包含反射(reflection)因素。

圖十三為晶片內部 M 條耦合(coupled)點對點(point-to-point)資料匯流排架構圖，由於佈線技巧限制，過長的匯流排必須經由不同金屬層(metal layer)而達到佈線目的。隨著金屬層數量增加，每層傳輸線寬度與間距的限制會有所改變，而造成傳輸線一連串阻抗匹配問題。

如圖十四所示，本計劃將提出一個非耦合(uncoupled)等效傳輸線模型來模擬互連與反射效應並分析其定性與定量結果。為了提供一個簡單完整 closed form 並降低演算之複雜度(complexity)，在這種機制下，傳輸線耦合模型必須是 triangular 與非互耦合傳輸線模型。金屬層點對一般而言，匯流排之傳輸線對稱性佈局與互連效應虛耦合(weakly coupled)的假設會符合以上條件。

考慮一組 M 條平行耦合傳輸線經由 N 層金屬層的匯流排，藉由電報方程式(telegrapher equations)的推導，非耦合等效傳輸線在時間點  $2u_1T_{d1i} + 2u_2T_{d2i} + \dots + 2u_NT_{dNi}$  在近端(near end)發生之反射電壓  $V_{li}^{(u_1, u_2, \dots, u_N)}$

$$V_{li}^{(u_1, u_2, \dots, u_N)} = m_{li} \cdot \rho_{1di}^{u_1-1} (1 + \rho_{1di}) \rho_{(N+1)di}^{u_N} \left( \prod_{j=2}^N a_{u_{j-1}, u_j}^{(j)} \right) \cdot \tau_{sdi} V_{s1}(s) e^{-2u_1T_{d1i}s - 2u_2T_{d2i}s - \dots - 2u_NT_{dNi}s}, \text{ for } i = 1, \dots, M.$$

非耦合等效傳輸線在時間點  $(2u_1-1)T_{d1i} + (2u_2-1)T_{d2i} + \dots + (2u_N-1)T_{dNi}$  在遠端(far end)發生之反射電壓  $V_{(N+1)di}^{(u_1, u_2, \dots, u_N)}$  為

$$V_{(N+1)di}^{(u_1, u_2, \dots, u_N)} = m_{li} \cdot \rho_{1di}^{u_1-1} \rho_{(N+1)di}^{u_N-1} \left[ \prod_{j=2}^{N+1} (1 + \rho_{jdi}) \right] \cdot \left[ \prod_{j=2}^N \left( \sum_{k=0}^{u_j-1} a_{u_{j-1}, k}^{(j)} (-1)^{u_j-1-k} \rho_{jdi}^{u_j-1-k} \right) \right] \cdot \tau_{sdi} V_{s1}(s) e^{-(2u_1-1)T_{d1i}s - (2u_2-1)T_{d2i}s - \dots - (2u_N-1)T_{dNi}s}, \text{ for } i = 1, \dots, M.$$

其中  $T_{dNi}$  為非耦合等效傳輸線第 i 段之傳輸延遲(propagation delay)， $(u_1, u_2, \dots, u_N)$  為第 i 段傳輸線考慮有限反射次數，而  $a_{uv}$  參數可藉由遞迴演算法得到。匯流排兩端之電壓 closed forms 為

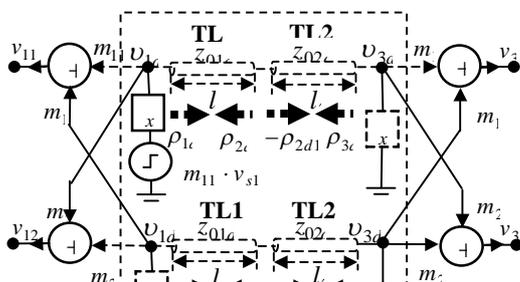
$$v_{li}(t) = \text{Laplace}^{-1} \left\{ \sum_{j=1}^M m_{ij} \cdot \sum_{j_1=0}^{u_1} \sum_{j_2=0}^{u_2} \dots \sum_{j_N=0}^{u_N} V_{ldj}^{(j_1, j_2, \dots, j_N)}(s) \right\},$$

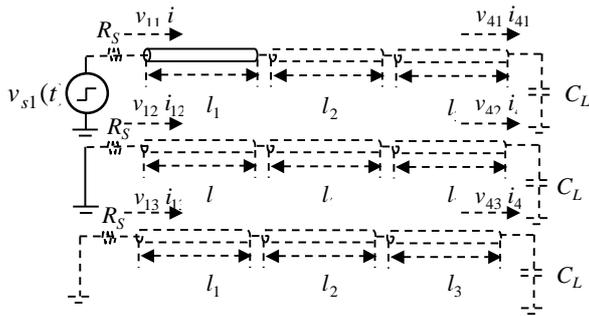
$$v_{(N+1)i}(t) = \text{Laplace}^{-1} \left\{ \sum_{j=1}^M m_{ij} \cdot \sum_{j_1=0}^{u_1} \sum_{j_2=0}^{u_2} \dots \sum_{j_N=0}^{u_N} V_{(N+1)dj}^{(j_1, j_2, \dots, j_N)}(s) \right\}, \text{ for } i = 1, \dots, M.$$

為了驗證以上 closed form 的正確性，利用圖十五電路提供測試，其中非匹配終端阻抗為  $R_s = 100\Omega$ ， $C_L = 150\text{fF}$ ，輸入訊號上升時間為 20ps。圖十六為電路模擬結果，其中近端與遠端電壓分別考慮(2, 2, 2)反射，如圖中實線所示，而虛線為 Hspice。圖中可看出，模擬精準度可由反射次數的多寡決定；而且在考慮的反射時間內，可達到完全契合結果，此結果為各別反射電壓之總合。各別的反射電壓等效於訊號定性與定量行為，為高速電路設計之重要依據。

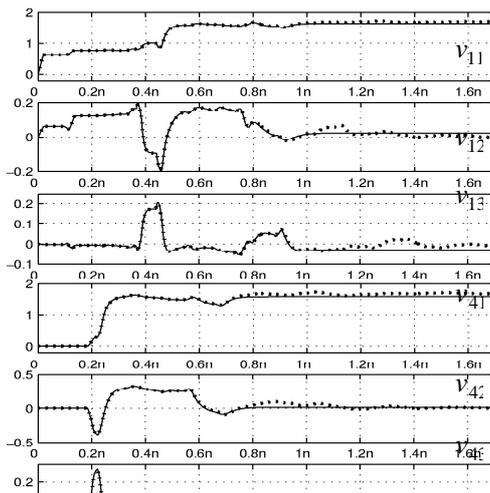
**(D) 改進版低電壓差動訊號發射器**

典型發射機架構，會因為考慮到印刷電路版(PCB, Print Circuit Board)上 wire bonding 的電感值，使得當輸出驅動機(output driver)上訊號在高速切換的同時，產生流過電源





圖十五、三段、三條耦合傳



圖十六、圖十五電路模擬結果，其中近端與遠端電壓分別考慮(2,2,2)反射。

供應端的電流亦高速切換所引起接地反彈的影響，即同時性切換雜訊的產生，此值約等於  $L \cdot (di/dt)$ ， $L$  的大小根據晶片與 PCB 間的佈線電感的電感值來決定。基於此項考量，傳統的架構在設計上會在電源供應端掛上一個穩定的電流源(current source)，使得切換電流時，不會產生電流的跳動，因而接地反彈的影響不會太大，如圖十七(A)所示。

在新的架構上，我們將這兩個穩定的電流源拿掉，如圖十七(B)所示，優點是少了兩級的 MOS 壓降，使得四個切換開關壓降變大，亦即電晶體的 size 可以大大的降低，相對的，預先驅動器(pre-driver)的驅動能力也可以減輕及縮小電晶體的 size，但是，會因為少了穩定電流源的關係，使得同時性切換雜訊的效應變得較嚴重，完全干擾了的訊號的品質，因此，我們在輸入端做了兩項改變，即 duty cycle 輸入和輸出驅動機電晶體(driver MOS)非同時間導通的想法，並應用在一個 1.8V、5Gbps 的低電壓差動訊號的輸出傳輸器。

duty cycle 輸入如圖十八所示，功用是將在瞬間流通的電流轉變成電流關閉的情況，改變成漸漸關閉的想法，並將電流 sharing 到即將由關閉到導通的電晶體上， $\Delta t$  表示這段過程的時間差，在微觀上，即使訊號一直在做切換，發射機的電源供應端上的電流總和盡量維持在一個定值，避免了瞬間導通和瞬間關閉的情形發生。而 driver MOS 非同時間導通的想法，如圖十九所示，主要是產生一個延遲線(delay line)的方式，讓驅動機的大小細切成八個相等的電晶體並聯，經由這

個 delay line 的方式，讓流過電源端的電流，並非一次流通，而是將這一定量的電流，分成八份，在不同而連續的八個時間流過，降低供應電流對時間的改變量。經過這兩個程序，我們可以有效降低因為刪掉原先發射機內兩個穩定電流源所造成的同時性切換雜訊。

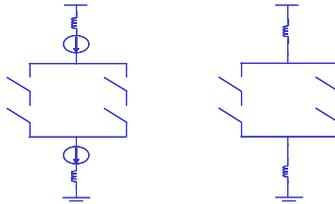
當然為了符合 LVDS 標準的規格，輸出差動振幅須為 250mV~450mV 之間，且系統設計在接收端及傳送端各有一個 100 歐姆的終端電阻(terminator)，再加上為了突顯雜訊抑制的效果，我們輸出驅動器之推動電流量須為 8.4mA。經過 Hspice 模擬，我們可以發現，輸出訊號之眼狀圖(eye-diagram)的時脈抖動為 21.5ps，如圖二十所示，而雜訊電壓可以讓我們壓抑在 50mV 以下，如圖二十一所示，圖上不同的曲線代表 duty cycle 輸入和輸出驅動機電晶體非同時間導通的不同參數所模擬出來的結果。

### 三、結論

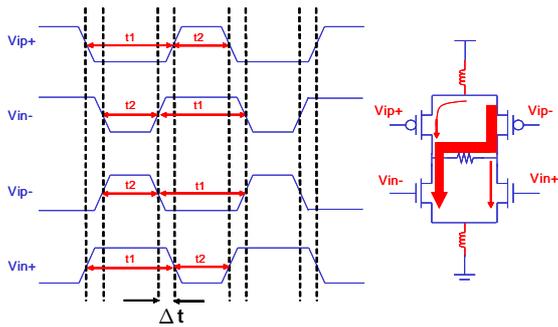
此階段我們完成了本計劃中主要研究目標為設計一個操作於 5Gbps，適合應用在短距離 PC 板匯流排傳輸的高速收發器與對應的接收機模組功能設計，同時我們也對在此操作速度下傳輸環境可能造成信號失真的因素加以討論。

### 四、參考文獻

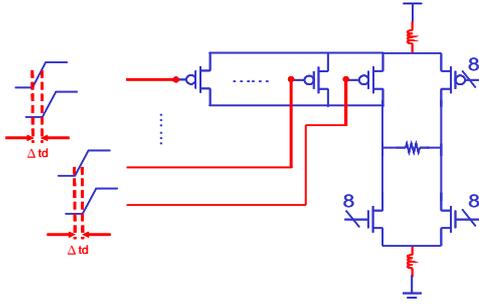
- [1]“High-Speed Digital System Design—A handbook of interconnect theory and design practices” Stephen H. Hall, Garrett W. Hall, James A. McCall
- [2]“Design of High-Speed Serial Links in CMOS” Chih-Kong Ken Yang , Ph.D. Dissertation, Stanford University, 1998.
- [3]“Circuits, Interconnections and Packaging for VLSI”, H.B.Bakoglu., AddisonWesley Publication Company, 1990.
- [4]“LVDS Owner’s Manual 2nd Edition”, National Semiconductor, Spring 2000.
- [5]“High-Speed Serial Transceivers for Data Communication Systems”, John M. Khoury and Kadaba R. Lakshmi Kumar. IEEE, July 2001.
- [6]“Precise Delay Generation Using Coupled Oscillators”, John Maneatis, Ph.D. Dissertation, Stanford University, 1994.
- [7]“A 2.5V, 0.35um, 2.5 Gbps Transceiver Design” , Shao-Ming Chang, Dissertation, National Central University, 2001.



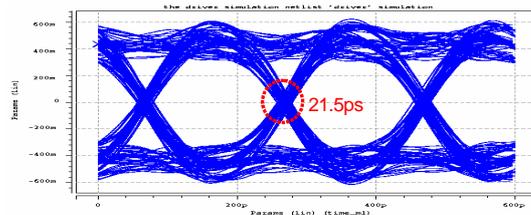
圖十七(A)傳統輸出驅動機 圖十七(B)新輸出驅動機



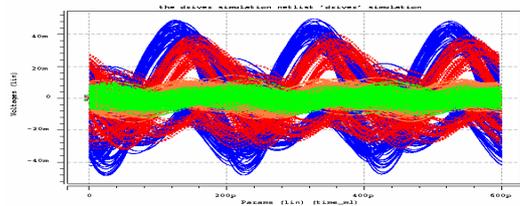
圖十八 duty cycle 輸入



圖十九 電晶體非同時導通示意圖



圖二十 傳輸器輸出之模擬結果



圖二十一 新架構的雜訊跳動比較圖