

先進低電壓低功率快閃式記憶體之研究(2/3)

Advanced Design for Low Voltage and Low Power Flash Memory

計劃編號：NSC91-2215-E009-067

執行時間：91年8月1日至92年7月31日

主持人：莊紹勳 國立交通大學電子工程學系

一、計劃摘要

快閃式記憶體具有小面積、低功率消耗及長時間保存資料之特性，因此已成為最重要的非揮發性記憶單元之一。該記憶體中，傳統寫入方式主要採通道熱電子(CHE)注入，抹除方式主要採用 FN，長時間操作下仍有可靠性的問題存在，受限於元件 scaling，操作偏壓也始終無法降低。

本計劃的第一年，吾人已成功研究出一種利用汲極累增崩潰熱電子注入(Drain Avalanche Hot-Electron Injection, DAHE)達成寫入操作，實驗結果顯示此 DAHE 寫入方法無論在元件效能或是可靠性方面，相較於 CHE 寫入方式，都有較佳表現。

第二年(本年度計劃)，有兩項主要工作，一是 DAHE 在 n-channel flash cell 的進一步評估；另一則是完成 p-channel flash 的應用。

吾人依據此低電壓之 DAHE 寫入方式，測試此新型寫入方式於 n-channel flash cell 最佳化之成效，並進行可靠性分析及模擬。針對不同偏壓的測試，發現新的寫入機制有較佳的可靠性，當偏壓過低的話，元件可靠特性會變差；過高對元件的微縮以及週邊電路的面積又是一大難題，在這兩者之間存在 trade-off 的關係，因此提供我們一項很好的元件設計指標。除了 n-channel 的研究外，吾人也將操作模式 DAHE 應用於 p-channel 快閃記憶體中，與 BBHE 操作模式將作一完整比較研究，以進一步證明 DAHE 在 p-channel 上亦可適用。這將可提供吾人用於設計低電壓、快速及高可靠度之快閃式記憶元件。

關鍵詞：非揮發性記憶元件、快閃式記憶體、寫入方式、抹除方式、通道熱電子注入、基極偏壓增強汲極累增崩潰熱電子注入、低電壓操作。

Keywords: Nonvolatile memory、Flash memory、Write、Erase、Channel Hot-electron injection、Substrate Bias Enhanced Drain Avalanche Hot-Electron Injection、Low voltage operation

二、計劃緣由與目的

記憶體電路，可分為揮發性(volatile)記憶體及非揮發性(nonvolatile)記憶體兩大類。非揮發性記憶體種類甚多，目前又以快閃式記憶體(Flash EEPROM)為主流產品，主要用於電腦、週邊產品、攜帶式系統、行動通訊及消費性電子等，產品種類近年來逐漸變廣。然而在其生產技術及產品研發上，國內卻遠遠落後國外，這將是國內半導體業界的一個嚴重問題。

現在通行於市面之快閃式記憶體，寫入方式大多採行通道熱電子(CHE)注入的方式，而抹除方式大多採行 FN 穿隧效應。為了保持一定程度的電荷注入能力，所以造成元件操作偏壓無法降低、長時間操作下將造成嚴重的可靠性問題。

首先，先來檢視一般最廣為使用之 ETOX 結構快閃式記憶元件之特性[1]。在該元件進行寫入時，元件採用通道熱電子(CHE)注入方式- 利用注入的電子儲存於浮動閘極來提昇元件的臨界電壓，使通道變的不容易導通而成為“0”的狀態。抹除方式則是採用源極 FN 穿隧的方式，將電子由浮動閘極排到源極端，使得元件臨界電壓掉到較低

的值，通道就會變成較容易導通的狀態“1”。採用此種抹除的方式，可以避免造成通道部分的氧化層傷害，進而使其對 V_{TH} 的退化影響達到最小。

在本計劃的第一年，吾人已研究出汲極累增崩潰熱電子注入 DAHE 達成寫入操作，與 CHE 寫入方式相比，DAHE 寫入方法無論在元件效能或是可靠性方面都有較佳表現。第二年，吾人依據此低電壓之 DAHE 寫入方式，測試此新型寫入方式最佳化之成效，並進行可靠性分析及模擬。針對不同偏壓的測試，發現到不同電壓有著不同電荷注入，導致不同的傷害。當閘極電壓較小時，傷害都是最大的，雖然它的操作偏壓較低。相反的，當閘極電壓較大時，閘極氧化層和二氧化矽與矽的介面產生的傷害量都是最小的，但是其缺點就是偏壓過高。因此，偏壓過低的話，元件可靠特性會變差；過高對元件的微縮以及週邊電路的面積又是一大難題。在這兩者之間存在 trade-off 的關係。因此提供我們一項很好的元件設計指標，除了 n-channel 的研究外，吾人也將操作模式 DAHE 應用於 p-channel 快閃記憶體，與 BBHE 操作模式作一完整比較，包括注入速度，注入效率，偏壓上操作的分別，耐久性，漏電流，閘、汲極擾動，保存電荷的能力等。這將可提供吾人用於設計及規範低電壓操作之快閃式記憶元件。

三、結果與討論

A. DAHE 調變不同偏壓應用於 N 通道快閃式記憶體元件的比較

如 Table 1 所示，我們改變閘極的電壓，不同的閘極電壓將對元件的寫入速度、注入載子和載子注入位置有不同的影響。當閘極電壓為 10.5，9.0 和 6.5 伏時，分別有不同的寫入速度 0.25，4.0 和 100 微秒。由 Fig. 1 也可以發現不同的閘極電壓有不同的寫入特性，閘極電壓越高，寫入速度也越快。從圖中可知當閘極電壓從 6.5 伏提升到 10.5 伏時，寫入速度增加了兩個數量級以上。而且當寫入週期到達末端時也可防止電洞的注

入，但是其缺點則是寫入時的閘極電壓過高，使得元件微縮困難以及外部電壓幫浦電路面積無法縮小。

而在元件耐久性方面，如 Fig. 2，可以發現在多次 P/E 之後，閘極電壓為 10.5 和 9.0 伏的寫入準位都還有不錯的特性，但是閘極電壓為 6.5 伏的寫入準位有縮小的現象，對於高電壓反而耐久性較佳，可見不同電壓在電性上的機制會有所不同，這些可以用 GIDL (Gate Induced Drain Leakage)，及電荷幫浦法 (Charge Pumping) 的方式來證明之，我們用 dummy cell 來做 stress 得到圖 Fig. 3 及 Fig. 4，GIDL 電流量測實驗中得知，在汲極的位置，當浮動閘極電壓分別為 5 伏和 6 伏，有不一樣的載子注入情形。當浮動閘極電壓為 5 伏時，我們可以看到 GIDL 電流曲線向右移，因此得知在此偏壓下是主要是由電洞注入；而當閘極電壓為 6 伏時，GIDL 電流曲線向左移，因此此時是電子注入。從電荷幫浦法可以了解不同的閘極電壓操作下，在二氧化矽與矽的介面處產生界面狀態 (N_{it}) 的數量。由 Fig. 4 可看出曲線在閘極電壓大約 5 伏~6 伏有較大的轉變，而且在閘極電壓較低時有明顯較大的 CP 電流，因此可以判斷電洞所造成的傷害較電子為大，這是相當合理的，因為電洞的有效質量較電子大。

Fig. 5 顯示快閃記憶體經過寫入抹除一萬次後，所量出的 CP 電流值，可發現閘極電壓 6.5 伏的電荷幫浦電流值是最大的，其次是 9.0 伏，而閘極電壓 10.5 伏最小。因此當閘極電壓為 6.5 伏時，在二氧化矽與矽的介面處產生的界面狀態數量是最多的；相反的，閘極電壓 10.5 伏的介面狀態產生量是最少的。閘極電壓為 6.5 伏時，由於有效質量較大，因此電洞注入閘極氧化層，將會比電子注入所帶來的傷害嚴重。因此，選擇閘極電壓時須要考量適當的閘極電壓，以維持元件可靠性。

在元件抗擾動特性方面，由 Fig. 6 可証實閘極電壓 6.5 伏的臨界電壓漂移最大，而閘極電壓 10.5 和 9.0 伏則較小，因此當閘極電壓為 6.5 伏時，其元件抗擾動特性最差。綜合以上討論，當閘極電壓為 6.5 伏時，無論是對閘極氧化層或是二氧化矽與矽的介面，傷害都是最大的，雖然它的操作偏壓較低。

相反的，當閘極電壓為 10.5 伏時，閘極氧化層和二氧化矽與矽的介面產生的傷害量都是最小的，但是其缺點就是偏壓過高。因此，偏壓過低的話，元件可靠特性會變差；過高對元件的微縮以及週邊電路的面積又是一大難題。在這兩者之間存在 trade-off 的關係。

Fig. 7 及 Fig. 8 顯示出對於 DAHE 及 DAHH 注入電流的 2D 模擬結果，其中汲極電壓為 8 伏，閘極電壓則為 0V、2V、4V 及 4V、8V、12V。由 Fig. 9 及 Fig. 10 顯示沿著 Si/SiO₂ 介面電子電洞注入電流的剖面圖，可知，電子注入的範圍較電洞來的大，這是因為 DAHE 在通道位置的垂直電場比較利於電子注入而 DAHH 的垂直電場不利於電洞注入，此外，閘極電壓愈負，電動注入電流愈大，閘極電壓愈負，電子注入電流愈大，這也是因為垂直電場造成的緣故。

汲極加上高逆偏壓時，高電場使得載子壘增崩潰(Avalanche)，Fig. 11 顯示出固定汲極偏壓時，閘極電壓對碰撞電流的影響，包括模擬與量測出的數據都顯示出閘極電壓愈高壘增崩潰電流愈小，這是因為閘極電壓愈高，元件進入反轉區(inversion region)，改變汲極與基極接面的電場分佈。Fig. 12 模擬顯示出當閘極電壓愈高，最大碰撞游離 (impact ionization) 量與最大碰撞游離位置到 Si/SiO₂ 介面的距離，高閘極電壓使得碰撞游離量減小且距離 Si/SiO₂ 便遠，也是因為增高閘極電壓改變汲極與基極接面的電場分佈所導致

B. DAHE 和 BBHE 寫入方式應用於 P 通道快閃式記憶體元件的比較

DAHE 和 BBHE 的偏壓如 Table 2 所示，從表中可知 DAHE 的閘極電壓較 BBHE 小，汲極電壓較 BBHE 大。在寫入時間比較方面，DAHE 寫入方式只須要 4.0 微秒，而 BBHE 寫入方式則須要 40.0 微秒，才能到達高寫入準位。兩者的寫入速度相差了一個數量級。BBHE 的寫入機置如 Fig. 13 所示，當 Table 2 所示 BBHE 的偏壓加於元件上時，在汲極和基極介面便發生能帶-能帶的穿隧行為，如此便有電子電洞對產生，當電子由汲極與基極接面的電場加速，便形成俱有能量的熱電子，熱電子再經由垂直電場加速，導入浮動閘極。DAHE 機制如 Fig. 14 所示，在汲極加

上更大的電壓，利用汲極與基極間的逆偏電場使載子撞擊產生電子電洞對，且加速獲得足夠的能量，閘極電壓則是決定注入懸浮閘載子的種類，因此，BBHE 及 DAHE 同樣是靠汲極與基極電場加速獲得能量，但是產生電子電洞對的方式不一樣。

Fig. 15 中，比較兩者的注入效率，BBHE 的注入效率遠大於 DAHE。DAHE 的注入效率較小的原因可能是，當汲基介面發生崩潰時，有大量的崩潰熱電子電洞對產生，因此造成注入效率比 BBHE 低。然而，寫入時額外功率的消耗也可從短暫的寫入時間將之降低。吾人嘗試區分出不同機制的注入偏壓的區別，將基極接地，閘極和汲極偏壓維持固定，如 Fig. 16，可以明顯看出閘極電流斜率的改變，因此可以推論出閘極電流分成三部份，FN 電流 I_1 ，BBHE 電流 I_2 ，DAHE 電流 I_3 ，Fig. 17 則是量測閘極電流曲線，包括 DAHE 及 DAHH 兩部分於高閘極電壓及低閘極電壓。Figs. 16, 17 可以當作一個參考用來調整出我們想要的寫入機制來寫入動作

Fig. 18 量測出汲極擾動圖，根據不同的懸浮閘電壓會有三種不同的機制主導汲極擾動，由懸浮閘低電壓至高電壓分由 FN、CHE、BBHE 三種不同的機制主導。在元件耐久性方面，如 Fig 19，我們發現在多次 P/E 之後，兩者的寫入準位皆下降，這是因為兩者皆有介面狀態(N_{it})的產生，但其寫入準位退化情形都不嚴重。另外，在 Fig. 20 中，BBHE 在讀取擾動測試上，也得到較大的閘極電流限制，而 DAHE 在此特性方面則稍差一點。

四、結論

(1) DAHE 應用於 N 通道快閃式記憶體元件最佳化的研究：

在寫入速度的比較上，當閘極電壓較小時，無論是對閘極氧化層或是二氧化矽與矽的介面，傷害都是最大的，雖然它的操作偏壓較低。相反的，當閘極電壓較大時，閘極氧化層和二氧化矽與矽的介面產生的傷害量都是最小的，但是其缺點就是偏壓過高。因此，偏壓過低的話，元件可靠特性會變差；過高對元件的微縮以及週邊電路的面積又是一大

難題。在這兩者之間存在 trade-off 的關係。因此提供我們一項很好的元件設計指標。

(2) DAHE 應用於 P 通道快閃式記憶體元件的研究：

DAHE 及 BBHE 各有優缺點，DAHE 是在汲極端加一高電壓，而 BBHE 是在閘極加一高電壓。在寫入速度上，DAHE 擁有較快的寫入速度，而且是首次用於 p-channel 操作應用上，它與 BBHE 的比較，尚待進一步於期末報告中完成。

另外，第一年的成果已發表於 2002 年的 SSDM[7]，預計年底前可將結果發表於 IEEE T-ED 或 EDL 等刊物上。

五、進行中工作

n-channel flash 的研究已大致完成。剩下的工作，於未來幾個月內將完成二項研究，一為 DAHE 寫入方式應用於 p-channel 快閃記憶體中，與目前已發表的 BBHE 操作模式作一完整比較；另一則是並利用本研究群開發之元件傷害分析技術，進行可靠性分析。

六、參考文獻

- [1] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cell – An overview," *Proc. of the IEEE*, vol. 85, no. 8, pp. 1246-1271, 1997.
- [2] S. Tam, S. Sachdev, M. Chi, G. Verma, J. Ziller, G. Tsau, S. Lai, and V. Dham, "A high density CMOS 1-T electrically erasable nonvolatile (Flash) memory technology," in *Symp. VLSI Tech.*, pp. 31-32, 1988.
- [3] S. S. Chung et al., "A new oxide damage characterization technique for evaluating hot carrier reliability of Flash memory cell after P/E cycles," in *Symposium on VLSI Technology*, pp. 111-112, 1997.
- [4] S. M. Cheng, C. M. Yih, J. C. Yeh, S. N. Kuo, and S. S. Chung, "A unified approach to profiling the lateral distributions of both oxide charge and interface states in n-MOSFET's under various bias stress conditions," in *IEEE Transaction on Electron Devices*, vol. ED-44, pp.1908-1914, 1997.
- [5] S. S. Chung et al., "A new technique for hot carrier reliability evaluations of Flash memory cell after long-term program/erase cycles," in *IEEE Transaction on Electron Devices*, vol. ED-46, pp. 1883-1889, 1999.
- [6] S. Shuto et al., "Read disturb degradation mechanism for source erase flash memories," in *Symposium on VLSI Technology*, pp. 242-243, 1996.
- [7] S. S. Chung et al., "AHE: A new low voltage/high speed programming scheme for both n- and p-channel flash EEPROM's," *Extended Abs. SSDM*, pp. 612-613, 2002.

	DAHE(I)	DAHE(II)	DAHE(III)
V_{CG}	10.5V	9.0V	6.5V
V_{FG}	8.2V~6.2V	7.5V~5.5V	5.5V~3.5V
V_D	8.0V	8.0V	8.0V
V_S	Float	Float	Float
V_B	GND	GND	GND
T_{prog}	0.25 μ s	4.0 μ s	100 μ s

Table 1 The operating conditions for the DAHE programming scheme in n-channel flash cell at different control gate voltages.

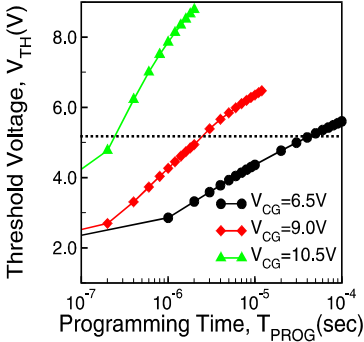


Fig. 1 The program transient characteristics by the DAHE for different control gate voltages in n-channel flash cell.

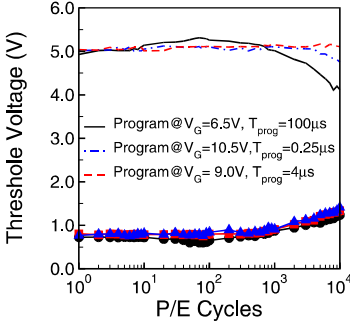


Fig. 2 The measured endurance characteristics for all different programming conditions by the DAHE scheme after program/erase cycles.

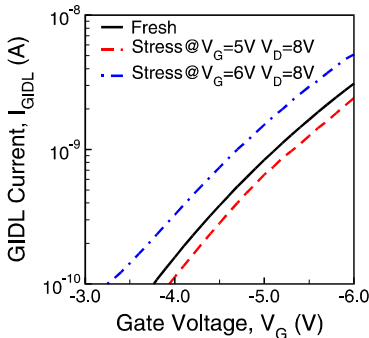


Fig. 3 The GIDL current measurement at $V_D=2V$. It is noted that the shift of GIDL current for post stressed MOSFET is due to the oxide trap charges.

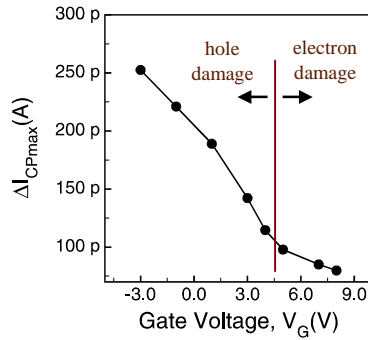


Fig. 4 The measurement maximum charge pumping current shift after the DAHC stress in an n-channel MOSFET.

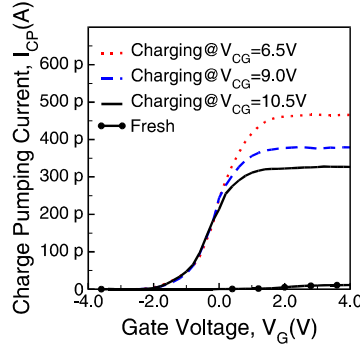


Fig. 5 The measured results of the charge pumping current before and after 10^4 program/erase cycles for different conditions.

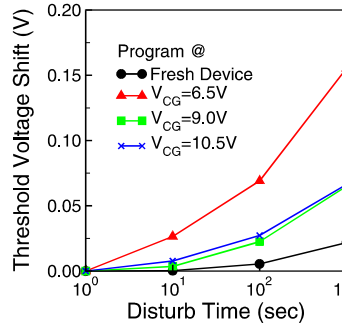


Fig. 6 The comparison of the read disturb characteristics for all programming conditions before and after 10^4 program/erase cycles.

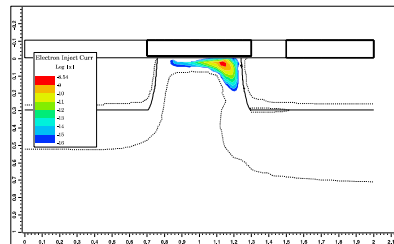


Fig. 7 Simulation result of electron injection current in n-MOSFET during drain junction avalanche breakdown at $V_D=8.0V$.

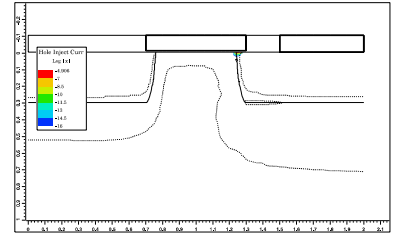


Fig. 8 Simulation result of hole injection current in n-MOSFET during drain junction avalanche breakdown at $V_D=8.0V$.

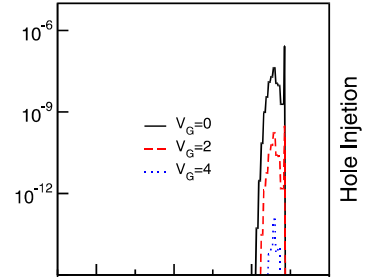


Fig.9 Simulation results of the injection current for DAHE along the Si/SiO₂ interface at $V_D=8.0V$.

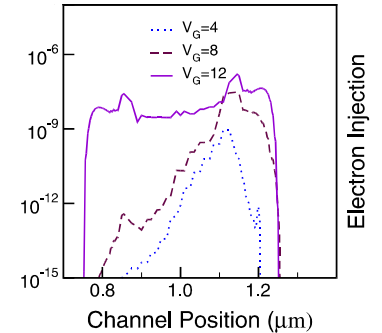


Fig.10 Simulation results of the injection current for DAHE along the Si/SiO₂ interface at $V_D=8.0V$.

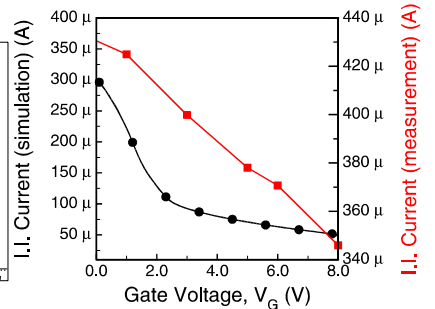


Fig. 11 The experimental and simulation results of the impact ionization current for different gate voltages at a fixed $V_D=8.0V$.

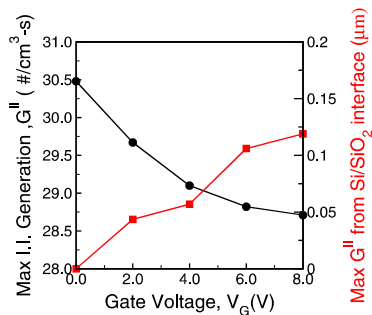


Fig. 12 Simulation results for position and strength of the maximum ionization at different gate voltages and a fixed $V_D = 8.0V$.

	DAHE	BBHE
V_{CG}	-2.0V	10.0V
V_{FG}	-0.5V~2.5V	8.7V~6.7V
V_D	-7.0V	-5.5V
V_S	Float	Float
V_B	GND	GND
T_{prog}	4.0 μs	40.0 μs

Table 2 The detailed operating conditions for DAHE or BBHE programming schemes in p-channel flash cells

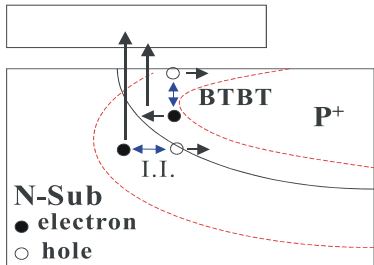


Fig. 13 The schematic illustration of the BBHE injection mechanism in a p-channel flash cell.

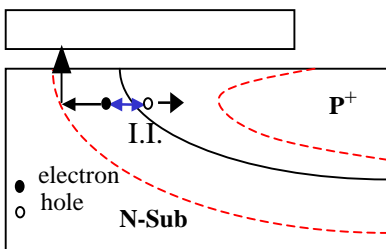


Fig. 14 The schematic illustration of the DAHE injection mechanism in a p-channel flash cell.

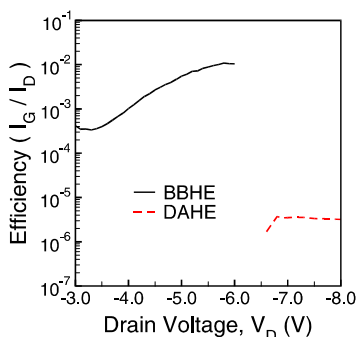


Fig. 15 The calculated injection efficiencies (I_G/I_D) for both DAHE and BBHE injection schemes in a p-channel flash cell.

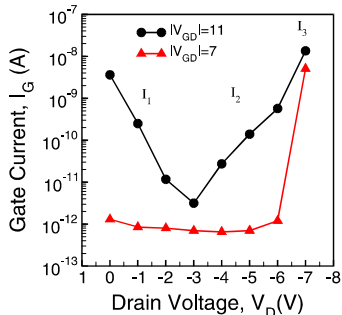


Fig. 16 The gate current is composed of three components, FN current I1, BBHE I2, and DAHE current I3.

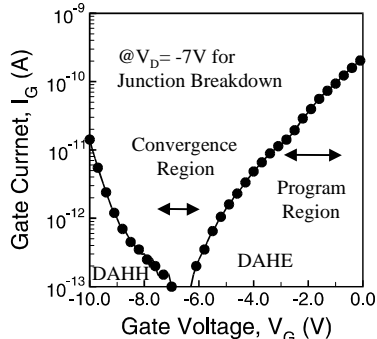


Fig. 17 Measurement result for gate current versus gate voltages in a p-MOSFET during drain junction avalanche breakdown.

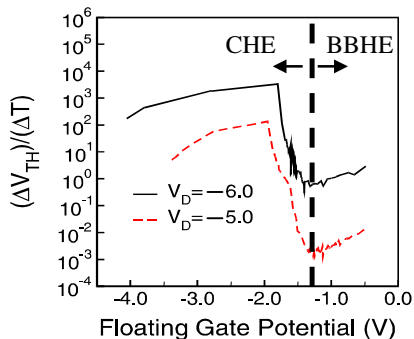


Fig. 18 The extracted gate current caused by drain disturb for different drain biases. The FN, BBHE, and CHE gate currents dominate at different gate voltages.

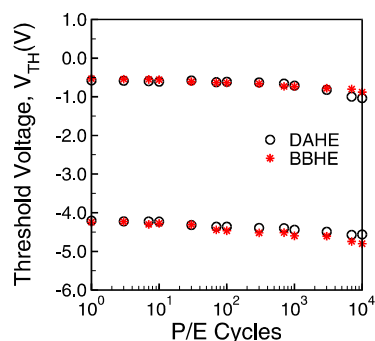


Fig. 19 The endurance characteristics for DAHE and BBHE. Both of them have the same erase operation by the channel FN tunneling.

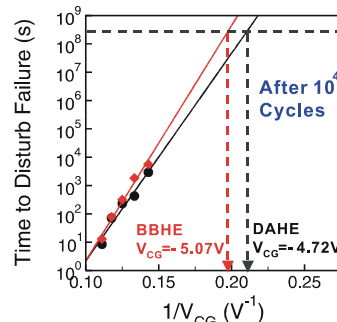


Fig. 20 The read retention characteristics for flash cell after P/E cycling by the DAHE and the BBHE.