

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 子計畫五：低電壓差動信號傳輸接收器之設計與量測(1/3)

計畫類別：整合型計畫

計畫編號：NSC91-2215-E-009-076-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：吳錦川

計畫參與人員：李柏儒 范姜朝馨

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 92 年 5 月 27 日

## 子計畫五

# 低電壓差動信號傳輸接收器之設計與量測

計畫編號：NSC-91-2215-E-009-076

執行日期：91年8月1日起至92年7月31日止

主持人：吳錦川 國立交通大學電子研究所 教授

### 一、摘要

本計畫主要於設計二種型式適用於串列式連接傳輸之傳送與接收器。此二個電路在傳送器和接收器中各採用不同的架構。傳送器部份二者使用不同方式來降低符號之間干擾以增加傳送頻寬，接收器部份則採用 3 倍超取樣方式和時脈資料回復這二種架構來完成。其傳輸頻率分別為 400 和 480Mbps，採用 TSMC 0.35  $\mu$ m 1P4M 和 2P3M CMOS 設計完成。

**關鍵字：**串列式連接傳輸，傳送器，接收器，3 倍超取樣，時脈資料回復。

### Abstract

This project is to design two types of transmitter and receiver used in the serial link transmission. The two circuits adopt different architectures in both transmitter and receiver parts. The two transmitter designs use different ways to reduce inter-symbol interference (ISI) to increase the transmission bandwidth, while the receivers adopt three-times oversampling and clock-data recovery to implement. The transmission frequency is 400 and 480Mbps, using TSMC 0.35  $\mu$ m 1P4M and 2P3M standard CMOS process to design and implement.

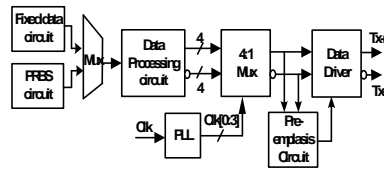
**Key Words:** serial link transmission, transmitter, receiver, three-times oversampling, clock-data recovery.

### 二、計畫緣由及目的

在傳統電腦周邊使用上，都是以菊花鍊(Daisy-Chain)的型式在作資料上的傳送，這隨著電腦微處理機計算速度越來快，這種傳輸模式在現今需要高速傳輸的型式之下，勢必需要作改善。因此，點對點(Peer-to-Peer)的傳輸因而產生。在這種傳輸模式之下，資料可以依使用者的需求作資料的直接傳輸。應用在這方面的傳輸介面如 USB2.0 及 IEEE1394 等。一個完整的傳輸介面是包括傳送器(Transmitter)、接收器(Receiver)和傳輸通道(Channel)。而在接收器部份最主要的任務就是將由傳送器所送來的 data streams 回復回來，要克服的就是要將已經衰減的資料(Data)和資料的 clock 之間的 skew 問題正確克服，因此就有很多相關擷取資料的方式被拿來作研究。本次計畫是針對 IEEE1394 和 USB2.0 當中資料傳輸量(Data rate)為 400Mbps 和 480Mbps 來設計傳送器和接收器。

### 三、研究方法與成果

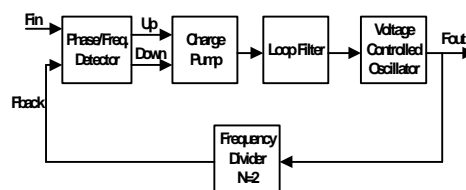
### 3.1 400Mbps 傳送器與接收器設計原理與架構



圖一 傳輸器基本架構圖

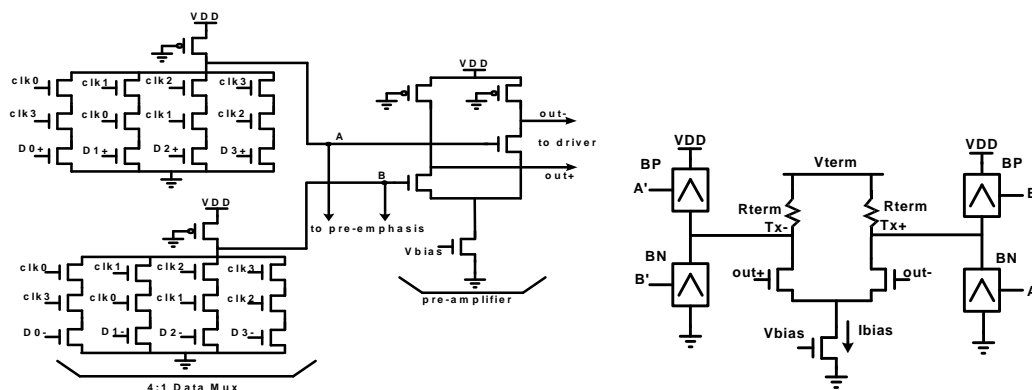
整個傳輸器的架構如圖一所示。傳輸器各部分組成架構簡介如下：

(a)鎖相迴路(PLL)[1]：我們是採用電荷幫浦式(charge pump)的鎖相迴路來做設計，其主要包括相位頻率偵測器、電荷幫浦、低通濾波器、電壓控制振盪器，如圖二所示。其基本原理是輸入訊號與回授回來的訊號經過相位頻率偵測器後，由於這兩個訊號有相位差，使電荷幫浦產生電流對低通濾波器做充電或放電，改變控制振盪器的控制電壓，進一步調整震盪器輸出之頻率，再回授給相位頻率偵測器，經由此迴路的負回授作用，最後將使輸出訊號的相位鎖住參考訊號的相位，並產生 12 組相位供接收器和供四對一多工器使用。

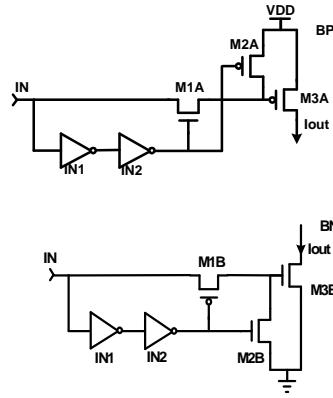


圖二. 十二個相位的鎖相迴路時脈產生器架構圖

(b)並列串列轉換器和輸出級電路：如圖三所示，此電路主要是將平行四組資料透過先前鎖相迴路的四個相位串列輸出，再經過最後的輸出級達到所需要的傳輸率。當訊號傳輸的速度很快，且訊號 high-to-low 與 low-to-high 的轉換頻繁時，傳輸器輸出的振幅往往會減小，因此在輸出級多加了電流脈衝電路增加轉態時的電流大小[2]，使上升時間和下降時間降低。其電流脈衝電路如圖四所示。

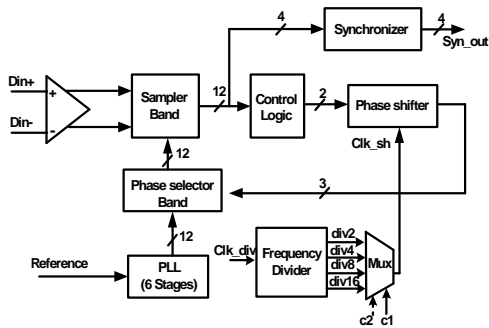


圖三. 四對一多工器電路及輸出級電路



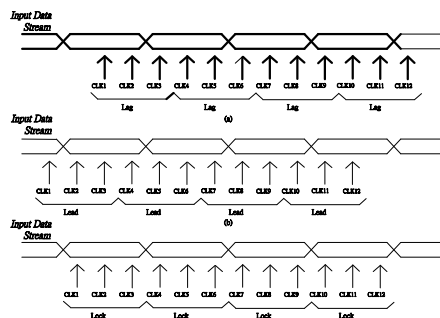
圖四. 電流脈衝電路

在接收器設計方面，其電路架構如圖五所示。可以看到我們利用一個鎖相迴路來產生所需要的取樣訊號，再把這些訊號經過 phase selector band 來選擇相位。其中，最後輸出資料是以四組資料為一組，所以總共需要 12 個 phase 來作選擇。調整取樣訊號的電路就由 Control Logic 和 Phase shifter 的產生 3 條控制線。



圖五. Receiver Block diagram

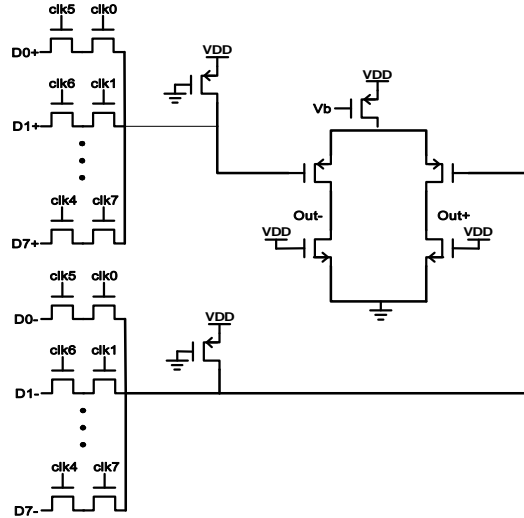
其控制機制就如圖二所示，當資料落後時，Control Logic 就會送出 DN 訊號把取樣訊號往後調整，反之，當資料超前時，就會送出 UP 訊號把取樣訊號往前調整，如此反覆調整，直到資料和取樣訊號對準為止。如此一來，就可以取中間取樣訊號的資料作輸出。



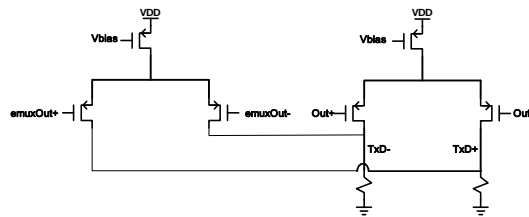
圖六 tracking mechanism

### 3.2 480Mbps 傳送器與接收器設計原理與架構

在 480Mbps 這部分，主要是照著 USB 2.0 高速傳輸模式所進行設計，傳送器的架構大體上如前，差異在於預先加強的機制以及多工器的電路有所不同，這裡我們使用兩組如圖七的多工器，只是延遲一個位元時間的信號去控制預先加強的機制再傳到圖八的驅動器輸出。

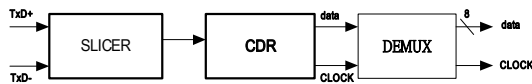


圖七. 8 to 1 mux

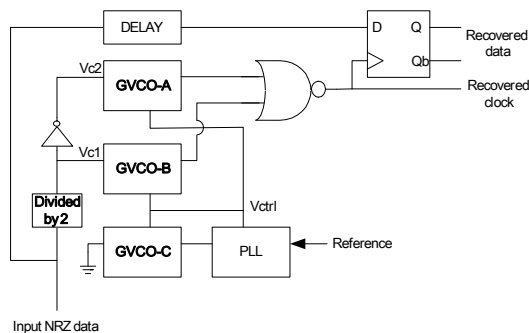


圖八. Output Driver

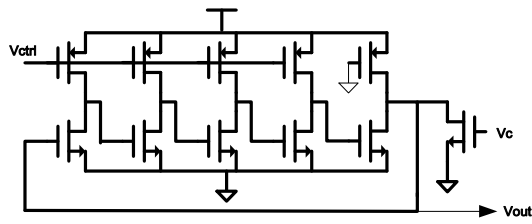
接收器的部分主要架構如圖九，而此處主要的部分就是資料時脈回復器這裡採用的是能夠在數個位元時間之內就完成回復動作的架構如圖十，主要的想法是先對準一個參考頻率，再使用資料的上升邊際去接換電壓控制頻率震盪器，可以減少參考頻率不准所造成的問題。而此架構中最關鍵的部分就是閘控壓控震盪器如圖十一。



圖九. Receiver Block diagram



圖十. CDR Block Diagram

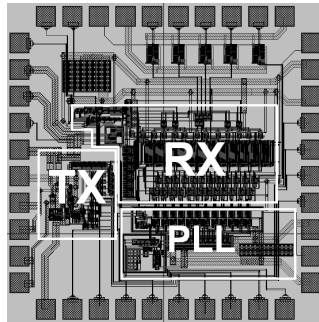


圖十一. Gated Voltage Control Oscillator

#### 四、晶片佈局

##### (一) 400Mbps 3X Oversampling

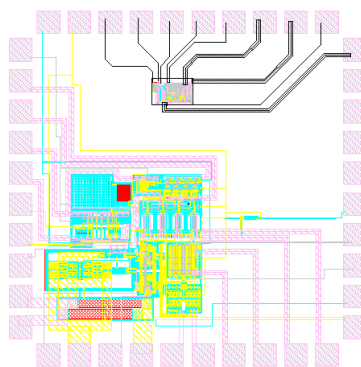
本計畫電路架構已完成，使用 Candance 完成最後的佈局驗證。並完成包含測試電路的模擬(post-simulation)。測試晶片將由本實驗室的儀器完成，需要一個可產生 50 MHz 方波的波形產生器和一個可以產生任何資料的儀器，將測試信號送入測試晶片後，所有的負載效應都在考慮的範圍內。佈局如圖七所示。



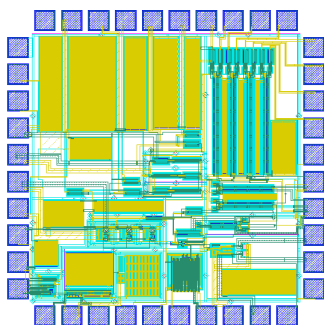
圖十二. Transceiver Chip Floorplane

##### (二) 480Mbps Clock Data Recovery

這個部分的電路主要市分為傳送器及接收器兩部分下線如圖十三及圖十四。



圖十三. Transmitter Layout



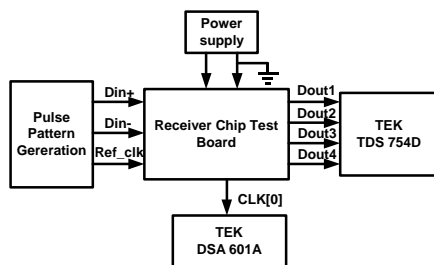
圖十四. Receiver Layout

## 五、量測結果

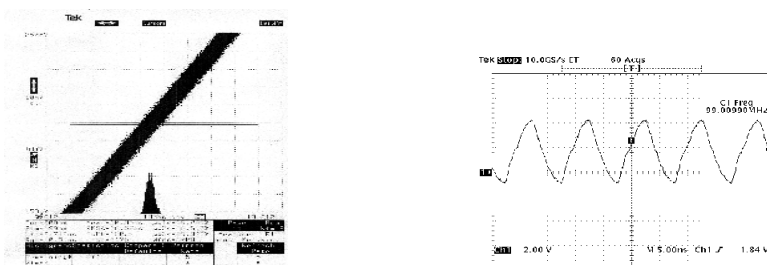
### (一) 400Mbps 3X Oversampling

我們先使用 pulse generation 產生我們所需的訊號，包含 PLL 的輸入頻率 50MHz 和接收的 Data pattern。關於抖動的量測，則是利用 Digit Signal Analyzer(DSA 601A)來完成。接收器的四個 Channel 是用示波器來觀看。測試環境如圖八所示。

當輸入時脈為 50MHz 時，量測結果顯示鎖相迴路輸出訊號的方均根抖動和峰值抖動分別為 16.57ps 和 120ps，鎖相迴路的量測結果如圖九所示。至於在接收器部份，由於在 Phase-selector 電路部份是由每三個 phase 為一組去作選擇，但此作法會產生有 missing code 的問題，因此在接收器部份的電路不能正常工作的。鎖相迴路部份消耗功率則為 28mW。總消耗功率為 297mW。



圖十五.測試環境



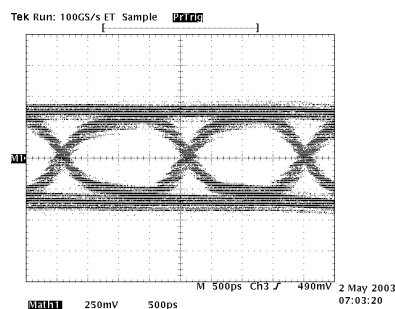
圖十六.100MHz 的 PLL 抖動量測圖與輸訊號

### (二) 480Mbps Clock Data Recovery

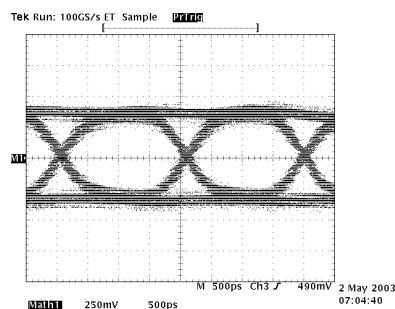
我們先使用 pulse generation 產生我們所需的訊號，包含 PLL 的輸入頻率 30MHz。關於抖動的量測，則是利用 Digit Signal Analyzer(DSA 601A)來完成。接收器的四個 Channel 是用示波器來觀看。

當輸入時脈為 30MHz 時，量測結果顯示鎖相迴路輸出訊號的方均根抖動和峰值抖動分別為 10.25ps 和 90ps。至於在傳送器部份，圖十七是沒有加上預先加強機制並經過 5.4m cable 在接收器輸入端所看到的信號，圖十八則是有預先加強

機制所看的的結果由這兩張圖可以證實預先加強機制的確對於信號完整度是有所幫助的。總消耗功率為 103mW。



圖十七.Rx input without pre-emphasis through 5.4m cable



圖十七.Rx input with pre-emphasis through 5.4m cable

## 六、結論

### (一)400Mbps 3X Oversampling

在以 400Mbps 為傳輸頻率的架構中，我們設計了一個可應用在高速串列傳輸介面的接收器，在鎖相迴路上是正常工作的，但是在接收器部份則是因為在架構上的因素，造成會有 Missing code 的產生。因此，解決方法就是在 Phase selector 的輸入訊號要把十二個相位全部放入輸入端去選擇。這也是我們下次設計可以改進的地方。而傳輸器部份晶片還正在進行中。

### (二) 480Mbps Clock Data Recovery

這個部分目前完成了傳送器方面的設計與量測而接收器的部分還在製作中。

## References

- [1] J. G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-based techniques," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1723-1732, November 1996.
- [2] Boni, A."1.2-Gb/s True PECL 100K Compatible I/O Interface in 0.35- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 6, pp. 979-987, Jun. 2001.