

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫四:5 Gbps 資料傳輸收發系統- 類比前端

計畫類別：整合型計畫

計畫編號：NSC91-2215-E-009-081-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：陳巍仁

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫涉及專利或其他智慧財產權，1年後可公開查詢

中 華 民 國 92 年 6 月 5 日

行政院國家科學委員會補助專題研究計畫

成果報告

期中進度報告

5 Gbps 資料傳輸收發系統- 類比前端 (2/3)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 91-2215-E-009-081-

執行期間：91年 8月1日至 92年 7月 31日

計畫主持人：國立交通大學電子工程系 陳巍仁 助理教授

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)：精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢
涉及專利或其他智慧財產權， 一年二年後可公開

查詢

執行單位：國立交通大學電子工程系

中華民國 92 年 5 月 30 日

可供推廣之研發成果資料表

可申請專利 可技術移轉

日期：92 年 5

月 30 日

國科會補助計畫	計畫名稱：5 Gbps 資料傳輸收發系統- 類比前端 (2/3) 計畫主持人：陳巍仁 計畫編號：NSC 91-2215-E-009-081- 學門領域：微電子工程
技術/創作名稱	注入鎖定式除頻電路
發明人/創作人	陳巍仁
技術說明	中文： 本專利提出一種新型之注入鎖定式除頻電路結構(injection lockd divider), 其由單一環形 (single ring) 或環形陣列 (ring array) 振盪器所組成. 射頻注入信號用來調變注入鎖定除頻器之振盪頻率, 當系統達到穩態時, 除頻電路之輸出端將產生高倍數除頻、且均勻分布一週期之除頻後多相位輸出信號. 本發明可用於頻率合成器及多相位產生器等電路中. 此架構並可擴展為任意係數及係數可程式化注入鎖定式除頻器.
	英文： In this patent we disclose a novel injection locked frequency divider (ILFD) architecture, which basically consists of a single ring or ring array oscillators. The injected RF signal modulates the oscillation frequency of the ILFD. When the loop is in locked, uniformly distributed multiphase signals can be derived at the divider output with high division ratio. This invention can be applied in a frequency synthesizer or a multiphase generator, and can be extended to a programmable injection locked frequency divider.

<p>可利用之產業 及 可開發之產品</p>	<p>光傳輸發射接收器, 射頻積體電路</p>
<p>技術特點</p>	<p>相較於傳統之數位式除頻器, 本發明明具備高除頻能力, 及低功率消耗等特點. 而與典型之注入式鎖定除頻器相較, 本架構具有高除頻係數, 可控制除頻係數, 及提昇鎖頻範圍等優點.</p>
<p>推廣及運用的價值</p>	<p>本發明具有高頻及寬頻操作之特點, 且兼備低功率消耗及可程式化之優點, 極具推廣及應用價值.</p>

1. 每項研發成果請填寫一式二份, 一份隨成果報告送繳本會, 一份送 貴單位研發成果推廣單位 (如技術移轉中心)。

2. 本項研發成果若尚未申請專利, 請勿揭露可申請專利之主要內容。

子計畫四：5 Gbps 資料傳輸收發系統- 類比前端 (2/3)
5 Gbps Data Link Transceivers - Analog front-end (2/3)
計劃編號: 91-2215-E-009-081 執行期間:91 年 8 月~92 年 7 月
計劃主持人:交通大學電子系 陳巍仁 助理教授
e-mail:wzchen@alab.ee.nctu.edu.tw

摘要

本年度之計劃延續第一年度研究之成果，重點為進行 2.5 Gbps 串列式接收器之開發與設計。其發展之技術成果可應用在工業標準之高速傳輸介面電路上，如 USB 2.0、PCI Express、Serial ATA 及 SONET 之傳輸接收器介面電路等。此接收器電路包含類比前級放大器、時脈資料回復電路、及移位同步暫存器。量測結果驗證本電路可傳送與接收 2.5 Gbps 高速串列式信號，其輸入與輸出為 8 通道 312.5 Mbyte/s 之平行化信號。在 1000 位元組之封包傳輸模式下，頻率容許偏移誤差為 1.5 %。

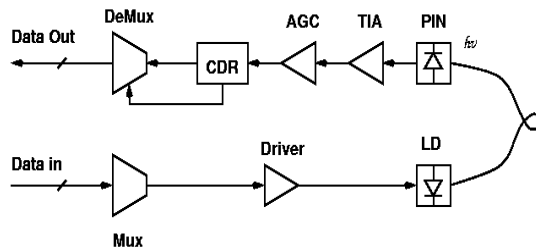
Abstract

In the second year, our research work focus on high speed transceiver design with data rate up to 2.5 Gbps. The circuit techniques can be applied in USB2.0, PCI Express, Serial ATA and SONET transceiver. The transceiver includes analog front-end amplifier, clock and data recovery circuit, and elastic buffer. The measurement results demonstrates that the transceiver is capable of operating at 2.5 Gbps with 312.5 Mbytes 8 to 1 and 1 to 8 multiplexing and demultiplexing. The tolerated frequency offset is 1.5% with data packet size less than 1000 bytes.

系統架構

圖一所示為光纖收發機基本架構圖，其為一典型之串列傳輸收發機系統。圖下方為資料傳送端，上方為接收端。在發射端部份，平行之位元資料經由多相位分時多工模式依序傳出，其透構多工器完成平行至序列信號轉換，並用以驅動雷射二極體電路，藉此將電信號轉換成光訊號，進而透過光纖纜線傳出信號。

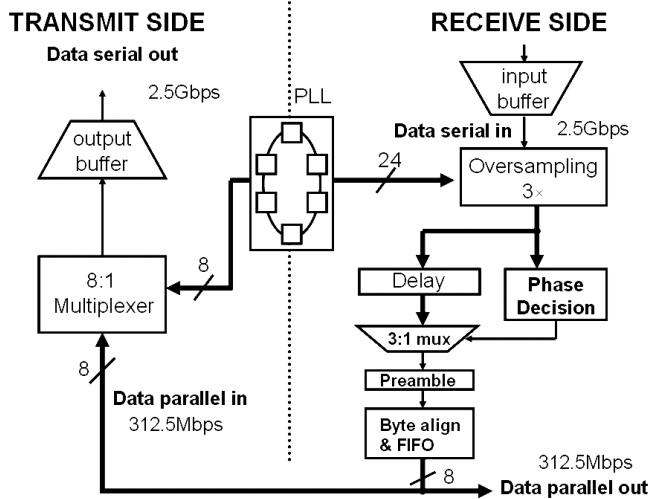
在接收端部份，纜線接收之脈衝信號藉由光感測器轉化為微弱電流信號，此信號將藉由前級轉阻放大器將輸入電流轉換為輸出電壓，並經由自動增益控制迴路放大至適當之邏輯判別準位，以利後級之時脈與資料回復處理。時脈與資料回復電路可擷取最佳之取樣時脈相位，並以此相位作為訊號解多工器之基準。最終，解多工器將八筆位元組訊號作平行輸出。



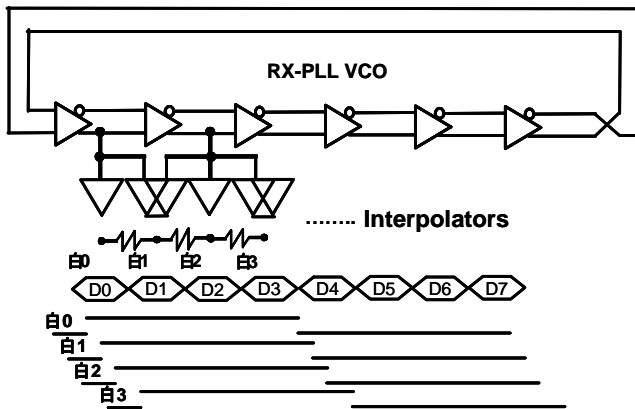
圖一. 光纖收發機電路系統架構.

圖二所示為本計劃採用之傳輸收發機細部架構圖，左側為發射端，右側為接收端，為節省晶片面積與電路之功率消耗，在本設計中，傳送端與接收端共用一組鎖相迴路。此鎖相迴路一方面提供 8 組相位給傳輸端，用以對並列/序列轉換多工器進行觸發，另一方面提供 24 組相位給接收端，作為 3 倍超取樣之取樣信號。為求得多相位、低抖動雜訊、及均於分布之相位，鎖相迴路

中之調頻式振盪器採用 6 及環形振盪器架構，並透過內插及相位平均化技術，產生 24 組均勻相位。



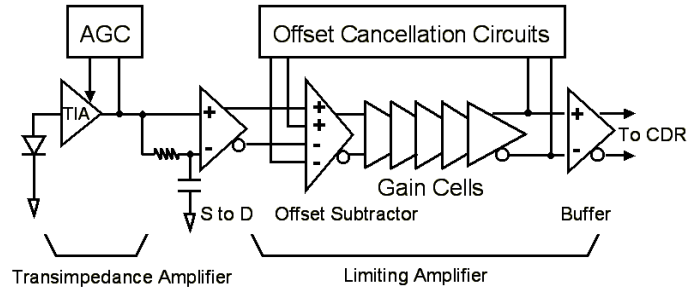
圖二. 資料傳收器電路架構.



圖三. 內插式多相位產生器

圖三所示為內插式多相位產生器電路架構圖。其中輸出相位透過緩衝器之輸出電流達到平均化，其電流相依性比重由並聯電阻決定。依此技術可大幅減少由於元件不匹配所造成之取樣相位誤差。

接收端之輸入信號經由三倍超取樣結果，將進行取樣相位最佳化之統計分析。其主要原理為統計出資料切換緣座落於取樣相位之相對位置，藉此找出最佳之取樣相位。經由最佳取樣相位取得之位元資料將透過同步及移位暫存器進行信號處理，以解決頻率偏移問題，同時將平行化位元正確輸出，此時之輸出為八筆同步 312.5 Mbps 之訊號。



圖四. 接收端前級電路架構.

圖四所示為接收端前級放大器之電路架構圖，前級放大器包含自動增益控制轉阻放大器及後級放大器。其中轉阻放大器將光感測器所產生之光電流訊號轉換為電壓訊號，此信號並藉由後級放大器放大至邏輯電路可判讀之信號準位。轉阻放大器之主要設計考量為寬頻、低雜訊、高敏感度、及大動態範圍(wide input dynamic range)。為達到同步光纖網路 OC-192 應用之目標，本電路之規格及設計考量詳述如下

- (1) 頻寬: 為減少接收端信號產生之位元干擾 (Inter symbol interference) 及減少外部輸入雜訊，本放大器之頻寬設計為資料傳送速度的 0.7 倍. 以 10 Gbps 操作速率之應用而言，其 -3 dB 頻寬約為 7GHz。
- (2) 低雜訊，高敏感度：以 OC-192 光纖系統為例，接收端之靈敏度要求為 -12dBm. 本設計以 -15 dBm 為設計目標，以預留 3dB 之設計安全邊限. 此外，電路本身之設計以低雜訊為重要之設計考量，以降低放大器本身之等效輸入信號雜訊，提高放大器之靈敏度。
- (3) 動態範圍和高增益：由於光電流之信號強度為 20uA~2mA，以前級放大器輸出電壓信號 10 mV 為目標，則放大器之轉換增益約為 54 dBΩ 至 14 dBΩ. 動態範圍達 40 dB. 為避免前級電路信號放大過程中產生之過飽和與相位非線性失真，前級轉阻放大器將內建自動增益控制電路，以減低振幅變異造成之相位失真及信號群組延遲 (Group delay).

傳統上，此類放大器多採用 GaAs 或是 BiCMOS 製程來實現。本計劃之工作重點為研究新式電路技術，以開發適用於 CMOS 製程之寬頻電路架構。

圖五為轉阻放大器的核心電路，左半部份是訊號輸入級，右半部份為直流偏壓產生器之複製電路。本電路採用低輸入阻抗之共匣級電路為放大器之輸入端，如此可使頻寬不受光感測器的寄生電容所嚴重影響。本電路並利用了轉導增強、電流注入、及電感串聯等技巧，以強化放大器之轉換增益及頻寬。其中轉導增強主要藉由本地回授放大器提供迴路增益 (由一共源級放大器所組成)，如此將可對應提升共匣級放大器之轉導增益，藉此降低放大器之輸入阻抗。同時，共匣級之負載端利用額外電流注入技術，可提升負載端之有效阻抗，同時增加輸入級之轉導增益。而電阻和電感串聯負載可在放大器之轉移函數上產生額外之零點，用以增加放大器之頻寬。

茲將本電路採用電感負載之設計考量分析如下:

令

$$m = \frac{RC}{L/R} \quad f = L/R$$

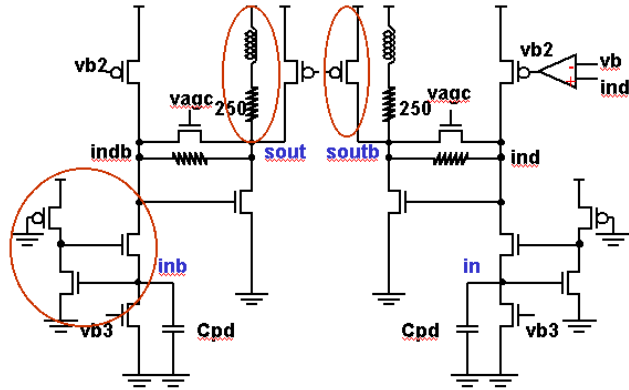
則 $(R+L) \parallel C$ 之等效輸出阻抗為

$$Z(s) = (sL + R) \parallel \frac{1}{sC} = \frac{R(\zeta s + 1)}{s^2 \zeta^2 m + s \zeta m + 1}$$

假設 ω_1 為不加電感時放大器之頻寬， ω_2 為加電感後增強之頻寬，經由推導可得

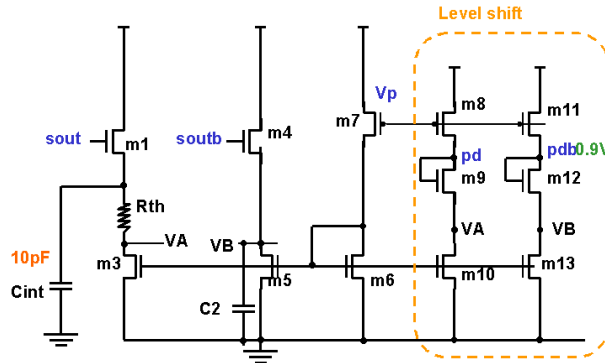
頻寬增強效果為

$$\frac{S_2}{S_1} = \sqrt{\left(-\frac{m^2}{2} + m + 1\right)} + \sqrt{\left(-\frac{m^2}{2} + m + 1\right)^2 + m^2}$$



圖五. 轉阻放大器的核心電路

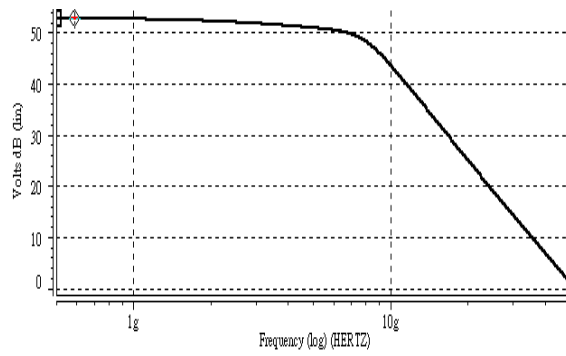
藉由 m 值之調整可得到不同之頻寬增強效果.然而在同時考量放大器頻寬與群組延遲最佳化之條件下,本設計選擇 m 值範圍為 2.41 至 3.1。同時,本電路將採用本計劃所提出之立體對稱式電感元件,以減少晶片之面積。



圖六. 振幅檢測器

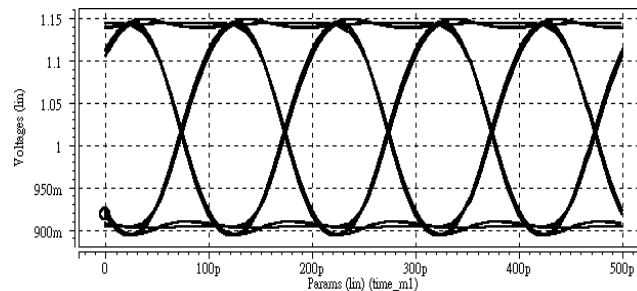
圖六所示為振幅檢測器,此為自動增益控制電路的核心電路.轉阻放大器之輸出信號將經由 C_{int} 與 C_2 進行峰值取樣,其電壓輸出值為 VA 與 VB .其中 VA 與 VB 預設之偏移電壓為額定之信號振幅.當前級放大器之輸出振幅大於此門檻電壓時,將啟動自動增益控制電路,進而減小前級放大器之轉阻增益.反之,則轉阻放大器的增益不受影響。

圖七為接收端前級放大器頻率響應結果圖.設計完成之轉阻放大器可提供 $53\text{dB}\Omega$ 的轉換增益,同時具備 7.3GHz 的 -3dB 頻寬.本電路操作於 1.8V 工作電壓之下,其消耗功率僅 40mW 。



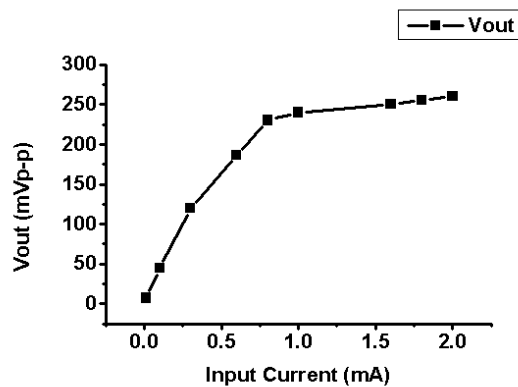
圖七. 接收端前級放大器頻率響應結果圖

圖八為輸入 10 Gbps、PRBS、1mA 強度之電流信號時，前級放大器輸出端之波眼圖。其經由緩衝器輸出之峰值電壓約為 225 mV。



圖八. 輸入電流 1mA 時眼圖

圖九為接收端前級放大器之輸入電流相對於輸出電壓的轉移曲線圖。在低電流輸入模式之下，轉阻放大器之轉換增益約為 53 dBΩ。當輸入電流達到臨界準位(約為 1 mA)，此時自動增益迴路啟動，使放大器之輸出信號維持定值。在避免信號發生嚴重之過飽和失真前提下，前級放大器的最大可容許輸入信號強度約為 2mA。



圖九. 輸入電流和輸出電壓的關係圖。

轉阻放大器之規格總結如表格一所示。

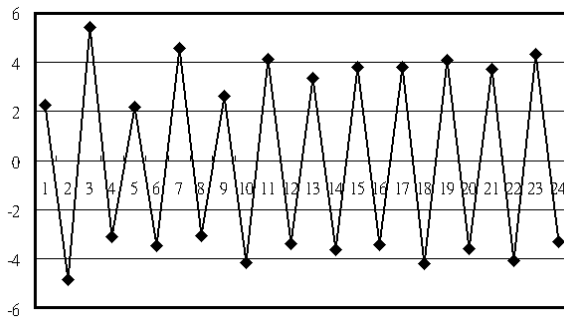
Technology	0.18 μ m 1P6M CMOS
<i>Operate voltage</i>	1.8V
<i>Gain</i>	53dBΩ
<i>Input noise</i>	<2uA
<i>Power</i>	40mW

<i>Group delay</i>	0.5ns
<i>Bandwidth</i>	7 GHz
<i>Dynamic range</i>	20ua~2mA
<i>Layout size</i>	770 μ m \times 985 μ m

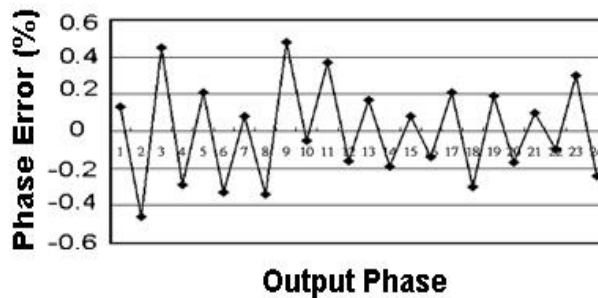
表一 轉阻放大器規格列表

實驗結果

我們以 SPICE, Matlab 及 Verilog 分別進行電路開發與系統之模擬驗證，並經由 Cadence 軟體完成電路之佈局。



圖十. 相位平均化前之內差相位誤差關係圖



圖十一. 相位平均化後之內差相位誤差關係圖

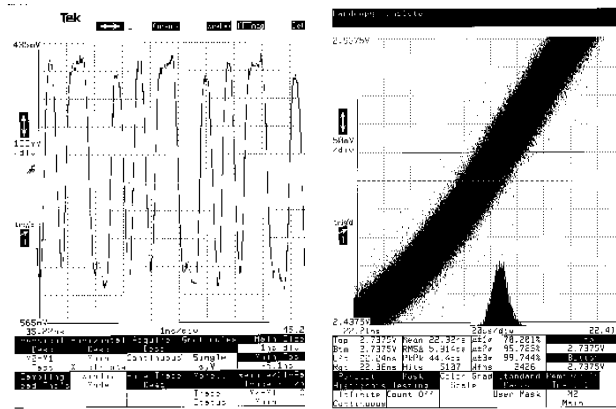
圖十所示為相位平均化前之內差相位誤差關係圖。在考量 5% 之製程變異條件下，輸出相位之誤差量達 $\pm 6\%$ 。圖十一所示為相位平均化後之內差相位誤差關係圖，在相同之製程變異條件下，其輸出相位之誤差量可抑制到 $\pm 0.6\%$ 以下。由此可見，本計劃採用之相位平均化技術，將可達到輸出相位準確化之目的。

圖十二所示為電路傳輸端所量測到之 2.5Gbps 輸出波形圖。其傳送資料為內部產生之定址資料(10101100)。所量測到的資料抖動雜訊約為 5.8ps (RMS)，其電壓擺幅為 600mVp-p。

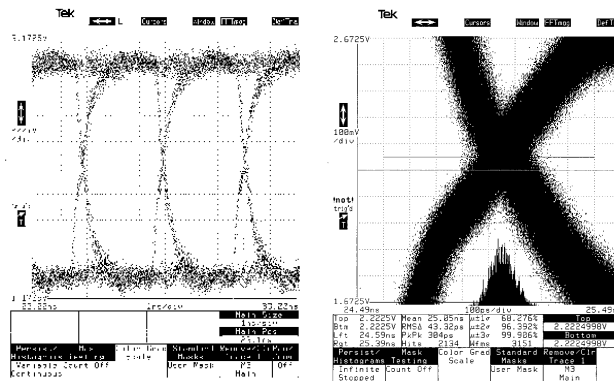
圖十三為接收端接收 2.56 Gbps、 2^7-1 PRBS 信號時，經由擷取及解多工後單一頻道所量測到的波眼圖。其資料抖動雜訊約為 43.3ps(rms)，速率為 320Mbps。

經由模擬及實驗結果，本傳收機可收送 640Mbps 至 2.56Gbps 之串列傳輸信號。其解多工後之資料收發速度範圍為 80Mbyte/s 至 320Mbyte/s。在資料小

於 1000 位元組時，接收端可容許之頻率誤差約為 1.5%。

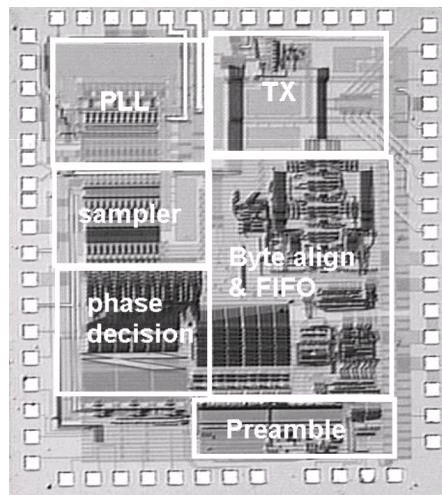


圖十二. 傳輸端量測結果



圖十三. 接收端量測結果

圖十四為本收發機之晶片照相圖。本設計採用 0.35 μm 數位 CMOS 製程，晶片面積大小為 2.9 mm \times 2.4mm。



圖十四. 晶片照相圖

表二所示為本傳輸接收器之功能列表

Technology	0.35μm 1P3M CMOS
Operate voltage	2V (except Buffer 3V)
Transmitter	2.5Gbps
Receiver	2.5Gbps
PLL frequency range	80MHz ~ 450MHz
Power (buffer)	100mW
Analog ckts	100mW
Digital ckts	80mW

表格二 2.5Gbps 收發機功能列表

結論

本計劃完成單一晶片之高速資料傳輸接收器設計，其內建 8:1 與 1:8 之多工與解多工器。其中串列輸入信號之速度可高達 2.5 Gbps，而輸出信號為 8 位元輸出、312.5 Mbps 之平行化信號。發射端之輸出信號振幅達 800 mVpp，且相位抖動雜訊為 5.8 ps (RMS)。接收端之平行化輸出信號振幅為 1.6 Vpp，相位抖動雜訊為 43.2 ps (RMS)。除緩衝級電路操作於 3 V 電壓之外，其餘電路工作於 2 V 操作電壓，整體電路之功率消耗為 280 mW。在 1000 位元組之封包傳輸模式下，輸入信號頻率容許偏移量為 1.5 %。

此外，本計劃並完成一寬頻轉阻放大器設計。本電路採用 0.18 μ m 1P6M CMOS 製程進行製作，其增益可達 53dB Ω ，頻寬可達 7GHz，電路之輸入等效雜訊小於 2 μ A，輸入動態範圍為 40 dB。操作於 1.8V 電壓之下，總消耗功率為 40mW。晶片佈局面積為 770 μ m \times 985 μ m。此晶片目前已經委由國科會系統晶片設計中心進行下線製作。

研究成果

(一)晶片：

- [1] CIC 前瞻性晶片。2.5 Gbps 資料回復電路
(一版)
- [2] CIC 前瞻性晶片。10Gbps 轉阻放大器電路
(一版)
- [3] 陳巍仁，高頻除頻器電路，中華民國專利 154831.
- [4] 陳巍仁，陳玟蕙，單晶立體對稱式射頻被動元件，US, R.O.C. Patent pending.

(二)論文：

- [1] Wei-Zen Chen , et al, "10 GHz Quadrature-Phase Voltage Controlled Oscillator and Prescaler" to appear at 2003 European Solid-State Circuits Conference.
- [2]Wei-Zen Chen, et al, "Symmetric 3D Passive Components for RF ICs Application" to appear at 2003 IEEE RFIC symposium
- [3]Meng-Tzer Wong and Wei-Zen Chen " A 2.5 Gbps CMOS Transceiver", submitted to 2003 VLSI/CAD Symposium
- [4]Wei-Zen Chen, et al, "A 3.3V 10-GHz Clock Multiplier Unit for OC-192 Transmitter", submitted to 2003 VLSI/CAD Symposium.