

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 晶片系統相關實作技術整合推動專案(1/3)

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-009-068-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程研究所

計畫主持人：任建葳

共同主持人：吳誠文

計畫參與人員：袁世一 謝韶徽 陳宏偉 張文峰 翁琳松

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 5 月 29 日

行政院國家科學委員會補助專題研究計畫  成果報告

期中進度報告

晶片系統相關實作技術整合推動專案(1/3)

計畫類別： 個別型計畫      整合型計畫

計畫編號：NSC 91-2215-E009-068

執行期間：91年8月1日至92年7月31日

計畫主持人：任建葳 教授      交通大學 電子工程系  
計畫共同主持人：吳誠文 教授      清華大學 電機系  
計畫參與人員：袁世一 助理教授      亞東技術學院 電子工程系  
謝韶徽 講師      勤益技術學院 電子系  
陳宏偉 助理教授      聯合技術學院 電子系  
張文峰 助理教授      萬能技術學院 資訊工程系  
翁琳松 副教授      明新科技大學 電子工程系

成果報告類型(依經費核定清單規定繳交)： 精簡報告      完整報告

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

執行單位：國立交通大學 電子工程學系

國立清華大學 電機系

中華民國 92 年 5 月 29 日

# 1 摘要

在二十一世紀，系統晶片(SoC)是電腦、通訊、消費性電子產品之關鍵零組件，而 SoC 設計也居於我國產業發展的主流地位。如何提升 SoC 設計的競爭優勢，是我們產官學研界，共同面對的一項重要議題。國科會微電子學門基於此，提出 SoC 推動方案，希望能創造出豐碩的研究成果，培育更多的 SoC 設計優秀人才。中區推動的重點領域在於 SoC 與其自動化設計，協調整合相關的研究團隊，從事前瞻性的主題研究，並建立研究人力資料庫，加強產、學、研之溝通。同時鼓勵教授參與此領域之研究，擴大研發人力規模。

關鍵詞：系統晶片、自動化設計

# Abstract

In this new era, System-on-Chip (SoC) has become the emerging key components in 3C products and industries due to the advance of IC technology and rapid changes in demands. SoC designs also become the most important issue among the semiconductor industry developments. Therefore, how to enhance our competition capability of the SoC design is a critical topic of the government at present. Facing the situation, we propose this SoC Promotion Program to achieve this goal. By the program, we hope the universities in Taiwan can strengthen the research infrastructure, expand its SoC design capabilities and educate more talent SoC design engineers. The Central Branch (Northern and South Branches are others) of this SoC Promotion Program focuses the research areas on the “SoC and its Design Automation.” The main tasks include – (1) coordinate the research teams to conduct more advanced researches; (2) encourage more professors to start the researches in this area; and (3) establish the web-page to increase the interaction channels between universities and industries.

Keywords: System-on-Chip (SoC), design automation

## 2 計畫緣由與目的

由於積體電路製程技術的快速進步，已使得單晶片系統，或稱系統晶片 (System-on-Chip, SoC) 可以將通訊、電腦、消費性電子，整個系統實現在矽晶片上，而具有輕巧、價廉、性能佳的優點。在 2001 年之今日，SoC 已成為 3C 電子產品的重要核心零組件。而 SoC 設計也成為我國產業發展的主流，扮演關鍵性的角色，它對上游半導體晶圓製造或下游之系統製造產業（如無線通訊、寬頻通訊、電腦資訊、影音等消費性產業），都具樞紐性舉足輕重的地位。面臨國際和兩岸在科技產業的劇烈競爭，如何維持 IC 設計乃至提昇 SoC 設計的競爭優勢，是關乎我國經濟發展的命脈。我們不僅要重視此情勢且要立即地付諸行動來強化我們在 SoC 的設計能力。過去幾年，國科會工程處微電子學門已將 SoC 相關研究的規劃列在規劃書上，也得到各學校研究團隊的熱烈支持，提出多項的研究計劃。為了更進一步推動 SoC 研究，我們因而提出 SoC 推動方案，希望在此推動方案下，能創造出更豐碩的研究成果，培育更多的 SoC 人材，以提昇國家發展 SoC 的能力。

### 3. 研究方法與成果

中區推動方案的重點在於「SoC 與其自動化設計」，主要的領域規劃為下列八個：

- System-level Design：含系統描述、平台架構、軟體/硬體分割、效能評估等
- Hardware Design and Synthesis：含硬體架構設計、邏輯合成、界面合成、模型與分析模擬等
- Physical-level Design：含 floor-planning、placement 及 routing、module generation、physical verification 等
- Embedded Software Design：含 real-time OS、kernel、driver、application program interface 以及 software/hardware verification 等
- RF/Mixed-signal/Analog Design：含上述電路之 synthesis、optimization、layout、simulation 等
- Validation and Verification：含高階驗證、實體模型模擬、時間－功率分析等
- Testing and Testable Design：含 BIST、DFT、System、boundary、memory test、fault modeling、fault simulation、ATPG 等
- Design Drivers：以某些 SoC 整合設計為例來帶動設計自動化技術之研發，包括低功率無線通訊、寬頻傳輸、資訊、消費性產品之 SoC 設計等

針對國科會工程處為推動 VLSI/CAD/SoC 相關領域之各類研究計畫所規劃之補助辦法，我們整理出：

- 微電子學門個別型研究計畫
- 微電子學門整合型群體研究計畫

□ SoC 整合型研究計畫

□ 應用性先期研究計畫

之重點說明與申請須知等資料，撰寫完成一個整理過的說明，結合中部地區（包括桃竹苗、台中縣市、南投、雲林等）各大學院校（包括綜合大學、技職院校），希望大家有機會參與國科會所推展的研究工作。在今年的推動方案中合作研究的對象及內容如下：

### 一、發展一個在 SoC 轉架即時作業系統的技術

(袁世一助理教授 亞東技術學院電子工程系)

隨著 SoC 架構複雜化，使得 SoC 系統的設計難度比單晶片系統的設計要加深許多。而且複雜度提昇，明顯會提高 SoC 系統設計的開發時間。一般 SoC 產品為流行產物或競爭性產品，其生命週期 (Life cycle) 短，益發使此問題雪上加霜。解決此問題必須同時由硬體與軟體設計流程著手，因此有 H/W-S/W Co-design/Co-verification 之解決方案研究。軟體設計方面，即時作業系統(RTOS)就是其中極為重要的一環。取得已有的 RTOS 原程式碼加以改進變化，使其適合新設計的電路，這種動作即稱為轉架 (porting)。轉架一個 RTOS 對 SoC 而言，是一個經常性的動作，因為電路的變化大而快，硬體和軟體之改良亦是極為快速的。因此沒有任何一個 RTOS 能在不改變的狀況下，去完全符合 SoC 系統的發展。此計畫主要在設計一個轉架的機制，並將轉架一個特定的 RTOS 到一個特定的 SoC 硬體平台，以作為此機制的實證結果。目前已就 ARM 及 X86 平台，發展完整的轉架工具鏈環境，並以手動將一個 RTOS kernel 轉架完成，後續的轉架機制將逐漸發展。

### 二、基於內嵌式架構之低功率全加器核心電路之設計

(謝韶徽講師 勤益技術學院電子系)

在 VLSI 應用上，例如數位信號處理，影像與視訊處理及微處理器均會



用到算術運算。在算術運算方面以加法、減法、乘法、除法與累加乘法器 (Multiply and Accumulate: MAC) 為最普遍被使用的算術運算模組，而 1 位元的全加器單元是建構這些運算模組的基石。因此，加強全加器的效能是提升所有算術運算模組效能最有效及最直接的方法。未來影響 VLSI 系統效能最重要的因素為 VLSI 電路的運算速度及功率消耗。此計劃提出一個全新加法器電路，此加法器比目前曾經提出的知名全加器所組成的加法器具有更快的運算速度及消耗更少的功率。

### 三、射頻通訊數位類比轉換器的系統設計及實作

(陳宏偉助理教授 聯合技術學院電子系)

隨著射頻無線數位通訊的快速發展，射頻通訊所需的數位類比轉換器也被要求比以前速度更快、更省電、解析度更高，而且頻率方面的效能要好；數位類比轉換器也因此變得更難設計及實現，此計畫擬設計實現及測試一個適合 IEEE 802.11a 規格的射頻通訊數位類比轉換器。此計畫將採用區段化架構的電流切換式數位類比轉換器，它的面積雖不見得小，但是在速度及解析度方面的表現比其他的選擇更好。通訊所需的數位類比轉換器頻譜純度很重要，而 Spurious-Free Dynamic Range (SFDR) 是頻譜純度重要的指標，此計畫目標 SFDR=60dB。靜態特性設定的規格為 INL= $\pm 0.5$ LSB、DNL= $\pm 0.5$ LSB，另外工作頻率設定為 160MHz，解析度為 10 bits 並使用 CIC 所提供的 TSMC 0.35um 製程實現設計。

### 四、伯登碼的全自我檢查檢查器之設計

(張文峰助理教授 萬能技術學院資訊工程系)

在許多重要應用的場合 (例如:飛行器，太空船的導航系統等等)，採用高可靠度的電腦是非常重要的。讓電腦能立即偵測到錯誤及更換錯誤模組，以避免資料毀壞，可以提高電腦的可靠度。傳統上採用離線測試，但當數位系

統愈來愈複雜時，這並不是一個好方法。因此，我們愈來愈渴望電路有自我測試的能力。“錯誤偵測編碼”已經被證實是達成此目的的好方法。它是先定義一些輸入為合法輸入（稱為輸入碼），以及一些輸出為合法輸出（稱為輸出碼），藉由觀察輸出是否合法可知電路是否有誤。在正常操作下，電路接收到輸入碼會產生正確輸出碼，但當電路有錯時，至少存在一輸入碼可讓路產生非輸出碼。自我測試電路的輸出必須被一檢查器所檢查（稱為全自我檢查檢查器）。根據不同的應用許錯誤偵測碼被提出，例如： $m/n$  碼，伯格碼，伯登碼。此計畫提出一複雜度低且快速的伯登碼檢查器之設計方法。這個檢查器是藉由二個 modulo 加法器，將伯登碼映射到  $t+1$  個子集合。再由二轉換器將 modulo 加法器之輸出轉成 bit-by-bit 互補的二個向量。最後用 TRC 檢查器來比較此二向量。此計畫將此檢查器設計成積體電路並驗證其正確性。

## 五、1.8 GHz 無線收發系統射頻模組量測技術與規格之研究

(翁琳松副教授 明新科技大學電子工程系)

此計畫針對最近快速成長的行動無線通信系統，如操作頻率 1.8GHz 傳輸系統收發機之射頻前端(front-end)系統，利用離散式的元件，包含低雜訊放大器(low noise amplifier, LNA)、混波器(mixer)、功率放大器(power amplifier, PA)及電壓控制震盪器(voltage control oscillator, VCO)等作整合性的量測技術之研究，並完成此系統整體射頻收發功能與特性的量測，進而了解此整個系統之標準規格及相關子電路彼此之間的介面電氣特性規格。於此射頻前端之整體性的結合過程中，乃應用系統整合的觀點來進行；即由系統規格至最後實體電路的完成與信號的量測技術之建立。首先訂出整個系統的應用介面規格，進而設計各模組之子系統功能規格，以達到整個系統所需之規格。再予以作整體之結合，使能達到最後實際的應用系統。

## 4. 重要成果自評

這一年來，我們已完成下列重要成果：

- 輔導相關教師從事規劃性的主題研究，並與表現優良之私立大專院校及技職體系研究團隊結盟。
- 建立與維護內容充實之網頁，作為產、學、研互通之橋樑。
- 建立中區有興趣在這些領域從事研究的教師資料庫。
- 配合國家矽導計畫「晶片系統國家型計畫」，舉辦多場相關性之研討會與演講。其中由 Prof. Ralf Seepold 規劃的“IP Design, Verification, and Integration for SoC”已於 92 年 3 月 27 日至 28 日在交通大學舉行兩天，出席聽講者將近百人。五位講員都是此領域的知名專家，講義內容豐富，收穫不少。會後亦邀請工研院系統晶片中心一齊與專家們討論 IP Qualification 標準制訂聯盟推動事宜。另外，透過此交流，本人也獲邀參與 DATE 2004 研討會之 program committee。

這些成果將有助于達成下列目標：

- 協調在 SoC 領域的研究團隊，從事規劃性的主題研究，以期更有效率地研發上述各領域之新的技術。
- 鼓勵教師學生投入 SoC 研究，擴大研究能量之基礎規模，預期投入之教師有 50 位以上，每年畢業的學生達 700 人以上。
- 加強產、研、學溝通與結合，期使學校之研發成果能直接地有助於 SoC 設計產業之技術。並進一步獲得產業界之回饋，以充實學校之研發資源。