

行政院國家科學委員會專題研究計畫 期中進度報告

矽奈米場效電晶體及氧化層奈米線：理論,實驗,及應用潛力

(1/3)

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-009-045-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程研究所

計畫主持人：陳明哲

計畫參與人員：呂明霈,陳柏年,曾盈達,陳健生

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 5 月 27 日

行政院國家科學委員會補助專題研究計畫期中報告

※※※※※※※※※※※※※※※※※※※※※※※※※※※※※※

※矽奈米場效電晶體及氧化層奈米線: 理論,實驗及應用潛力(1/3)※

※※※※※※※※※※※※※※※※※※※※※※※※※※※※※※

計畫類別：個別型計畫 整合型計畫

計畫編號： NSC 91-2215-E-009-045-

執行期間： 91/08/01 ~ 92/07/31

計畫主持人：陳明哲

計畫參與人員：呂明霈,陳柏年,曾盈達,陳健生

成果報告類型(依經費核定清單規定繳交)：精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫
及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權，一年二年後可公開查詢

執行單位：國立交通大學電子工程學系

中 華 民 國 92 年 5 月 26 日

行政院國家科學委員會專題研究計畫期中報告

矽奈米場效電晶體及氧化層奈米線：理論,實驗及應用潛力(1/3)

Si NanoFET and Oxide Nanowire: Theory, Experiment, and Potential Applications (1/3)

執行期限: 91/08/01 ~ 92/07/31

計畫編號: NSC 91-2215-E-009-045-

主持人：陳明哲教授 國立交通大學電子工程學系

一、中文摘要

本計畫為期三年，探索奈米場效電晶體及氧化層奈米線之嶄新領域，在奈米場效電晶體部份，以最先進製程製作奈米場效電晶體元件，光罩閘極長度範圍 250 nm~20 nm，氧化層厚度 5 nm~<1 nm。進行電性量測及低溫實驗。利用自行發展的量子力學模擬器與實驗比較以萃取重要物理參數。改進傳統通道反向散射理論之缺失，更新的版本能正確反映線性區完整特性，臨界電壓定義清楚無誤，以及低溫特性等。更新的通道反向散射理論將含有已萃取的二維電子氣或二維電洞氣密度等，並表達為通道長度，氧化層厚度，閘電壓及汲極電壓之函數。也進行應用潛力之研究：(1) 萃取載子速度分布以具體闡明載子速度超越；(2) 預測閘極長度縮小至極限時彈道傳輸限制並與文獻比較；(3) 預測長通道 (250 nm) 遷移率變化引至推動電流變化百分比 (可與矽鍺通道製程之測試數據比較)；(4) 表現與溫度無關之奈米場效元件；(5) 開發 Spice 電路模擬器專用的更新通道反向散射奈米場效電晶體模式；(6) 晶片電路實現包括低溫電路；以及 (7) 其它應用潛力之發掘。

在氧化層奈米線部分，將發展自動化奈米線產生控制程式，一旦氧化層奈米線形成，即進行電性量測 (低電壓的範圍)。也量測時域之電報雜訊，頻域之低頻雜訊特性，以及低溫下的實驗量測。利用量子點接觸理論模式與實驗比較，萃取相對應的參數。並發展出量子點接觸之電報雜訊版本，低頻雜訊版本以及低溫版本，也與實驗一一比較並萃取參數。亦進行應用潛力之研究：(1) 開發更為快速的奈米線產生設備或產生電路；(2) 因與矽的製程完

全相容，將包含其他傳統的矽元件以產生功能電路如負電阻，階梯狀特性等；(3) 利用所量測到的低溫參數設計奈米線低溫電路；(4) 在小面積下或在低溫下應能表現出類似單電子電晶體之特性；以及 (5) 其他應用潛力之發掘。

關鍵詞：矽，奈米，場效電晶體，氧化層，奈米線，散射，低溫，彈道傳輸，電報雜訊，低頻雜訊，量子點接觸，單電子電晶體。

英文摘要

This is a three-years project to explore new areas of nanoFET and oxide nanowire. In the nanoFET side, state-of-the-art process technologies are used for manufacturing nanoFETs with mask gate length ranging from 250 nm down to 20 nm and gate oxide thicknesses from 5 nm to less than 1 nm, then followed by I-V/C-V measurement as well as low temperature experiment. Our developed quantum mechanical I-V/C-V simulators are used to compare experimental data from which relevant physical parameters are extracted. Improved channel backscattering theory including two-dimensional electron or hole gas is expressed as a function of temperature, channel length, oxide thickness, gate voltage, and drain voltage. Also carried out are promising potentials: (1) extract carrier velocity profile in order to highlight velocity overshoot; (2) predict ballistic limit as channel length is reduced down to extremity along with literature comparison; (3) predict device drive current change due to mobility change (compare data from strained-Silicon or Si-Ge channel process); (4) implementation of

nanoFETs having less temperature dependencies ; (5) update SPICE models to account for improved channel backscattering in nanoFETs ; (6) realization of integrated circuits including low temperature circuits ; and (7) exploration of other applications.

In the oxide nanowire side , we will develop an automatic electrical control program for nanowire generation in gate oxide films. Once a nanowire is created therein , low-voltage I-V's are measured. Also performed are random telegraph signal in time domain , low frequency noise in frequency domain , and low temperature experiment. Quantum point contact model is used to compare data in order to extract physical parameters. We will develop out random telegraph signal version , low frequency noise version , and low temperature version of channel back scattering theory , as well as experimental comparison and parameter extraction. We also examine potential applications : (1) develop fast equipment or circuits for nanowire generation ; (2) owing to 100% compatibility with current silicon processes , combine other conventional silicon devices to constitute functional circuits with novel features like negative resistance and step-like current ; (3) apply low temperature data and parameters to design and realize low temperature circuits ; (4) under small area or low temperature conditions , expect nanoFETs to show behaviors of single electron transistors ; and (5) explore other applications.

Key Words : Silicon , nano , FET , oxide , MOS , nanowire , scatter , low temperature , random telegraph signal , low frequency noise , quantum point contact , single electron transistors

二、緣由與目的

近年來隨著 Si MOSFET 元件的持續不斷縮小, 其有效通道(channel)長度(等於 mask gate length 光罩開極長度減去 Source/Drain overlap 長度)已經達到奈米級的尺寸, 可與平均自由路徑(mean-free-path)相當甚至更小, 在此情況下, 傳統的載子遷移率(mobility)已無意義, 因其在如此超短通道內遭遇極為微少的碰撞(collision), 故必得以量子力學即波(wave)的觀點去闡釋並處理相關問題。普渡大學的 Datta 教授與 Lundstrom 教授所提出的通道背向散射理論(Channel Backscattering Theory)特別突出, 尤能處理像載子速度超越(Carrier Velocity Overshoot), 彈道傳輸限制(Ballistic Transport Limit)等爭議性

極高的問題, 吸引全球目光。MIT 的 Antoniadis 教授利用通道背向散射理論在載子速度這議題上有傑出的表現, IBM 的 Yuan Taur 博士(現加大教授)在蒙地卡羅模擬及實驗上證明可與通道背向散射理論銜接。但本研究群最近與 TSMC R/D Carlos Diaz 博士部門合作研究初步實驗發現 Datta 教授及 Lundstrom 教授的理論存在以下缺失:

1. 線性區(Linear region)背向散射理論只能在 $V_D \ll kT/q$ 下成立, 但 MOSFET 線性區大部分為 $V_D > kT/q$ 。
2. 無論線性區或飽和區(Saturation region)背向散射理論對於臨界電壓 V_{th} 的意義不確定, 致以實驗值代入有困難。
3. 背向散射理論及實驗尚未延伸至低溫。

至於通道背向散射理論應用潛力, 本研究群堅信:

1. 目前電路模擬器 SPICE 所用之 Device Models 係基於載子之 Drift 及 Diffusion(也即 mobility)行為而來, 不適用於奈米 FET 元件。因之能以波動處理通道傳輸特性之背向散射理論應為奈米 FETs 元件特性模式之用以取代 SPICE 中元件 Drift-Diffusion 版本。
2. 波動或透納(Tunneling)行為基本上為量子傳輸應有與溫度無關的特性, 因之奈米 FETs 元件表現出與溫度無關的特性應可期待。

通道背向散射理論亦牽涉到 Subbands 上二維電子氣(2DEG)或二維電洞氣(2DHG)的 Quantum Confinement 效應。本研究群這幾年已自行發展出量子力學(Quantum Mechanics) I-V/C-V 模擬器(已算入 2DEG 及 2DHG), 亦對波的入射及反射行為鑽研至深。而基於奈米 FET 元件日趨重要, 相關的傳導機制必須釐清且應用潛力有待發掘及推廣, 本實驗室基於在此領域有良好研究基礎, 特別提出此一研究計畫。

本計畫亦探討開極介電層 percolation 路徑(截面積約 $1nm^2$, 長度約為介電層厚度)的奈米線 nanowire-like 行為, 最近 Spain Sune 教授 group 提出 Quantum point contact 理論模式成功闡釋此 nanowire 行為。Percolation 路徑自身亦表現出 on-off switching 或 RTS(Random Telegraph Signal; 電報雜訊)現象, 甚至開極介電層內有二條 percolation 路徑或 nanowires, 彼此之間產生詭異的 on-off switching 現象, Sune 教授亦認為 percolation 路徑的 nanowire 行為可為未來元件候選人之一, 且有一大優勢: 與現有 Silicon CMOS 製程完全相容, 問題是該如何實現。本研究群這幾年在開極氧化層 percolation 路徑的理論模式實驗已作出好的研究, 我們並且觀察到 nanowire 在頻域的 Lorentzian noise(相當於時域的 RTS 現象), 並很清楚如何從電性上產生 percolation nanowire 且不致因隨後的大電流進入而產生的熱能造成鉅

大的結構破壞。我們亦要研究 percolation nanowire 在低溫下的巨觀及微觀行為特性，希冀能觀察到前人未見者並提供更多的設計參數。Percolation nanowire 的應用潛力也將具體地提出及製程實現。

三、研究方法與成果

1. 率先以低溫實驗萃取 NanoScale MOSFETs 之 Channel Backscattering Coefficients 發表於 2002 *IEEE IEDM*，其他具體貢獻：
 - 驗證通道反向散射理論
 - 評估載子速度分佈，彈道傳輸等參數
 - 奈米 FET 有著與溫度無關的特性
 - SPICE 通道反向散射奈米 FET 模式
2. 在一 1.5 奈米厚，6 奈米寬的 Gate dielectric nanowire 上首度觀察到時域擾動 Fluctuations 現象，部分成果被 2002 *Applied Physics Letters* 接受。

四、結論與討論

1. 背向散射理論及實驗首度延伸至低溫。
2. 首度觀察到 percolation nanowire 之 on-off switching 時域擾動 Fluctuations 現象。

參考文獻 *List of Publications (2002-2003):*

1. C. J. Chao, M. J. Chen, et al., "Characterization and modeling of on-chip spiral inductors for Si RF IC's," *IEEE Trans. Semiconductor Manufacturing*, pp. 19-29, Feb. 2002.
2. Caleb Y. S. Cho, M. J. Chen, J. H. Lin, C. F. Chen, "A new process-variation-immunity method for extracting capacitance coupling coefficients in flash memory cells," *IEEE Electron Device Letters*, vol. 23, pp. 422-424, July 2002.
3. K. Y. Chou, M. J. Chen, C. W. Liu, and B. H. Lin, "Reliability of VLSI-level chip assembly for evaluating the development of back-end technologies using a test chip with a top two-level metal structure," *IEEE Trans. Device and Materials Reliability*, pp. 50-59, September 2002.
4. M. J. Chen, M. P. Lu, "On-off switching of edge direct tunneling currents in metal-oxide-semiconductor field-effect transistors," *Applied Physics Letters*, pp. 3488-3490, October 2002.
5. K. Y. Chou, M. J. Chen, and C. W. Liu, "Active Devices under CMOS I/O Pads," *IEEE Trans. Electron Devices*, pp. 2279-2287, December 2002.
6. C. J. Chao, M. J. Chen, et al., "Characterization and modeling of on-chip inductor substrate coupling," *IEEE MTT Microwave Symposium Digest*, pp. 157-160, April 2002.
7. C. J. Chao, M. J. Chen, et al., "Characterization and modeling of on-chip inductor substrate coupling," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 311-314, 2002(Seattle).
8. M. J. Chen, H. T. Huang, K. C. Huang, P. N. Chen, C. S. Chang, Carlos H. Diaz, "Temperature dependent channel backscattering coefficients in nanoscale MOSFETs," *IEEE International Electron Devices Meeting (IEDM)*, Dec. 2002, (San Francisco).
9. Y. M. Sheu, C. S. Chang, H. C. Lin, S. S. Lin, C. H. Lee, C. C. Wu, M. J. Chen, C. H. Diaz, "Impact of STI Mechanical Stress in Highly Scaled MOSFETs," *IEEE Symposium on VLSI-TSA, Technical Digest*, 2003, accepted (Hsin-Chu).
10. Y. M. Sheu, Kelvin Y. Y. Doong, C. H. Lee, M. J. Chen, C. H. Diaz, "Study on STI Mechanic

90-nm CMOSFETs," *IEEE International Conference on Microelectronic Test Structures*, 2003, accepted (Monterey).

11. Caleb Y. S. Cho, M. J. Chen, and C. F. Chen, "Fast and Precise Subthreshold Slope Method for Extracting Gate Capacitive Coupling Coefficient in Flash Memory Cells," *IEEE International Conference on Microelectronic Test Structures*, 2003, accepted (Monterey).

Figures:

背向散射理論及實驗

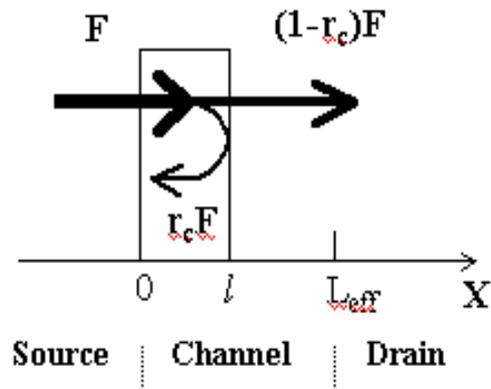


Fig. 1 Schematic diagram of channel backscattering theory in saturation region. F is the incident flux and r_c is the channel backscattering probability. l is the critical length in a KT/q drop. Channel gate length L_{gr} is mask gate length minus source/drain extensions.

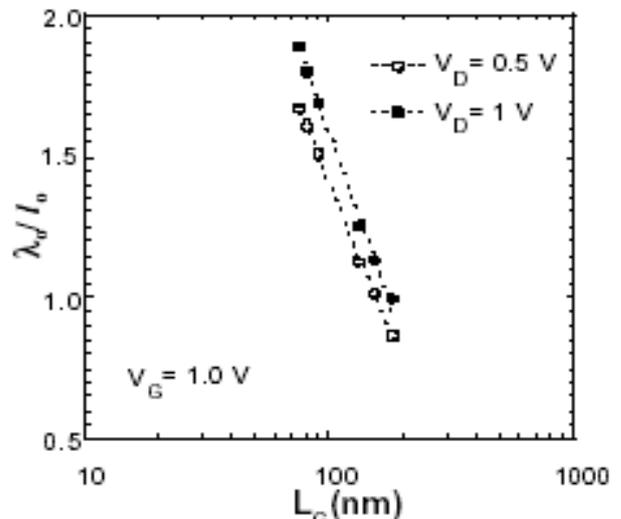


Fig. 2 Extracted λ_d/I_0 at $V_G = 1.0$ V versus gate length for $V_D = 0.5$ V and 1V. R_S and DIBL are taken into account.

$$L_G \text{ or } L_{eff} \text{ (nm)}$$

Fig. 3 Scatter plot of published channel backscattering coefficients versus channel length L_{eff} or mask gate length L_G .

首度觀察到 percolation nanowire 之 on-off switching 現象

國科會出席國際會議報告

2002 年 IEEE 國際

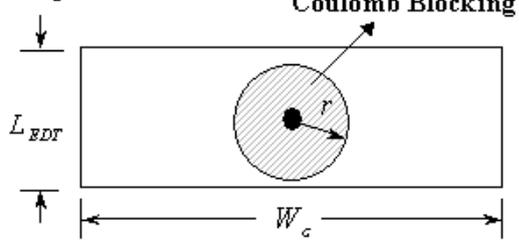
交通大學電子工程學

參加會議經過

IEDM(International Electron Devices Symposium) 奧林匹克，今年(2002)在美西舊金山 Hilt 本人於當地時間 12/7 下午 3:30 抵達旅館，當天親自將 present PowerPoint 檔案上載。Extracting Channel Backscattering Parameters 一天(12/9)下午 1:30 開始的 CMOS Design Enhancements 以第 5 順位宣讀，此 session 論文發表來源依序為(i) MIT; (ii) Mitsubishi (Japan); (iii) ASET (Japan); (iv) Matsushita (Japan); (v) NCTU&TSMC (Taiwan/ROC); (vi) IBM; (vii) Toshiba (Japan); 以及 (viii) IBM。新加坡國立大學 M. F. Lee 教授 (出版一本銷路極廣的量子力學英文書籍，此次也有 IEDM 論文上榜) 主動表示本人作出了好的研究，也表達同樣意思的有 Toshiba 之 Takagi 博士 (國際最知名，發表最多原創性論文，論文被引用次數也最多)，STMicroelectronics Dr. Thomas Skotnicki (Solid-State Session Chair)，普渡大學的 Lundstrom 教授及 Datta 教授研究群(此次 IEDM 共發表 3 篇論文)，IBM 的 Philip Wong 博士(IEDM Publicity Vice Chair)，德州大學 Austin Prof. D.L.Kwong (high-K gate 專家)等。本人此次上台 Present 得到 Intel Dr. Jack Kovalieros 及 IMEC Dr. Malgorzata Jurczak 之熱心協助。

隨後的兩天會議本人全程參與，汲取新知，所見所聞，自有一番心得，同時與多國人士互動交流。第 3 天(12/11)夜 9:00 辦妥 check out 趕赴機場搭凌晨班機返國。臨行前，在旅館大廳與 Datta 教授話別，Datta 教授期許本人能繼續在 Silicon Nano CMOS 領域做出影響深遠的研究，能受到心儀已久的大師 (出版至少 3 本介觀物理及量子力學經典之作，全世界大學大都採用為教科書，其學術地

Topside View



Cross Section View

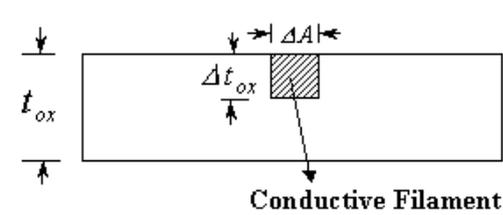


Fig. 1 (n) (p) (p) Δ

位幾近諾貝爾物理獎等級) 當面鼓勵, 良師益友亦如是焉。

參加會議心得

1. 本次 IEDM 我國表現不俗, 共計有 11 篇論文上榜, 約佔全體論文總數 5% :
 - 3 篇來自交大與 TSMC 之共同合作
 - 1 篇來自旺宏與交大之共同合作
 - 1 篇來自台大與工研院之共同合作
 - 5 篇來自 TSMC
 - 1 篇來自工研院

由此可看出, 就研究下世代半導體元件的艱難性 (difficulty) 及有效性 (effectiveness) 而言, 學術界必得與產業界攜手合作, 形成時勢潮流, 國際上類似例子不勝枚舉 (如 MIT 與 Intel 展開下世代元件技術合作, MIT 負責元件量測及物理, Intel 則負責元件技術製造等)。CMOS Device Session 主席 Dr. B. Yu (AMD 前瞻元件部門經理) 向本人提起此次 IEDM TSMC 掛名的論文數量最多 (共 8 篇), 而我們相信此要歸功於 TSMC 一年前自柏克萊加大延攬胡正明教授回國擔當技術長, 將 TSMC R&D 導向一新氣象, 帶動整體士氣而有以致之。

2. 第一天上午 9 點揭幕, 進行各種獎項的頒發, 其中我國的 IEEE EDS Taipei Chapter 獲得了 EDS Chapter of the Year Award, 由台北分會會長交通大學電子工程學系莊紹勳教授代表頒獎。另外, 台大電機系李嗣涇教授也在 Quantum Electronics & Compound Semiconductor 領域的傑出研究上台領取 IEEE Fellow 證書。
3. 本次 IEDM 會議論文 present 按領域分成 10 個 sessions 同時進行: CMOS Devices, Integrated Circuits and Manufacturing, Quantum Electronics and Compound Semiconductors, Modeling and Simulation, CMOS and Interconnect Reliability, Solid-State Devices, Detectors/Sensors/Displays, Process Technology, and Emerging Technology。經常在某一 Session 某一時段 speaker 才剛結束 present, 聽眾席中有一大部分攸地起身離開, 分別趕赴另外 sessions 聽取較有興趣的論文 present。前一刻大的會議房間位子幾全坐滿但不久即空出許多。相對地較小型會議房間有時人山人海, 須費九牛之力才擠得進去只爲了去聽取一篇好的論文佳作。
4. 本人目前在矽奈米 CMOS 領域潛心研究, 是以出席了相近的 sessions :
 - CMOS Devices: 1 篇 Extreme Scaling in CMOSFETs 來自 IBM
 - Solid-State Device : 1 篇來自 IBM “Carbon Nanotube Electrons”
 - 1 篇來自 IBM 和 MIT “Short-channel Like Effect in Schottky Barrier Carbon Field-Effect Transistors”
 - 1 篇來自 Stanford “I-MOS: A Novel Semiconductor Device

with a Subthreshold Slope lower than KT/q ”

Modeling and Simulation :

3 篇來自普渡大學 Datta 及 Lundstrom 教授研究群針對 Silicon MOSFET and Carbon-NanoFET 之 Channel Transport 之研究

5 篇 NanoDevices 來自 IBM, DIEGM(Italy), Stanford, Osaka University, 新加坡國立大學

這些論文中有一些報告從未目睹過的現象，本人深受啓發，對爾後的研究品質深度有極大的幫助。Speakers 中 Stanford 大學 Dr. C. Choi (Dutton 教授學生) 爲本人舊識，本人並與普渡大學 Datta 教授及 Lundstrom 教授研究群，新加坡國立大學大學研究群等進行了互動討論。

5. 本人亦選擇了 Emerging Technology Session 出席，此 session 發表了 5 篇極好 Bioelectronics 的論文 (Electronic Nose chip, DNA CMOS chip, Retina Chip, Artificial Vision chip, 以及 Auditory chip 等)，會議結束後本人與 Auditory chip 論文 Speaker Wise 教授 (密西根大學電機系教授，美國國科會工程研究中心主任) 有極好的交流討論，並同時認識了 IBM 專家及 MIT 相關教授。
6. 今年 IEDM 重頭戲是 Intel Chairman of the Board, Dr. Andrew S. Grove 之午餐演講 Luncheon Presentation: "Changing Vectors of Moore's Law"。但見廳座無虛席，進行午餐的同時 IEEE 主席頒予 IEEE 其他 Awards: MIT Antoniadis 教授獲得 Andrew S. Grove Award, 普渡大學 Lundstrom 及 Datta 兩位教授共同獲得 Cleo Brunetti Award, Tohoku 大學 Nakazawa 教授獲得 Daniel E. Noble Award。本人認識了同桌的各國人士如 paper speaker 富士電機中央研究所主任 Naoto Fujishima 等人。Grove 提出 Moore's Law 的未來可能遭遇的各種情況，見解，解決對策等，然後點出 Device Physics 是 Changing Vectors 的根本基礎，而 Leakage 漏電流則形成奈米 CMOS 主要技術障礙。

感想及建議

1. 本次 IEDM Intel 宣佈 90nm Strained-Silicon CMOS 製程將可在 2003 年首季進行 SRAM Chip 之量產。若此說屬實，則 Intel 將在奈米 CMOS 領域領先同業兩三年。本人希望 TSMC 能加緊 90nm 的研發及量產，但首要是 Strained-Silicon 或 High-K 之製程技術方向能突破困境(所謂差最後一道卻是關鍵的步驟)。建議 TSMC 能考慮 Intel 的 RD 危機策略: 成立數個 task 小組，目標一致，各自獨立平行操作，彼此互相競爭。
2. 先進國家意識到 Silicon NanoCMOS 領域攸關自身未來早就投下十足資源，然台灣在此方面相對地投入不足且產出水平不高，不利於將來。
3. 台灣現階段培養出來的半導體人才大都 Semiconductor Device and Physics

之巨觀(macroscopic) knowledge 已足夠，很少人能對未來懷有遠見主動延伸至介觀物理 mesoscopic physics 領域。是以再數年全球 Mainstream Silicon CMOS Technology 世代更新進步到奈米級，台灣的 CMOS 半導體產業界將面臨無適當的人才可用的窘境，就連看似當紅的 IC Design House 將見識到 Silicon nanoFETs 等未來奈米元件對晶片電路表現出特異的行為(如擾動 fluctuation、雜訊 noise、非匹配 mismatch 等)而束手無策。

4. 建議透過 Silicon NanoCMOS/Mesoscopic Physics/Noise & Fluctuation 課程及奈米級實驗量測培養高級人才，並舉辦講習會廣為擴散下世代矽奈米元件介觀物理及其對未來電路晶片產生之 Impact 等 Cutting-edge 知識。

攜回資料

1. IEDM 論文集一本及光碟一片。