

行政院國家科學委員會專題研究計畫 期中進度報告

奈米 MOS 元件之矽化物、超淺接面及接觸孔之研發(1/3)

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-009-047-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程研究所

計畫主持人：雷添福

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫涉及專利或其他智慧財產權，1年後可公開查詢

中 華 民 國 92 年 5 月 27 日

行政院國家科學委員會專題研究計畫期中報告

奈米 MOS 元件之矽化物、超淺接面及接觸孔之研發(1/3)

Development of silicide, ultra-shallow junction and contact hole
in nano MOS devices (1/3)

計畫編號：NSC 91-2215-E-009-047-

執行期限：91 年 8 月 1 日至 92 年 7 月 31 日

主持人：雷添福* 交通大學電子研究所教授

一、中文摘要

本計劃，目的是奈米級 MOS 元件之金屬矽化物、金屬矽化物超淺接面及 50nm 的接觸孔研發，並期望能符合 50nm 奈米元件的製程。在金屬矽化物方面，為了解決元件間金屬連線的阻抗延遲可能導致的效能降低或誤判動作，而發展出自動對準之複晶矽連線技術，以降低在細線寬之複晶矽連線的阻抗，並避免用金屬做連線所造成之污染。本計畫成功地使用鎳形成低矽消耗係數及低矽化物形成溫度的金屬矽化物；並大幅提高矽化鎳的熱穩定性。在超淺接面方面，為了增加元件密度並維持積體電路之特性，金氧半場效電晶體之汲極與源極的 PN 接面縱深必須做淺，然而當接面做淺時，便會衍生高截止漏電流及高片電阻等問題，我們已研究出超淺及低片電阻的接面。在微影製程方面，由於元件密集度增加，所需的解析度將愈來愈高，然而要提高解析度，所需的光阻厚度將愈薄，但是在此薄的光阻層條件下，其抗蝕刻力往往不足，以致於造成解析度無法提升。在本研究中我們成功的將光阻劑與有高度抗蝕刻能力的奈米粒子做結合，增進光阻的抗蝕刻率並已做出 60 nm 的 Poly gate。

關鍵詞：超淺接面，金屬矽化物，接觸孔。

Abstract

This study is to investigate the developments of silicide, ultra-shallow junction with silicide and 50 nm contact hole for the application of 50nm MOSFET devices.

Self-aligned polysilicon connection technique has been developed to reduce the resistance in narrow polysilicon connection lines and prevent the contamination from metal line processes. In our project, we used Ni as the silicide material to form Ni silicide, which has less silicon consumption and low silicidation temperature.

To increase device density and maintain the performance of integrated circuits, a shallow junction of the S/D region in MOSFETs is required. However, some problems such as high leakage current and high sheet resistance are introduced as the junction becomes shallower. Our research proposed a new method to form ultra-shallow junctions by controlling the annealing process.

As device density increases, we need higher resolution. In order to improve resolution, the thickness of photoresistance must be reduced. However, the antietching ability of photoresistance and resolution of lithography are always poor in thin photoresistance. We successfully combine photoresistance with nano particles to increase antietching ability and fabricate 60nm-poly gate.

Keywords: ultra-shallow junction, contact hole.

二、緣由與目的

金屬矽化物已經廣泛的應用於元件的製程材料中，如接觸電極和局部連線中，且其具有自我對準(self-aligned)的優點，可以有效地增加接觸面積、降低接觸電阻、及減少製程步驟。

在金屬的選擇上多種金屬都曾被考量(Pt, Ti, Co, Ni)但因各有優缺點而有所不同應用之處[1]。在深次微米製程中，鎳金屬矽化物(NiSi)是其中一種被廣泛研究的金屬[2]，它的優點包括低的電阻係數($\sim 14 \mu\Omega\text{-cm}$)、低的接觸電阻、較少的

矽原子消耗(~1 nm 的鎳和 1.84 nm 的矽形成 2.22 nm 的金屬矽化物)、低的形成溫度(~500°C)、且無窄線寬效應和相位轉換的問題[3]。在形成金屬矽化物的過程中鎳金屬為移動的物質(moving species)，在經過單一步驟的回火過程即可形成鎳矽化物。當元件持續縮小的進度下，製程使用低溫化的趨勢愈見明顯，故鎳金屬在熱穩定性方面的顧慮也漸被其優點所取代。

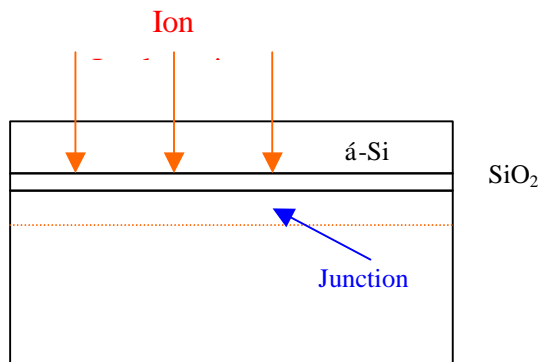
快速退火系統目前於工業界之使用非常的廣泛，尤其在深次微米的製程上更是不可或缺，此系統可以大量減少熱處理的時間，以減少元件因熱處理所造成的退化。當元件縮小至奈米等級的尺寸時，對於抑制短通道效應和其他負面的電性影響，超淺接面已是一個重要的關鍵 [4]。在本計劃中我們採用離子佈植非晶矽固態擴散源法，再結合超薄的絕緣層堆疊結構，以預防離子濃度的尾端(tail)擴散過深[5]，接著利用快速退火裝置(Rapid thermal annealing, RTA)進行推入(drive in)及活化(activation)的步驟來形成淺接面。另一方面，形成一個低阻值的汲/源極區也是一個重大的議題，故我們另一個淺接面的重點在於形成高濃度低阻值的摻雜區。本計畫藉由快速退火的系統有效的降低離子的擴

散深度，並大幅提高離子的活化程度，以達到我們所需要的高濃度低阻值的超淺接面[6]。

在微影製程方面。雖然電子束微影系統已經開始大量研究於微小元件的製作上的運用，但隨著解析度的需求，往往使得所需的光阻厚度變薄，所以對於極小之圖形定義通常伴隨著超薄的光阻層[7,8]，但是在此薄的光阻層條件下，其抗蝕刻力往往不足，以致於造成過蝕刻現象產生。電子束阻劑的抗蝕刻能力往往令人詬病，為了克服上述之問題，我們嘗試將光阻劑與有高度抗蝕刻能力的奈米粒子做結合[9]，稱為電子束阻劑修飾法。碳粒子團的高抗蝕刻能力在幾個研究內已經被提出來討論，如 Broers et al. 已經的成功證實碳粒子團對乾式蝕刻有著非常好的抗蝕刻能力奈米碳粒子團，能填補阻劑中的自由體積 (free volume)，降低阻劑中抗蝕刻物質與蝕刻氣體反應的機會，進而增加阻劑抗蝕刻率。在微影製程之中，未曝到光的聚合物經顯影和硬烤之後，必須能夠增加抵擋電漿蝕刻 (plasma etching) 的能力。Ishii 及他的工作群使用了 C60 去修飾其電子束阻劑。他們發現了加入 C60 後圖案的對比度、蝕刻抵擋能力及熱穩定性等方面都有增進。因此，在此方面的研究，我們將 C60 奈米粒子與光阻劑做結合，研究增進光阻的抗蝕刻率。

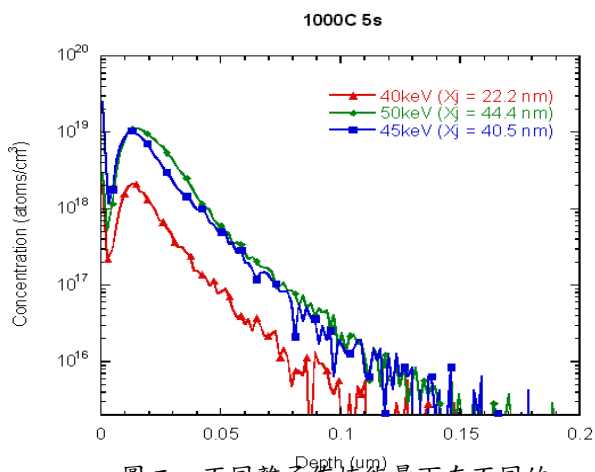
三、結果與討論

首先，我們在矽晶片上成長超薄絕緣層，作為擴散阻擋層防止雜質擴散時造成接面過深的現象。接著再沉積多晶矽作為雜質擴散源。將雜質佈植至多晶矽和超薄絕緣層介面，再進行快速退火，最後剝離多晶矽和絕緣層以得到超淺接面如圖一所示。



圖一、超淺接面形成的方式

下圖二為不同離子佈植能量下在不同的 RTA 條件的 SIMS PROFILE，可知當離子佈植能量越高時接面的深度將會比較深。



圖二、不同離子佈植能量下在不同的 RTA 條件的 SIMS PROFILE

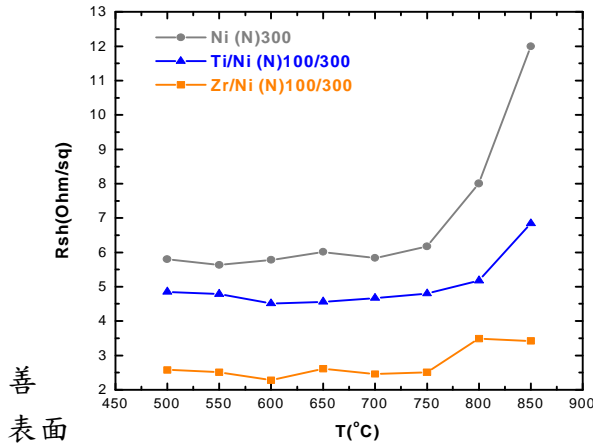
RTA Implant Energy	condition		
	1000°C 5s	1000°C 10s	1050°C 5s
40keV	X _j : 22.2 nm R _s : 4512 Ω/sq	X _j : 32.8 nm R _s : 871 Ω/sq	X _j : 38.9 nm R _s : 533 Ω/sq
45keV	X _j : 40.5 nm R _s : 797 Ω/sq	X _j : 45 nm R _s : 540 Ω/sq	X _j : 45 nm R _s : 446 Ω/sq
50keV	X _j : 44.4 nm R _s : 481 Ω/sq	X _j : 47.8 nm R _s : 361 Ω/sq	X _j : 71.1 nm R _s : 362 Ω/sq

表一、利用不同離子佈植能量與 RTA 的時間溫度下，所製作而得的超淺接面之深度與片電阻值

圖四、鎳矽化物形成於 p+/n 接面的漏電流韋伯分佈圖

表一為利用不同離子佈植能量與 RTA 的時間溫度下，所製作而得的超淺接面之

深度與片電阻值，經由 RTA 溫度與時間的控制，我們可以發現離子擴散的深度與離子活化的程度會得到大幅度的改善。藉由此方法我們可以使接面達到 30 nm 以下並維持相當低的片電阻值。

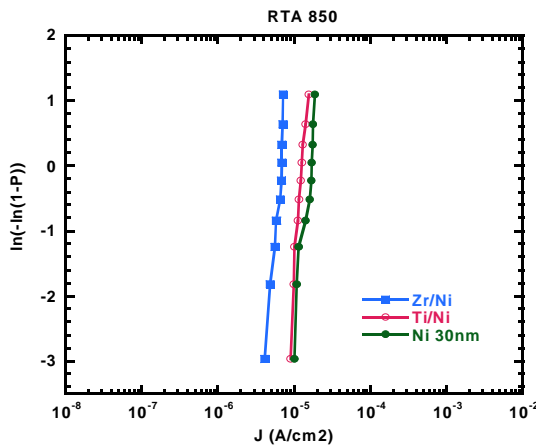


圖三、不同金屬覆蓋物在不同 RTA 溫度下鎳金屬矽化物的片電阻值

善
表面

三所示指出鎳金屬矽化物表面沒有覆蓋物其熱穩定性最差，再 RTA 800°C 後片電阻就急劇上升。鎳金屬矽化物表面覆蓋鋇可得到最佳的熱穩定性，及最低的片電阻。

接下來討論使用不同覆蓋層改鎳金屬矽化物的熱穩定性、阻值和覆蓋物選擇的相關材料分析。如圖

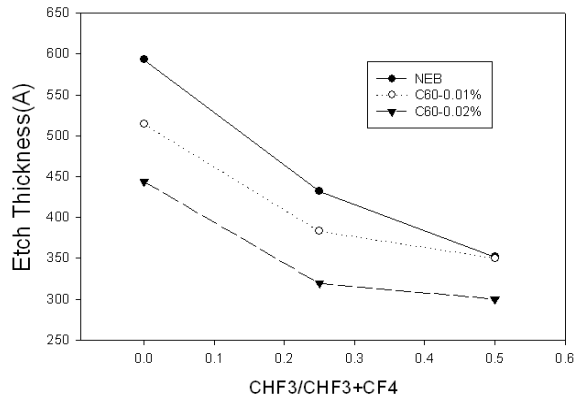


圖四是鎳矽化物形成於 p+/n 接面的漏電流韋伯分佈圖，我們可以看出，即使經過高溫的矽化處理後，有覆蓋層的漏電流仍小於沒有覆蓋層的鎳矽化物接面。

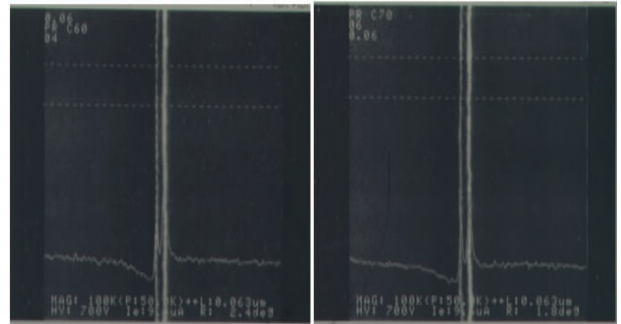
最後我們將光阻劑與有高度抗蝕刻能力的奈米粒子 C60 做結合，大大提升光阻的抗蝕刻，因此可將光阻厚度變薄增加電子束微影系統的

的解析度。

利用奈米粒子加入 NEB 光阻，增加 NEB 光阻抗蝕刻率，圖五發現將 C60 加入 NEB 光阻可增進 NEB 光阻抗蝕刻率，且加入 C60 的濃度越高改善 NEB 光阻抗蝕刻率幅度越大。



如圖六由於增加光阻抗蝕刻率，因此可將光阻厚度變薄增加電子束微影系統的解析度，因而做出60nm Poly-Gate。



四、成果自評

本次計畫之執行，皆達預期成果，並已在相關學術期刊上發表論述，茲列於下：
圖六、比較 NEB 光阻與 NEB 光阻加 C60 奈米粒子的抗蝕刻率

1. J. C. Wang, S. H. Chiao, C. L. Lee, and **Tan Fu Lei**, "A physical model for the hysteresis phenomenon of the ultrathin ZrO₂ Film", Journal of Applied Physics 92(7), p.3936-3940, OCT. 2002.
2. T. Y. Chang, H. W. Chen, **Tan-Fu Lei**, and T. S. Chao, "Metal Gate Transistors with Low Temperature Gate Dielectric and Additional CF₄ Pretreatment", IEEE Trans. on Electron Devices, vol. 49, no. 12, Dec., 2002.
3. T. Y. Chang, J. W. Lee, **Tan Fu Lei**, C. L. Lee, and H. C. Wen, "Growing High Performance Tunneling Oxide by CF₄ Plasma Pre-Treatment", accepted for publication on Journal of Electrochemical Society 2002.
4. T. Y. Chang, H. W. Chen, **Tan Fu Lei**, and T. S. Chao, "Improvement of CF₄ Plasma Pretreatment on TiO₂ High-k Film," International Conference on Solid State Devices and Materials, 2002.
5. M. Z. Lee, C. L. Lee, and **Tan Fu Lei**, "Novel Vertical Polysilicon Thin-Film Transistor with Excimer-Laser Annealing," International Conference on Solid State Devices and Materials, 2002.

五、參考文獻

- [1] J. B. Lasky et al, IEEE Trans. Electron Devices, 1991, p.262.
- [2] E. G. Colgan et al, Mater. Chem. and Phys., 1996, p.209.
- [3] H. H. Berger et al, Solid-St. Electron., 1972, p.145.
- [4] C. M. Osburn et al, J. Vac. Sci. Techol. B, 2000, p. 338.
- [5] T. Yasunaga et al, IITP, 1998, p.18
- [6] D. H. Choi et al, Jpn. J. Appl. Phy., 1994, p. L83
- [7] S. Nakao, A. Nakae, A. Yamaguchi, H. Kimura, Y. Ohno, Y. Matsui and M. Hirayama, IEDM Tech. Dig. 61-64 (1996)
- [8] T. Toyoshima, T. Ishibashi, A. Minamide, K. Sugino, K. Katayama, T. Shoya, I. Arimoto, N. Yasuda, H. Adachi and Y. Matsui, IEDM Tech.Dig. 333-336 (1998)
- [9] T. Ishibashi, T. Toyoshima, N. Yasuda, T. Kanda, H. Tanaka Y. Kinoshita, N. Watase and R. Eakin,

加 C60 奈

