

# 行政院國家科學委員會專題研究計畫 成果報告

## 子計畫三：頻射傳收系統整合設計環境及技術建立

計畫類別：整合型計畫

計畫編號：NSC91-2218-E-009-004-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：溫瓊岸

共同主持人：張瑞川，李鎮宜，陳伯寧，蔣迪豪

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 11 月 24 日



# 行政院國家科學委員會專題研究計畫成果報告

## 單晶片無線多媒體資訊家電之設計與製作

### 子計畫三

#### 射頻傳收系統整合設計環境及技術建立

#### Design Environment Construction for CMOS RF Transceiver

計畫編號：NSC 90-2218-E-009-013

執行期限：90年8月1日至91年7月31日

主持人：溫瓊岸 國立交通大學電子工程系所

共同主持人：李鎮宜，溫瓊岸、蔣迪豪/國立交通大學電子工程系所

陳伯寧/國立交通大學電信工程系所

張瑞川/國立交通大學資訊科學系所

#### 中文摘要

**關鍵詞：**無線高速數據網路、高頻電路、RFCMOS

為配合 5.5MBps/11MBps 高速無線網路設計，本子計畫目標包括

- (一) 高速無線網路(High-speed WLAN)電路整合模擬技術開發及系統架構設計
- (二) 射頻前級(RF Front end)電路設計。傳收系統整合設計環境包括通道模型、射頻前級、基頻訊號處理、協定軟體之整合，

射頻傳收系統設計所需建立之設計要項進行技術開發及環境建立，包括：

- (1) 元件佈局設計及特性分析
- (2) 射頻積體電路元件模型庫之建立
- (3) 射頻傳收系統架構評估
- (4) 射頻傳收系統積體電路晶片組設計

由於 CMOS 的基板 (Substrate) 特性不本計畫將從系統架構分析著眼，考量 CMOS 特性在不同頻段的表現，依鏈結預算決定各電路模組規格，進而針對 LNA, Mixer, VCO 從事架構評估及設計

#### 二、英文摘要

#### Abstract

*Keywords : Transceiver Design, CMOS RF, Integrated Design Environment*

To fit for small mobile site, low power consumption and highly integration with digital circuit, CMOS RF is now attracts much research activities. For system integration, the project goals are set as:

1. System integration design flow development for WLAN system.
2. RF Front end design.

To facilitate the front design for wireless systems, this project will focus on four major works including,

- (1) Model Library Construction for CMOS at 0.9/1.8/2.4 GHz band
- (2) System Link Budget Analysis and Architecture Design
- (3) Key Component Design

These works are the partial work for the integrated design environment construction for wireless communications which include channel modeling, RF & baseband integrated design, baseband and protocol controller integrated design ...etc. As for system architecture, both superheterodyne, low-IF and zero-IF architecture will be designed. As for component design, LNA, Mixer, VCO and Switch will be designed.

#### 三、結果與討論

- 一. IEEE 802.11 無線區域網路標準及收發器系統

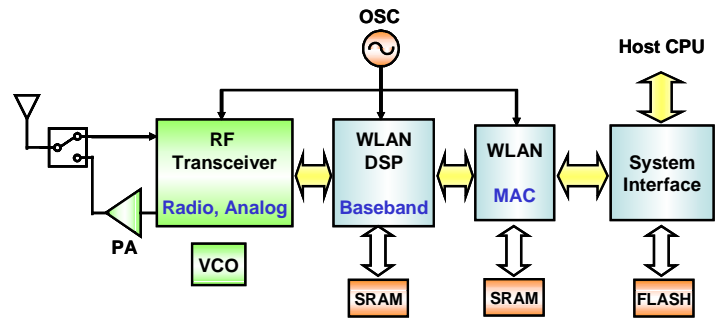
瞭解 IEEE 802.11 無線區域網路標準之規格，對於建立無線區域網路收發器整合設計環境有其必要。

1. IEEE 802.11 實體層規格(IEEE 802.11 Physical Layer Specifications)

Parameter	802.11b	802.11a	802.11g
Highest signaling rate	11 Mbps	54 Mbps	54 Mbps
Mandatory modulation techniques	DSSS, CCK	OFDM	OFDM
Frequency bands	2.4 GHz ISM	5 GHz ISM and U-NII	2.4 GHz ISM
Bandwidth allocated	83.5 MHz	200 MHz for indoor use and 100 MHz for outdoor use. More being allocated	83.5 MHz
Number of non-overlapping channels available	3	12 (8 indoors plus 4 outdoors)	3
Backward compatibility	Baseline standard	None. Using different bands	With 802.11b products

上表列出目前 IEEE 802.11 無線區域網路標準共有三種實體層(Physical layer)規格，分為 11a, 11b, 11g。其中 11b 與 11g 都在 2.4-GHz ISM 頻段，最高傳輸資料量為 11Mbps 及 54Mbps；而 11a 與 11g 最高傳輸資料皆為 54Mbps，前者採用 5-GHz ISM 頻段，後者為 2.4-GHz ISM 頻段。而在 IEEE 802.11 並規範了收發器的硬體規格，如傳輸與接收的最大與最小功率以及相鄰通道功率拒斥(Adjacent Channel Power Rejection)等規格。其中最重要的規格莫過於誤碼率(Bit Error Rate)。該規格規定在特定的調變方式及傳輸資料速率，以及最小接收信號強度的條件下，收發器的資料錯誤機率最大值。

2. 無線區域網路收發器系統(Wireless LAN Transceiver System)



無線區域網路收發器系統如上圖所示，一般包含兩個部分 PHY (Physical) 與 MAC (Medium Access Control) 兩個層級。其中 PHY 包含射頻收發器與基頻數位訊號處理兩部分，而 MAC 負責處理通訊協定，還有一部份由軟體與韌體負責與 Host 溝通。在介面部分有高頻、類比與基頻之介面，MAC 與基頻介面以及 MAC 與 Host 之間的系統介面。就 WLAN 硬體設計實作而言，需要涵蓋的範圍包括高頻、類比、數位的電路設計，所以在介面上就必須考慮混合信號的設計。數位設計已經發展出很成熟的自動化設計流程，然而高頻與類比的設計流程，卻無法與數位比擬。除此之外，由於高頻、類比設計時考慮信號的電氣特性，而數位設計在通訊系統上所考慮卻是演算法、功能(Function)的正確性；而無線鏈結(Wireless Link)必須是建立在此二者相互合作才能達成，因此必須要有一個適合高頻、類比、數位整合設計環境，才能夠迅速的開發出無線區域網路收發器系統。

3. 射頻收發器之規格制訂(RF Transceiver Specifications)

制訂射頻收發器規格時，唯一重要的考量即為訊雜比(Signal to Noise Ratio, SNR)。由

於 IEEE 802.11 規範了各種不同的調變方式，因此，每一個調變所需要的訊雜比不同，而射頻接收端負責保障接收給基頻時，能夠維持在所需之訊雜比之上，如此基頻偵測器即可將誤碼率維持在標準要求之下。傳輸端則要求發射出的信號能在一定距離之內可以接收到。因此，制訂射頻收發器之規格之前必須有一個已知訊雜比的規格。此訊雜比規

格通常可由理論值獲得，但是通過基頻的演算法與硬體實作，必然與理論值有所差距（SNR Loss），通常高頻與基頻都是同時設計開發，所以初始也無法精確得知基頻會有多少額外的訊雜比損耗，因此最保險的方式即為預留設計容忍範圍（Design Margin）。下表列出以 IEEE 802.11b 為例的射頻接收器規格。

---

## Receiver Specification

---

### 1. Standard Radio RX Specification

Frequency Range	2.4-2.4835	GHz
Number of Channels	11	Channels
Bit Rate (Rb)	1.10E+07	bit/sec
Bandwidth	2.20E+07	Hz
Sensitivity	-76	dBm
Bit Error Rate	1.00E-05	
Modulation Scheme	CCK	
Eb/No	9.8	dB
Es/No	12.8	dB
Modulation Factor (m)	2	for QPSK
Processing Gain	0	dB
Adjacent Channel Rejection	35	dB
Maximum Power Level	-10	dBm
Receive to Transmit Turn Around Time	< 5	usec
RSSI Response Time	< 15	usec

### 2. Receiver Noise Figure

Pmin,allow	-80	dBm
SNR (required)	6.8	dB
Rb/BW	-3.0	dB
PkTB	-100.6	dBm
Pnoise floor	-88.8	dBm
Loss of Switch, Filter, Antenna	3.5	dB
Design Margin	2.0	dB
NF	11.8	dB
Integrated Receiver NF	8.3	dB

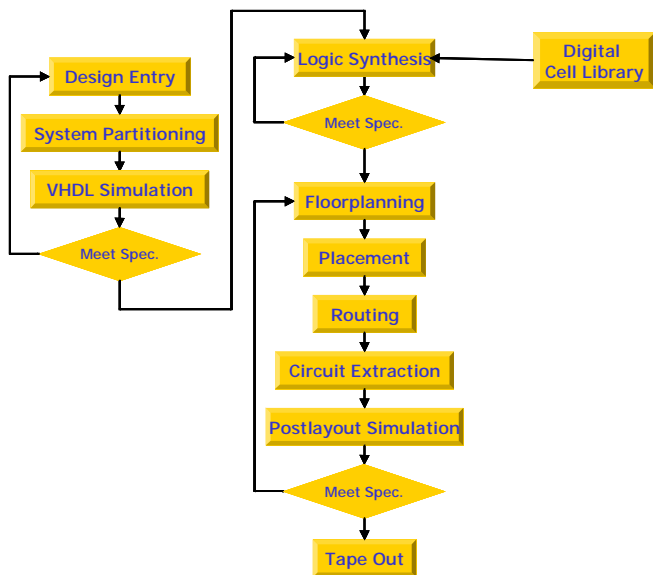
3. Adjacent Channel Selectivity			
	Pdesired	-80	dBm
	Pac5	-45	dBm
	Pi(accept)	-86.8	dBm
	Selectivity(25MHz away)	41.8	dB
4. Third Order Intercept Points			
	Pblocker	-35	dBm
	Pdesired	-76	dBm
	IIP3	-11.1	dBm
	SFDR,3rd	50.6	dB
	P1dB	-21.1	dBm
	BDR	65.9	dB
5. Second Order Intercept Points			
	Pblocker	-35	dBm
	Pdesired	-76	dBm
	IIP2	12.8	dBm
	SFDR,2nd	49.9	dBm
6. Image Rejection			
	Pimage in-band	-45	dBm
	Pimage out-of-band (2-3 GHz)	-27	dBm
	Pdesired	-80	dBm
	Image Rejection Ratio (in-band)	41.8	dB
	Image Rejection Ratio (out-of-band, 2-3 GHz)	59.8	dB
7. Oscillator Phase Noise			
	Pblocker @ offset frequency	-45	dBm
	Pdesired	-80	dBm
	offset frequency	25.0	MHz
	Phase noise required @ offset frequency	-115.2	dBc

## 二. 無線整合設計之流程

### 1. 數位設計流程

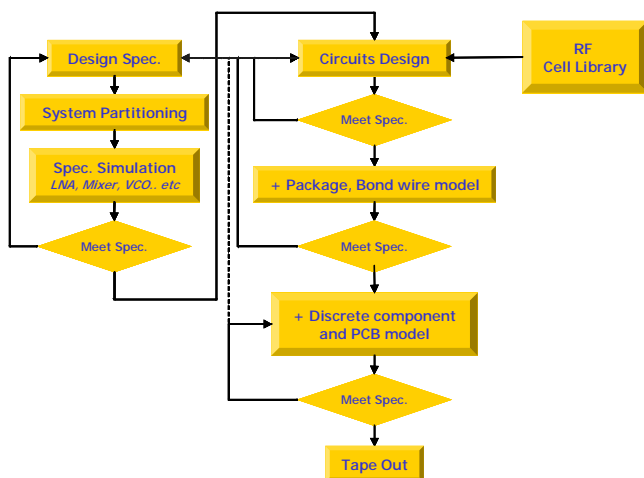
ASIC 數位設計流程如下圖，從硬體描述語言、邏輯合成到電路佈局到佈局後模擬，全都已經自動化了。但是無線通訊上的數位設計並非著重在後段的電路設計，而是在前段

的演算法與架構分析，一般而言都是採用 C 語言或者 Matlab 來分析系統的特性，包含訊號封包的同步與偵測，因此數位設計流程在演算法到硬體描述語言成為關鍵的一環。



## 2. 高頻/類比設計流程

在高頻與類比的設計中注重的是信號的電氣特性包括雜訊、線性度及穩定度等；再者由於高頻信號也屬類比信號，但電路元件的特性以不同於低頻，有許多的雜散寄生效應必須考慮，而電路的雜散寄生效應與其佈局有相當大的相依關係，因此在設計之初就必須考慮電路佈局所帶來的效應，這個關鍵影響了高頻、類比設計的自動化。目前的趨勢走向 Cell-Based 設計方式（如下圖所示），期望加速 RFIC 的開發。

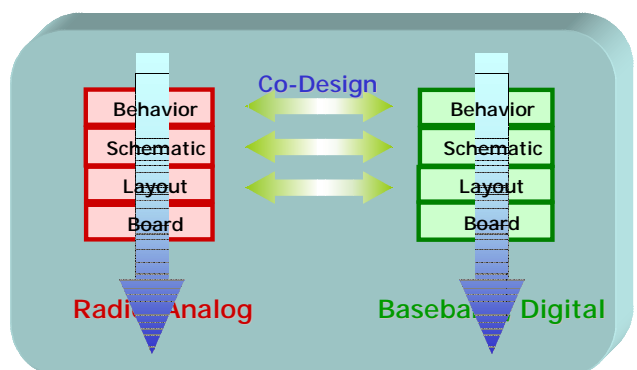


在整合型（Integrated）射頻收發器晶片的設計上，另一個課題即為收發器的系統架構設

計，目前用於整合型的架構有零中頻（Zero-IF）與低中頻（Low-IF）兩種。在高頻、類比整合上，必須同時考慮頻率高低不同且差異極大的電路。低頻類比電路的常用的 AC 與 Transient 模擬方式與高頻的 S-parameter 及 Harmonic Balance 模擬不同，整合射頻收發器設計時單靠以往的模擬方式已不足夠，因此整合模擬的流程就顯得相當重要。

## 3. 整合設計流程

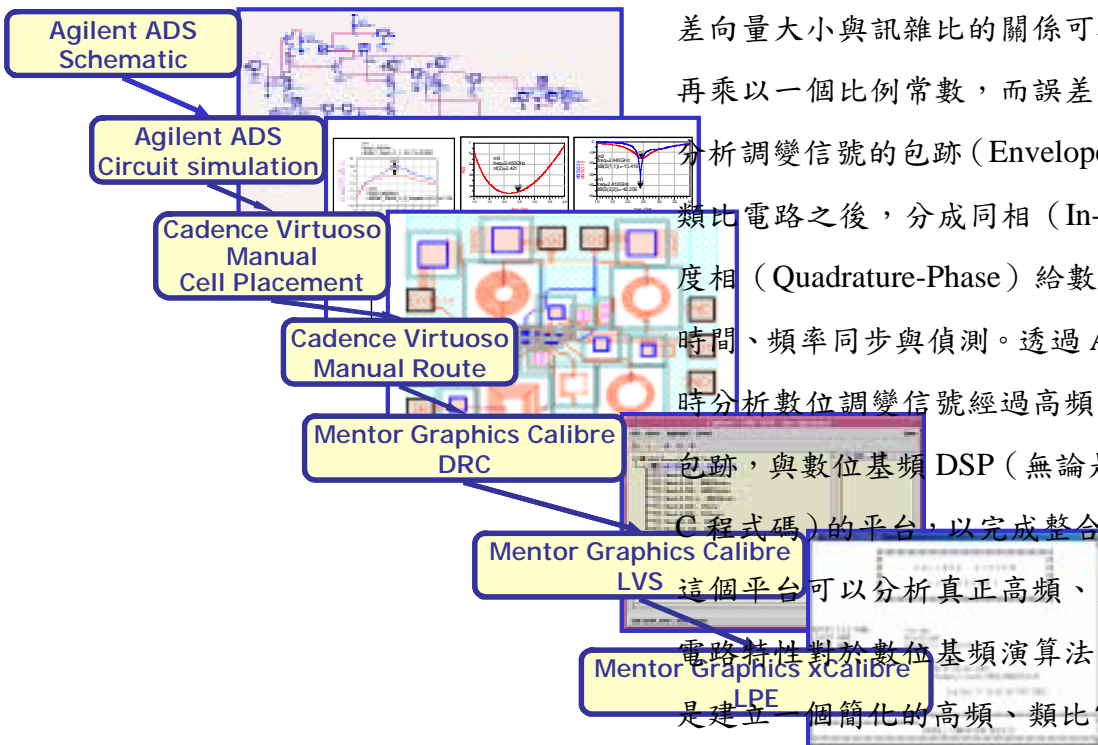
無論是高頻、類比、數位的設計流程，強調的都是縱向層面的一貫性，從行為（Behavior）→電路（Schematic）→佈局（Layout）→電路板（Board）→系統（System），一路貫穿；然而真正影響無線鏈結效能的卻是橫向的整合設計，可由下圖說明。縱向貫穿的設計流程是高頻、類比及數位單一晶片開發基本必要流程，然一個無線通訊鏈卻必須要靠數位的調變、解調電路，類比放大、濾波電路及高頻的放大及升降頻電路，橫向整合，缺一不可。由於無線通訊系統越來越趨向複雜及高度整合，因此橫貫高頻、類比、數位的橫向整合設計勢必成為最後系統效能的關鍵。



### 三. 整合設計環境之建立

#### 1. 高頻/類比設計環境

高頻、類比的縱向設計環境的建立，主要需要各個 EDA 廠商的介面能夠確立，能夠做檔案轉換，減少人為的編輯與修改，便能減少人為錯誤的可能。從 Behavior 到 Layout 雖不能自動化，或半自動化，但至少已經減少人為疏失的可能，大幅減低設計者花在流程陷阱的時間，而將精力放在設計的本身。



#### 2. 數位設計環境

數位設計的流程縱向整合早已成熟，現在所欠缺的是從行為 (Behavior) 到電路 (Schematic) 的轉換，雖然，有工具可將 C 語言轉換為可合成 RTL 碼，但是，畢竟不是最佳的電路設計，因此目前這一部分仍是由設計者自行完成轉換。但是需要的則是能夠同時兼顧演算法與電路設計的設計者，才能

大幅減少兩者之間溝通的障礙。

#### 3. 整合設計環境

無線鏈結的橫向整合設計是最後系統效能的關鍵所在，因此必須有一個可以橫向貫通的參數，做為彼此橋樑。由於整合射頻接收器的主要工作就是在，放大、濾波、升降頻的過程中能維持必須的訊雜比。因此，可以藉由度量信號誤差向量大小 (Error-Vector Magnitude, EVM) 來作為度量的參數。而誤差向量大小與訊雜比的關係可視為倒數關係再乘以一個比例常數，而誤差向量很容易由分析調變信號的包跡 (Envelope) 經過高頻、類比電路之後，分成同相 (In-Phase) 與 90 度相 (Quadrature-Phase) 給數位基頻電路做時間、頻率同步與偵測。透過 ADS 建立能同時分析數位調變信號經過高頻、類比電路的包跡，與數位基頻 DSP (無論是 Matlab 或者 C 程式碼) 的平台，以完成整合設計的目的。這個平台可以分析真正高頻、類比的非理想電路特性對於數位基頻演算法的驗證，而不是建立一個簡化的高頻、類比電路模型。

### 四. 無線區域網路射頻前端接收電路設計示範

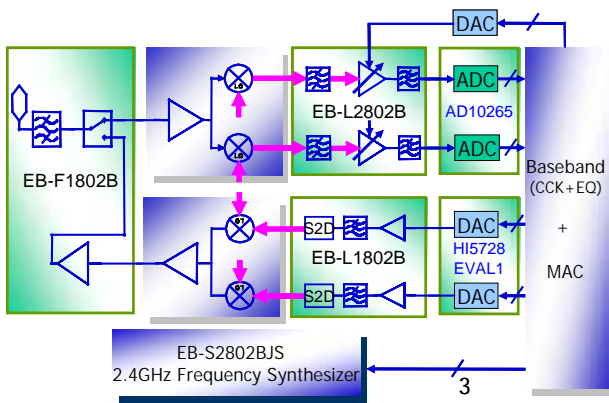
#### 1. 高頻/類比設計

以下將以 IEEE802.11b 為例，示範以 CMOS 設計射頻前端接收電路 (RF Front-end Circuit)。此射頻前端接收器適用於 2.4-GHz 的零中頻收發器系統中，包括一個低雜音放

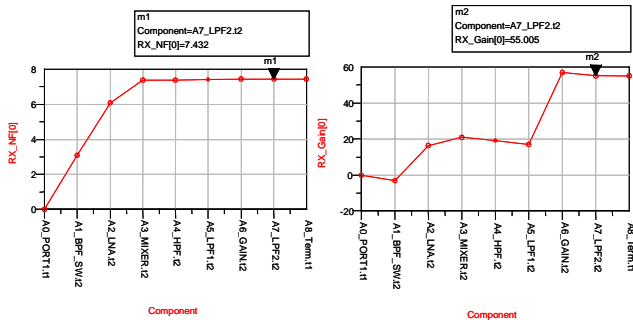


大器 (Low Noise Amplifier) 及同相及 90 度向降頻混波器 (Quadrature Down Conversion Mixer)。此接收器系統中類比基頻電路有一組增益可調放大器 (Variable Gain Amplifier) 及低通濾波器 (Low Pass Filter)。

首先須將電路規格確定，規格的確定需經由行為分析，完成整個接收鏈結的規格編列分析 (Budget Analysis)。



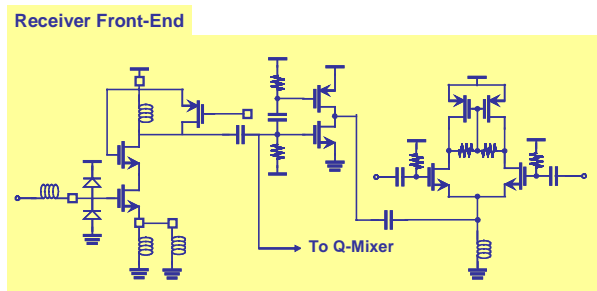
鏈結分析之雜訊指數 (Noise Figure) 及累積增益 (Cascade Gain) 分配結果符合系統規格要求，如下圖所示。

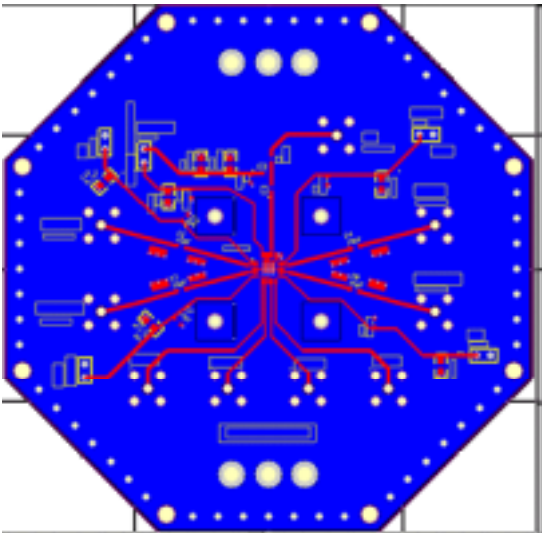
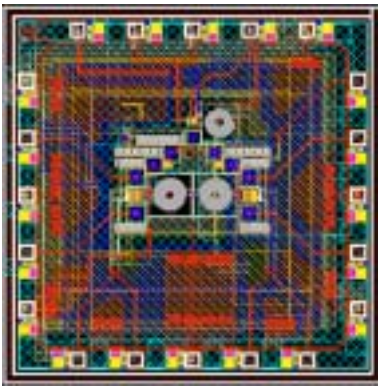


在一定的規格設計容忍範圍下，可以將每一電路規格表列如下，即可進行電路設計。

Parameter	LNA	Mixer	Front-End	Unit
Noise Figure	3/8	15	7/15	dB
Gain	20/8	8	28/16	dB
Input 1-dB CP	-20/-8	0.3V	-13/-1	dBm
Input IP3	-9.5/2.5	1.3	-23/-11	dBm
Input Return Loss	-15	N/A	-15	dB
Power Supply	2.5	2.5	2.5	V
Current	5.5	2.5	10.5	mA

射頻前端電路設計採用聯電 0.25 微米 RFCMOS 的製程，利用射頻元件庫 (RF Cell Library) 可以很快完成電路設計。電路包括一級的低雜音放大器，及兩個單平衡混波器 (Single-Balanced Mixer)。在設計的同時一併考量加上靜電防護電路與封裝所產生寄生雜散效應，並進行電路佈局，及電路板設計如下列各圖所示。電路佈局及電路板佈局時必須考量，測試環境與測試腳位。混波器所需之本地震盪器 (Local Oscillator, LO) 採用儀器產生，所需的四相位本地震盪訊號則由另一個電路板採用 Rat-Race 及 branch-line 耦合傳輸線來實踐。

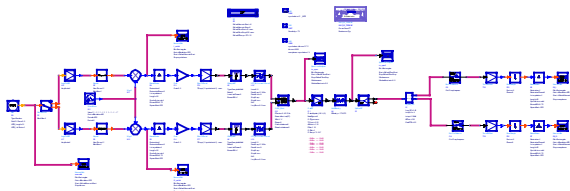




## 2. 整合設計

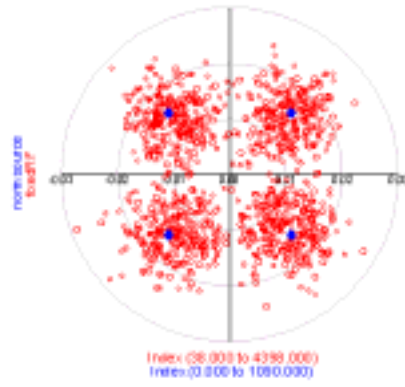
在橫向整合設計上，必須以調變訊號來分析包跡的改變，因此需建立整合分析環境，包含數位基頻演算法以及射頻接收器電路。此一整合設計平台建立如下圖所示，涵蓋有理想發射端（Ideal Transmitter）與電路層級（Circuit-level）的射頻接收器前端與行為模型（Behavior Model）的類比方塊。

Ideal Transmitter, AWGN and Ideal RX LO signal with circuit level RX



數位調變波形為每秒 11M Symbol 的 QPSK 信號，分析高頻電路時改以 Circuit-Envelope 的方式來分析，考慮的是信號的包跡。分析

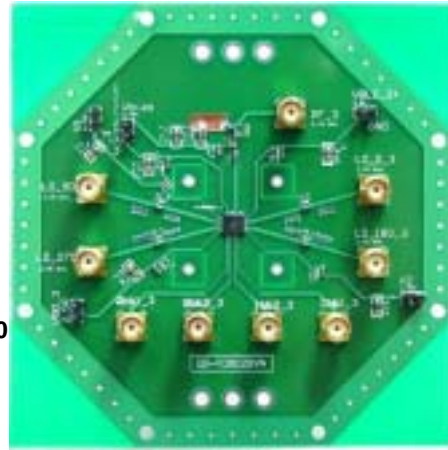
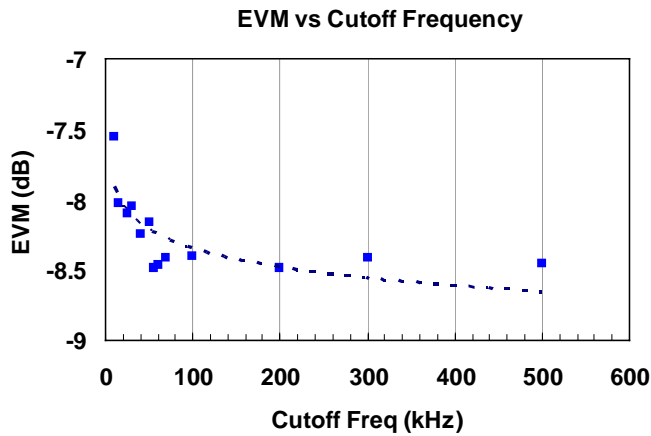
結果可由下列星狀圖（Constellation）來表示。同時整個系統的誤差向量大小也可得出，下表列出整個射頻接收前端電路在行為、電路及佈局後模擬所得到的訊雜比。



Minimum Sensitivity (dBm)	SNR input (dB)	Ideal Required SNR (dB)	Behavior Spec. Sim. (dB)	Circuit-level Sim. (dB)	Post-layout Sim. (dB)
-83	17.4	-0.25	9.015	5.59	5.687
-80	20.4	3.25	11.926	8.49	8.253
-79	21.4	2	12.536	9.33	9.012
-76	24.4	5	15.008	11.73	11.664

由於接收器使用零中頻的架構，因此直流偏移（DC offset）與  $1/f$  雜音對於信號的誤差向量影響必須審慎考慮。此系統對於直流偏移與  $1/f$  雜音的處理方法為使用串聯電容的方式阻隔直流及低頻的  $1/f$  雜音，因此，對於此高通濾波器（High Pass Filter）的電容值大小必須透過橫向整合設計才能得到。下圖顯示高通濾波器之截止頻率點對誤差向量大小的影響。

能。



### 3. 驗證設計結果

完成之射頻前端印刷電路如下所示，採用 FR-4 材質。晶片包裝為 QFN5x5-20L 的封裝。電路的驗證可以藉由一台電子信號產生器 (Electrical Signal Generator, ESG) 產生中心頻率為 2.45-GHz 11Msps 的 QPSK 調變訊號，另一台電子信號產生器產生單頻 2.4-GHz 的單頻信號，充當本地震盪器，以及一台向量信號分析儀 (Vector Signal Analyzer, VSA) 來分析接收前端電路的效



下圖即為向量信號分析儀的分析結果，當輸入信號為 -76dBm 時，接收端的誤差向量大小為 34.762%，即 -9.18dB，符合系統規格。