

行政院國家科學委員會專題研究計畫 成果報告

子計劃四：智慧型天線系統之即時化運算平台設計及實現研究(1)

計畫類別：整合型計畫

計畫編號：NSC91-2219-E-009-021-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電機與控制工程學系

計畫主持人：胡竹生

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 11 月 27 日

行政院國家科學委員會專題研究計畫成果報告

子計劃四：智慧型天線系統之即時化運算平台設計及實現研究(I)

計畫編號：NSC 910801-920731

執行期限：91 年 8 月 1 日至 92 年 7 月 31 日

主持人：胡竹生 國立交通大學電機與控制工程學系

計畫參與人員：鍾青衛、張家瑋 國立交通大學電機與控制工程學系

一、中文摘要

本計畫是針對上鏈(Uplink)智慧型天線接收機的實現，需要使用到達角度估測(DOA)理論與波束形成(Beamforming)演算法，因為所需計算量龐大，因此構建多數位訊號處理器的實驗平台，為了有效的分散運算量，研究在多顆數位訊號處理器之間、個人電腦與數位訊號處理器之間，溝通與資料快速傳遞之方法。計畫中，在數位訊號處理器上應用矩陣運算即時實現 MUSIC、ESPRIT 及 MVDR 演算法，對採樣到的實際訊號作演算法的驗證，並對演算法作個別的效能評估且適當的分配演算法的運算量到多顆數位訊號處理器上，即時實現智慧型天線接收機的功能。

二、緣由與目的

智慧型天線系統的主要概念為，利用前端陣列天線的接收裝置，來取得發射信號的空間特徵(Spatial Signature)，藉由空間特徵的差異及信號之到達方向(DOA)，正確地由收取到的多根天線訊號資料中，取出我們所想要的信號，排出不想要的訊號及雜訊，達到減少同頻干擾的效應和多重路徑傳輸所造成的信號衰落現象，以增加系統用戶的容量和改善通訊品質等優點。計畫中的研究重點大致上可分為兩個部分：1.硬體平台：硬體實驗平台是以三顆數位訊號處理器所建構成的，可透過 PCI 匯流排直接與 PC 做存取溝通。2.陣列天線演算法實現與評估：軟體部分研究的重點在於 DOA 與 beamforming 演算法實現，透過效能分析，希望將演算法所需的運算量適當的分散到多顆數位訊號處理器上。

三、結果與討論

1. 陣列訊號處理

陣列訊號處理是利用數根天線排成特定的形狀，接收來自空間中傳遞的訊號，進行訊號處理之後達到空間濾波(Spatial Filter)的機制。如果所需的訊號和雜訊在頻譜上極相似，使用一般時域性濾波器並不能把訊號和雜訊分開，這時可以利用訊號和雜訊在空間中傳遞路徑不同的特性，藉著空間濾波器來分離出訊號和雜訊，提高其訊雜比(SNR)，以達到更好的通訊效能；相

對地，利用空間濾波，亦可以排除空間中不需要的雜訊或達到僅單純接收某方向之訊號。本章節在實現空間濾波器包含兩個步驟：1. 利用一組陣列天線持續接收同一組訊號來源，依據訊號到達天線時間不同之性質，利用到達角度(Direction of Arrival, DOA)理論，解出相對於陣列天線的訊號來源方向，計畫中實現的演算法有 MUSIC 與 ESPRIT。2. 解出訊號來源方向之後，接著利用波束形成(Beamforming)理論完成空間濾波，計畫中實現 MVDR 演算法。

2. 數值方法實現矩陣運算

MUSIC 與 ESPRIT 兩個演算法中都必須要計算出相關矩陣(Correlation Matrix)，而且也都必須要作特徵相量分解；MVDR 在計算權值的時候必須要用到反置矩陣，在這一章節會討論所有使用到的矩陣特性與數值方法

2.1 Hermitian Matrix 的特性

在 MUSIC 與 ESPRIT 中所計算出來的相關矩陣會是一個 Hermitian matrix，所以在這小節介紹 Hermitian matrix 的特性 [4][5][6]。如果 $A \in C^{n \times n}$ 是 Hermitian matrix 則數學式表示成 $A^H = A$ ，擁有的特性：

- A 一定存在 n 個線性獨立的特徵向量。
- 所有的特徵值都會是實數。
- 不同特徵值所對應的特徵向量彼此之間會互相正交。
- 任何的 Hermitian matrix $A \in C^{n \times n}$ 都可以作特徵向量分解。
- 如果 Hermitian matrix A 不是一個非奇異(Nonsingular)矩陣且特徵值都不等於零的話，則 A 的反置矩陣可表示成：

$$A^{-1} = [E \Lambda E^H]^{-1} = (E^H)^{-1} \Lambda^{-1} E^{-1} = E \Lambda^{-1} E^H \\ = \sum_{i=1}^n \frac{1}{\lambda_i} e_i e_i^H \quad (3.1)$$

2.2 特徵值分解 (Eigenvalue Decomposition)

特徵值問題在科學與工程的領域常常會遭遇到，特徵值在分析數值方法是很有用的，例如在解代數方程式時分析疊代(Iterative)的收斂性或是在解差分方程式作穩定性分析上。一般在解對稱矩陣 A 的特徵值必須經過三個步驟：

1. A 先利用 Householder transformation 化簡成 tridiagonal matrix T 。
2. 對 tridiagonal matrix T 解特徵值, 利用 A 特徵值與 T 特徵值相同的特性。
3. A 的特徵向量利用 back transformation 透過 T 的特徵向量計算出來。

2.3 Householder transformation

Householder 演算法可以把 $n \times n$ 的對稱矩陣 A 透過 $n-2$ 次的正交轉換 (Orthogonal Transformation) 化簡成 tridiagonal matrix [5][6]:

$$\text{tridiagonal matrix} = \begin{bmatrix} a_{11} & a_{12} & 0 & 0 & 0 & L & 0 \\ a_{21} & a_{22} & a_{23} & 0 & 0 & 0 & 0 \\ 0 & a_{32} & a_{33} & a_{43} & 0 & 0 & 0 \\ 0 & 0 & a_{43} & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ M & 0 & 0 & 0 & 0 & a_{(n-1)(n-1)} & a_{(n-1)n} \\ 0 & 0 & L & L & L & a_{n(n-1)} & a_{nn} \end{bmatrix}$$

每一次轉換可以消滅該對應的行或列的元素, Householder 建議使用的對稱轉換矩陣 P 可定義成方程式(3.2):

$$P = I - 2ww^T \quad \text{且} \quad |w|^2 = 1 \quad (3.2)$$

2.4 解對稱矩陣特徵值

在數值分析的文獻[5][6]中, 有研究指出對稱的矩陣轉換成 tridiagonal 的形式, 在計算特徵值或特徵相量會加快收斂速度, 與疊代(Iteration)的次數, 所以原先對稱的矩陣經過 Householder transformation 之後即可以獲得 tridiagonal matrix。針對 tridiagonal matrix 解特徵值的方法有許多種, 例如 Characteristic polynomial、Jacobi method、QR iteration, 各適用於不同的情況, 在計畫中所採用的方法是 QR iteration, 使用之前, 必須先說明 QR 分解的方法, 要實現 QR 分解一樣有許多方法, Givens rotations、Gram-Schmidt orthogonalization、之前介紹的 Householder transformation 也可應用在 QR 分解上, 因為 Gram-Schmidt orthogonalization 可在任意的矩陣作 QR 分解, 並且程式容易實現加上分解速度也快, 所以在計畫中採用此方法來實現 QR 分解。

2.5 Back Transformation

最原先矩陣 A 的特徵值在 3.2.2 小節利用 QR iteration 已經計算出來, back transformation 則是用來求 A 的特徵向量[8], 可將 A 分解成由特徵向量與特徵值來組成:

$$A = (P_2 P_3 L P_{n-2})(Q_1 Q_2 L Q_k) \Lambda (Q_1 Q_2 L Q_k)^T (P_2 P_3 L P_{n-2})^T \quad (3.3)$$

$$= (P_2 P_3 L P_{n-2})(Q_1 Q_2 L Q_k) \Lambda [(Q_1 Q_2 L Q_k)(P_{n-2} P_{n-1} L P_2)]^T$$

3. 實驗平台

本實驗平台主要是由兩塊實驗模版所組成的 — DM11 與 DP12-2C。實驗平台上包括三顆德州儀器公司(TI)所製造之 TMS320C6701 浮點(Floating Point)處理器, 主要特色在於提供高速運算需求, 並以浮點運算架構, 達到高精確度的計算; 另外還有一顆 Xilinx Virtex FPGA 用來解

前端資料埠(Front Panel Data Port, FPDP)所傳進來的資料, 以 DM11 及 DP12-2C 所結合之多 DSP 之 PCI 板為主要運算單元, 稱為多 DSP 架構 (Multi-DSP Architecture)[14]。這樣的設計是為了實現硬體多工(Hardware Multitasking)的想法, 所謂多工即多工作任務, 把要執行的工作, 分成許多個不同的子段分配到不同顆的 DSP 上去處理, 如果切割的適當, 且子段之間彼此的工作是獨立的, 就有可能達到三顆 DSP 可同時平行運算的效果, 這樣的作法不僅可以將運算量適當地分散在多個處理器上, 也可以讓單一處理器擁有單純地計算環境, 並提高運算速度。在兩塊板子的組合上, 利用 IEEE 1386 PMC(PCI Mezzanine Card)標準, 作為結合的連接埠, DP12 為主端, 提供 DM11 在 PCI 匯流排上的訊號連接及電源供應, 最後將連接到 Host 端的 PCI Bridge。但是這樣的設計在穩定度的測試上, 仍須要加以改良, 才可以達到穩定的高速傳送, 另外 DM11 上的 DSP 並不能同時看到 DP12-2C 上的兩顆 DSPs, 這樣傳輸的方式就被限制住了, 這是必須要解決的問題, 所以在這個章節提出改良並已經實現的架構。

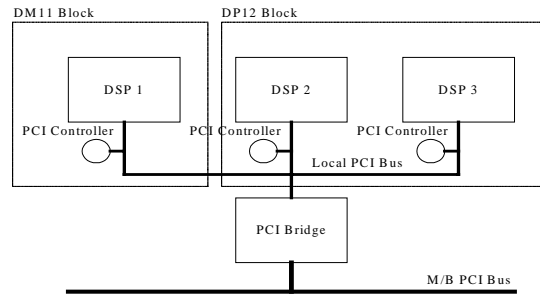


圖 3. 多 DSP 建構於 PCI 匯流排架構圖[14]

3.1 多通道串列傳輸埠 (McBSP)

每顆 TMS320C6701 中都擁有兩對高速串聯埠界面可以作全雙工(Full-Duplex)之串聯通信, 它們擁有雙緩衝器(Double-Buffered), 可以透過直接記憶體存取(DMA)或處理器作資料雙向存取; McBSP 可以直接連接各種通信介面標準, 並可支援最高達 128 通道之多通道傳輸模式; McBSP 內部可提供取樣信號產生器, 可程式化產生本身所需的時脈訊號與同步訊號。多個時脈與訊號框同步訊號接腳, 則可使 McBSP 使用或輸出供外部使用外部提供之時脈與訊號框同步訊號; 另外它們也可以程式設定作信號的壓縮 (Compress) 與伸展 (Expand), 包括 μ -Law 及 A-Law 兩種模式。

3.2 直接記憶體存取 (Direct Memory Access)

TMS320C6701 DMA 控制器共有四個獨立的通道與一個連接 HPI 的輔助通道, 可以被設定在不同的傳輸模式。DMA 控制器可傳送資料從

一個映射記憶體位址到另外一個，不需要DSP介入控制；DMA可在背景程式中執行傳送資料到內部記憶體、外部記憶體、或週邊界面，同時讓DSP繼續執行程式，增加執行效率。

3.3 即時資料交換 (Real-Time Data Exchange)

即時資料交換(RTDX)是德州儀器公司所發展的一套技術，目的是 DSP 應用程式可繼續執行的情況下，要讓 DSP 端能夠與主機端的應用程式進行即時連續雙向的溝通。本系統在設計時撰寫了 Matlab 的 GUI(Graphical User Interface) 界面，如圖 4，搭配 RTDX 使用。

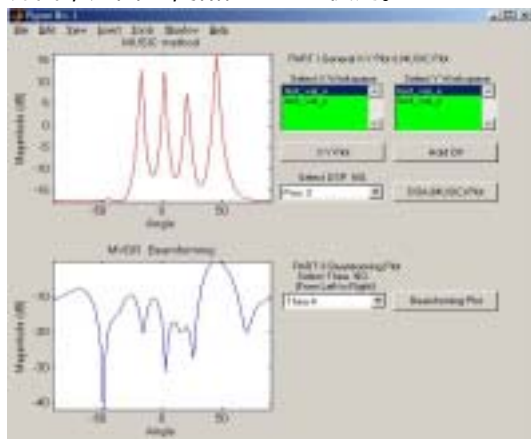


圖 4. Matlab GUI 界面

3.4 即時模擬環境建立

6000 系列的 DSP，都具備兩個 McBSP 的輸出入埠，實驗平台上的三顆 DSPs 彼此之間可利用 McBSP 之間作高速資料的傳遞，在穩定度方面比 PCI 界面可靠，搭配 RTDX 之後就可與主機端聯繫，形成一套可即時模擬驗證演算法正確性與可行性的平台，如圖 5 之架構。

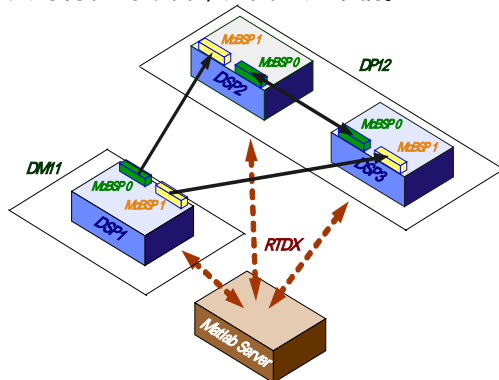


圖 5. 即時模擬環境建立

4. 實驗結果與效能評估

4.1 功能驗證

使用 Channel Sounder[15]實際量測空間的訊號傳入實驗平台做演算，並利用 Channel Sounder 內建的分析軟體做比對，以確認結果的正確性。

量測資料參數的設定為 8 個天線數目，取樣個數 50，訊號參數為 4，估測空間中有 4 個訊號，訊號來源的角度分別為[-18 2 20 45]。



圖 6. DSP 計算 ESPRIT 的結果

ESPRIT 的結果是角度值，圖 6 中的 Number 是第幾個訊號來源，angle 表示是該對應訊號來源的角度，其中角度的精確度可到小數點以下六位。

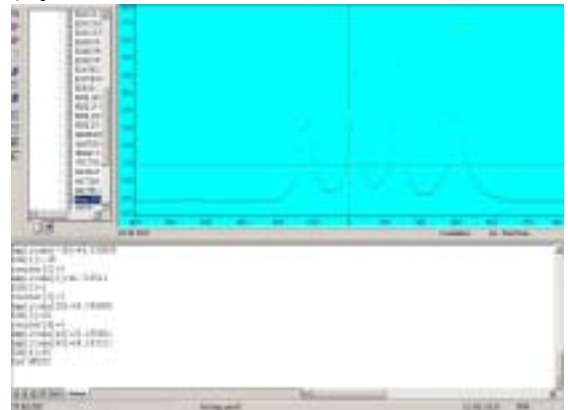


圖 7. DSP 計算 MUSIC 的結果

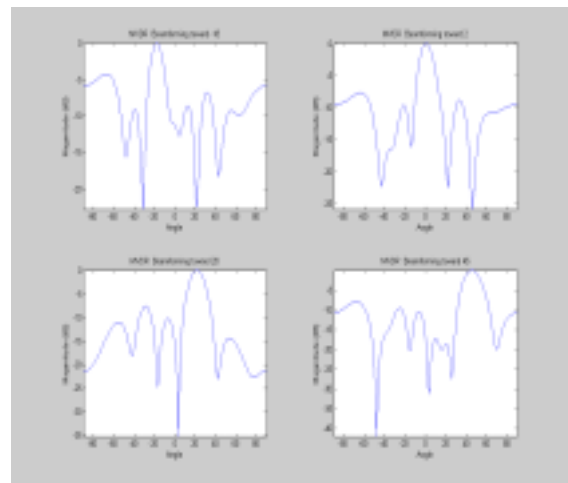


圖 8. DSP 計算 MVDR 的結果

圖 7 是 MUSIC spectrum；由圖 6 與圖 7 可驗證 MUSIC 與 ESPRIT 演算法的功能是正確的。作完角度估測之後，接著利用已知訊號來源

