

# 行政院國家科學委員會專題研究計畫 成果報告

## 總計劃：(I)(電信科技合作案)

計畫類別：整合型計畫

計畫編號：NSC91-2219-E-009-017-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電信工程學系

計畫主持人：彭松村

共同主持人：唐震寰，黃瑞彬，黃家齊，方文賢，胡竹生

計畫參與人員：林志遠、李韋琦、紀宜志

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 92 年 10 月 24 日

發展軟體無線電技術(I)-智慧型天線系統/技術之研發

Toward SDR Technologies (I)-Smart antenna Systems/Technologies  
Development

計畫類別： 個別型計畫 整合型計畫

計畫編號： NSC91-2219-E-009-017

執行期間：九十一年八月一日至九十二年七月三十一日

計畫主持人： 彭松村 教授 國立交通大學電子資訊中心

共同主持人： 黃瑞彬 副教授、胡竹生 教授、黃家齊 教授、  
唐震寰 教授、方文賢 教授

計畫參與人員： 林志遠、李韋琦、紀宜志

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列  
管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電信工程系

中 華 民 國 九 十 二 年 十 月 二 十 日



## 一、計畫摘要

關鍵詞：智慧型天線、空間分集、軟體無線電、寬頻分碼多重接取

隨著近年來個人通訊需求的迅速發展及多媒體訊息交流之急遽增加，頻譜已成為日益寶貴之資源。因此，第三代(3rd Generation, 3G)及超越第三代(Beyond 3rd Generation, B3G)無線通訊技術之重要課題即為在既定頻譜範圍內，加強無線接取(radio access)能力藉以提供更優異之頻譜利用效率及通訊容量提升。

為滿足上述需求，諸多關鍵技術有待開發。其中，智慧型天線(Smart Antenna)通訊技術為極具代表性之研究主題，基於 3G 及 B3G 無線通訊系統發展中受重視之主因，係因其可於不需增加頻寬的前題下，有效降低干擾量（包含多重進接及共存通道干擾訊號），從而使傳輸容量有效增加；同時提供了空間多樣(spatial diversity)效益以克服通道衰減等問題，增加接收訊號的品質及可靠度。經由理論與實驗皆證明智慧型通訊技術於無線通訊之運用效益十分卓著，因之，若能將此技術進一步結合軟體無線電(Software Defined Radio, SDR)設計理念，勢必能在 3G 及 B3G 等智慧型無線通訊系統中發揮關鍵性技術發展之推升角色。

基於以上認知，本計畫將採用一『可程式化設計之快速雛型通訊系統』為發展平台。藉由平台上之 FPGA 及 DSP 等可程式化組件，並整合其他相關功能介面模組，以具體發展及實現『B3G 寬頻分碼多重接取(B3G WCDMA)高速下鏈傳輸』之智慧型軟體無線電通訊系統架構及演算邏輯。

## 二、總計畫與子項計畫之互動與整合

### 2.1 整合之必要性

#### 2.1.1 前言

蜂巢行動通訊系統，從第一代類比系統到第二代數位系統，大多主要用以提供語音服務。直到目前發展的第二代 GSM-GPRS 系統可以提供最高約 115 Kbps 的無線分封數據服務。而第三代系統則更進一步可以提供單一使用者在車行速度下 114 到 384 Kbps 之數據傳輸服務，在室內使用者則其數據傳輸更可達到 2Mbps。隨著有線網際網路的盛行，因此也帶動無線網際網路的需求。雖然第三代蜂巢行動通訊系統能提供 144 kbps 到 2 Mbps 之數據傳輸服務速率，但在網際網路中常使用之高速又短暫傳輸模式卻無法很有效率地被執行。在戶外大區域使用環境，第三代蜂巢行動通訊系統之傳輸速率（< 384 Kbps）更是無法滿足網際網路的需求。

下一世代（B3G）行動通訊不僅是為了因應用戶數的增加，更重要的是須滿足多媒體的傳輸需求以及高頻率使用效率或高容量的要求；換言之，B3G 系統必須可容納市場龐大的用戶數、改善現有通訊品質之不良，且要達到高速數據傳輸的要求。除此之外，B3G 系統也要考慮到交換層級技術能力的提升，運用路由技術(routing)的網路架構來整合運用不同類型的通訊介面；然而，B3G 系統為滿足各種不同運用需求、各國不同系統演進狀況，提案種類繁多，目前已造成整合設計、整體運用很大的挑戰。

另外，為因應高速、多元及高品質傳輸要求，B3G 通訊系統已考慮使用『適應性傳輸技術』，如系統已將適應性調變(adaptive modulation)、適應性編碼(adaptive coding)及適應性信號處理(adaptive signal process)等運用於收發機的設計，藉以消除干擾、降低位元錯誤率，同時提升容量、提高通信品質。然而，『適應性傳輸技術』常因運用環境之差異，需設定不同的參數，甚至改變不同的組態，也已提高系統設計的複雜度及運用上的困擾。

基上述考量，為使通訊系統能平順演進及彈性系統運作，軟體無線電將是 B3G 通訊系統研製的重要系統架構。軟體無線電的主要概念為『可滿足不同環境下多模式、多功能通訊

要求，具備可適性訊號處理、元件可程式化能力之全數位化通訊設備。軟體無線電系統的發展方式類似於開發軟體，系統中各個硬體元件模組可視為功能不同的物件(object)，視需要呼叫而啟動執行。因此，可直接透過下載程式碼之方式來置換物件，即可改變系統運用架構，而毋需對硬體組態進行任何改變。一個軟體無線電系統具有以下特點：

- (1) 可藉由改變任一模組的方式達成改變系統架構的目的。
- (2) 系統本身隨時可透過自行調整達到最佳化的目的。
- (3) 系統可適用於任何規格的通訊系統。

因此，如何運用『軟體無線電系統架構』發展 B3G 系統，使其提供高效率、高彈性、高適應性的處理能力，具備易維護、易運用之操作環境，應是現階段籌建 B3G 行動通訊系統的當務之急。

異於分時多工進接存取系統(TDMA)、分頻多工進接存取(FDMA)及分碼多工進接存取(CDMA)等多工存取技術，空間分隔多工進接存取(Space Division Multiple Access, SDMA)是一種新的進接存取技術，它可以和其他進接存取機制一起配套執行，藉由增加空間資源的使用效率以增加系統的通訊容量，而智慧型天線系統，就是 SDMA 技術實現的方式之一。智慧型天線系統並可在電波接收及傳送方面利用波束合成的技術提供同一頻道可容納多個使用者的功能，以增加系統的容量及改善通訊品質。在使用者對基地台的上鏈通訊中，手機傳送之訊號，依其所在位置的環境特質，會在基地台的接收陣列天線端，產生特有之訊號空間特徵(spatial signature)，基地台可經由訊號處理的方式，尋找出訊號的到達方向(Direction-of-Arrival, DOA)，不同的使用者由於所在的位置不同，會有不一樣的訊號空間特徵，智慧型天線系統即是利用此差異，在同樣的頻率與時間的資源裏，區分使用者。簡而言之，智慧型天線系統是使用空間分隔多工(SDMA)的方式來區分使用者，以增加系統之使用者容量。至於，由基地台傳送到使用者的下鏈通訊中，智慧型天線系統運用波束合成之演算法則，對不同的使用者形成獨特的傳送波束，下鏈通訊之波束合成演算法則，必須要對指定的使用者有最大的增益，而同時也將別的使用者所在方向的訊號抑制到最低，以減少不同使用者之間的雜訊干擾，進而提升通訊品質。

綜合上述，如要利用 SDR 技術與平台實現智慧型天線系統，並期望能朝向系統晶片方

向發展，使研究成果實用化，將需進行跨領域基礎平台設計與建構研究，整合嵌入式系統設計、無線通訊技術、晶片設計及數位信號處理技術等研究領域。

### 2.1.2 總體目標

本計畫發展之目標主要係希望藉由規劃及建構一個具有『軟體無線電(SDR)』技術概念之『可程式化設計之快速雜型通訊系統』，實現『B3G 寬頻分碼多重接取(B3G WCDMA)高速下鏈傳輸』之智慧型軟體無線電通訊系統架構及演算邏輯。並利用該平台具可適性訊號處理及元件可程式化之能力，結合相關子項計畫設計之適應性陣列訊號處理演算法則或調變方法，彈性調整可適性收發機參數，以分別提高 3G 及 B3G WCDMA 基地台及用戶台上下鏈路傳輸品質與速率，進而滿足系統需求功能及建立核心關鍵技術，該系統參數規劃如下表：

	B3G System Parameters
Data Rate	480Kbps ~ 720Kbps
Tone Modulation ( $M$ )	QPSK
Coding Rate ( $R$ )	1/2, 3/4
Spreading Factor ( $G$ )	32
MODE	STBC
Dedicated Channels	Sync., Pilot and Traffic
No. of Channel Code ( $N$ )	4
System CLK ( $f_s$ )	15.36 MHz
Oversampling ( $K$ )	4
Carrier Frequency	~ 2 GHz

作法上，將藉由 FPGA 與 DSP 處理器具備獨立運行系統 (stand-alone system) 之能力與便利之發展環境，作為開發系統核心進行實現可適性的基頻系統架構、適應性調變及陣列訊號處理法則之發展，以達到加強訊號增益、抑制干擾訊號，提高系統容量及頻率使用效率之目的，並將藉由發展平台之可程式繞線規劃功能實現多模式架構。此外，最後並將整合自製之 RF/IF 及 A/D 及 D/A 及其他相關之功能介面模組等，以具體展現『B3G 寬頻分碼多重接取(B3G WCDMA)高速下鏈傳輸』智慧型軟體無線電通訊系統架構及演算邏輯。

### 2.1.3 整體分工合作架構及各子計畫間之相關性與整合程度

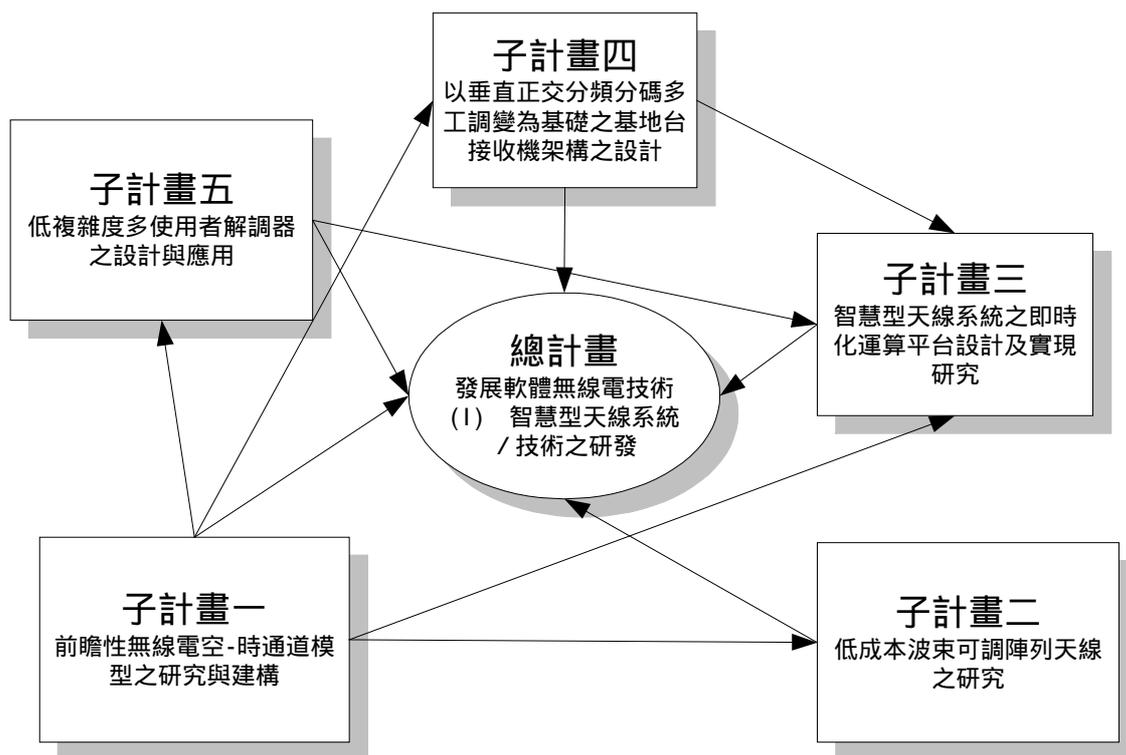
為求最後研究成果完整性及實用性，本整合型計畫希望結合硬體與軟體的設計與發展，增加智慧型天線系統可適性範圍及即時適應性能力。本計畫主要研究工作內容可分為六部份：

- (1) 軟體無線電發展平台之規劃與實現（總計畫）
- (2) 前瞻性無線電空-時通道模型之研究與建構（第一子項計畫）
- (3) 低成本波束可調陣列天線之研究（第二子項計畫）
- (4) 智慧型天線系統之即時化運算平台及實現研究（第三子項計畫）
- (5) 以垂直正交分碼多工調變為基礎之基地台接收機設計之研究（第四子項計畫）
- (6) 低複雜度多使用者解調器之設計與應用（第五子項計畫）

各子項計畫主要研究方向及內容歸納如下：

- (1) 子計畫一：發展前瞻性無線電空-時通道模型之建構技術，並進行實地空-時通道量測驗證模型。另外，應用統計方法，提供空-時通道特徵參數資訊與通道時變資訊予相關子計畫發展及驗證適應性陣列信號處理法則，適應性解調或二維（時域及空間）接收機。
- (2) 子計畫二：發展低成本波束可調陣列天線，利用硬體（週期性結構天線）可調式的特性增加智慧型天線系統可適性的能力，最後希望建立測試平台，測試所開發陣列天線之效能。
- (3) 子計畫三：智慧型天線系統即時化運算平台設計及實現之研究，規劃系統計算平台，制定智慧型天線數值運算程序流程，探討各項陣列信號處理法則之即時化。
- (4) 子計畫四：設計 OFDM/CDMA 為基礎之基地台接收機，希望將多重進接功能及頻譜重複使用功能加入具高速資訊傳輸能力及高頻譜使用效率的 OFDM。在智慧型天線方面將設計二維（時域及空間）接收機。
- (5) 子計畫五：開發與應用入射角估測法則及低複雜度多使用者解調器。

具體而言，本群體計畫之工作包含實驗與理論相互驗證，而五者彼此相關，相互支援，研究廣度與深度均能兼顧。總計畫、各子項計畫合作及互動關係可用下圖說明：



- 子計畫一可經由實測與空-時通道模型發展，提供合乎實際通道性之相關參數，以供子計畫四及子計畫五發展相關之設計、2-D rake receiver 及適應性信號處理法則。此外子計畫一亦可提供相關參數予總計畫設定系統參數。
- 子計畫二將設計並實現 4 個陣列天線供總計畫使用。
- 子計畫四及子計畫五所開發的各種演算法將在總計畫利用 SDR 平台加以整合實現，以提高 WCDMA 下鏈傳輸速率。
- 子計畫三將根據子計畫四及五發展的演算法及總計畫系統架構，探討系統即時化運算平台之設計與實現，並制定數值運算程序流程。

## 2.2 人力配合度

本整合型計畫主持人彭松村教授多次主持大型通訊相關領域之整合研究計畫，為電波通訊領域之先驅，其研究成果極為豐碩，廣受國內外推崇；總計畫協同主持人李大嵩教授具無線通訊訊號處理、寬頻無線接取、軟體無線電等專業經驗，目前已有相當優異成果。子計畫一之主持人唐震寰教授近年來致力於電波傳波之理論分析與量測驗證之研究，並獨立開發完

成軟體模擬程式，成果斐然。子計畫二之主持人胡竹生教授負責交通大學整合數位訊號處理實驗室，具備理論與實際之雙重經驗，是為極難求得之人才。子計畫三之主持人黃家齊教授為國內少數具實務經驗之室內及行動通訊研究專家，近年來主持多項行動通訊研究計畫，成果極為豐碩。子計畫四之主持人方文賢教授具備多解析信號處理、無線通訊、影像/視訊信號壓縮及編碼、超大型積體電路信號處理等專業經驗。由於本研究團隊成員過去皆有多次國科會專題計畫及國內大型委託計畫的合作經驗，故具有極佳的協調性，有助於本計畫之順利執行。由於本整合型計畫理論與實驗兼具，並具有跨校整合之特性，對於整合國內研究人才有極大之貢獻。

## 2.3 資源之整合

### 2.3.1 儀器設備及空間共用

本整合計畫使用主要儀器與設備有六項：

- (1) 基頻信號產生器及控制軟體(由總計畫申請採購): 該儀器可配合本計畫第一年度(九一年度)所購置之 Aptix MP3CF 快速無線通訊系統雛型發展平台之用，其可彈性產生數位之 I Q 展頻測試等訊號，可供接收電路針對具體實現之演算法更快速及可靠測試驗證之用；此外，本設備並提供有錯誤率(Bit Error Rate)偵測功能，可更具體提升接收機系統性能之測試驗證可信度。
- (2) 前板資料埠介面控制模組(由總計畫申請採購): 該 FPDP 前板資料埠介面控制模組係提供先前購置之 Aptix MP3CF 無線通訊系統雛型發展平台上之 FPGA 與外接之並列式平行處理 DSPs 模組間資料快速傳送之用(FPGA→DSPs)。
- (3) 多通道數位轉類比及類比轉數位電路模組(由總計畫申請採購): 該多通道數位轉類比及類比轉數位電路模組，係配合本計畫所採用之 Aptix MP3CF 平台及規劃之 3G 上鏈 & B3G 高速下鏈傳輸智慧型通訊系統架構所需，內含多通道之 A/D 電路板與多通道之 D/A 電路板等，應用於 Aptix MP3CF 平台之基頻信號與多頻道多通道射頻 & 中頻收發電路控制模組間之信號轉換。
- (4) DSPEVM 程式化數位信號處理模組(由總計畫申請採購): DSPEVM 模組為一程式

化數位信號處理模組，其具有高性浮點運算能力及作為前端處理模組之控制器，設定電路之參數。模組介面並符合本計劃所採用之 Aptix MP3CF 平台規格。

(5) 寬頻向量無線電通道響應量測系統（由申請單位支援）。

以上整合計畫所需之主要儀器設備，均由總計畫管理，並放置於學校所提供之共享空間，以供各子項計畫成員共用這些資源。

### **2.3.2 研究心得及成果之交流**

各子項計畫成員定期（每兩個月）進行成果報告與討論，交換研究心得與成果，強化整合效果。各子項計畫間之交流則視需要，召開不定期討論會議。

### 三、研究方法與研究成果

#### 3.1 研究方法

吾人藉由 FPGA 與 DSP 處理器所提供獨立運行系統(stand-alone system)能力與便利發展環境建立系統開發核心技術，用以實現可適性之基頻系統架構、適應性調變及陣列訊號處理法則，以達到強化訊號增益、抑制干擾訊號，提高系統容量及頻率使用效率之目的；此外，吾人亦藉由發展平台之可程式化重構(reconfigurable)功能實現多模式通訊運用架構，最後並將整合自製之 A/D 及 D/A 及其他相關之功能介面模組等，以具體展現『B3G 寬頻分碼多重接取(B3G WCDMA)高速下鏈收發系統』之智慧型軟體無線電通訊系統架構及演算法則。

一個軟體無線電系統的基本架構圖可參考如圖一 SDR 軟體無線電通訊系統基本架構圖所示，系統由不同的硬體模組組成，包含：天線(antenna)單元、多頻帶射頻(RF)單元、中頻(IF)濾波器、類比-數位轉換器(ADC)、數位-類比轉換器(DAC)、數位訊號處理器(DSP)及 FPGA 等。

採用上述架構實現之系統具有以下特點：

- (1) 可藉由改變任一模組的方式達成改變系統架構的目的。
- (2) 系統本身隨時可透過自行調整達到最佳化的目的。
- (3) 系統可適用於多種規格的通訊系統，如 W-CDMA、OFDM 與 OFDM/CDMA。

因此，如何運用『軟體無線電系統架構』以發展 3G 及 B3G 智慧型通訊系統，使其提供高效率、高彈性、高適應性的處理能力，具備易維護、易運用之操作特性，應是現階段籌建 3G 及 B3G 智慧型通訊系統的當務之急。而實現軟體無線電系統的最佳架構為可程式之軟硬體系統發展平台，亦即可由使用者自由決定系統軟硬體模組及繞線規劃方式之平台。進而透過運作軟體之置換，能切換至各種不同規格之系統，彈性及較容易實現通訊系統多模式、多功能之需求。

## 3.2 研究成果

### 3.2.1 收發機架構部分

#### 3.2.1.1 『B3G 寬頻分碼多重接取(WCDMA)高速下鏈收發系統』之智慧型軟體無線電通訊系統

圖二智慧型軟體無線電通訊系統之『B3G 寬頻分碼多重接取(WCDMA)高速下鏈收發系統』硬體發展雛型系統架構示意圖，此系統為一種下鏈路 MISO (Multiple Input Single Output) 架構，本計畫建構八天線基地台發射及用戶端單天線接收的收發系統，配合空時訊號處理技術以成為一智慧型天線陣列通訊系統，硬體組成主要包含一模擬基地台之基頻發射機模組併同八組 DAC、一模擬用戶台之基頻接收機模組併同一組 ADC 等，皆建構於『可程式化設計之快速雛型通訊系統』平台上。

#### (a) 3G WCDMA 無線通訊下鏈路基地台(BS)基頻發射系統 [1]-[5]

圖三係 B3G WCDMA 無線通訊下鏈路基地台(BS)基頻發射系統之細部方塊圖，資料通道先經過迴旋碼編碼(convolutional encoder)及資料交錯器(interleaver)，之後由解多工器(demultiplexing)串列平行轉換後，再經由空 - 時區塊編碼(Space-Time Block Coder, STBC) (圖四)，將兩組相互正交之 Walsh 碼乘入後再組合為資料通道(traffic channel)，再分別與乘上展頻碼(spreading code)之同步通道(synchronous channel)及領導通道(pilot channel) 組合為 I、Q 資料通道(其中同步通道及領導通道分別傳送於 IQ 通道)，經 RRC 濾波器(Root Raised Cosine filter, RRC filter)濾波後經下鏈波束形成器(Downlink Beamformer)送出。

同步通道為 64 碼片(chip)長的偽亂碼(Pseudo Noise code, PN code)，碼片速率(chip rate)為 3.84 Mcps，藉以尋找訊框開始時間；領導通道主要是提供接收機通道的資訊，讓接收機能正確的補回通道效應，使解回的資料正確，其展頻碼展頻因子(spreading factor)為 256 ( $C_{P1} \sim C_{P2}$ )，速率只有 15 Kbps，用如此低速率的作用是為了提供足夠能力以抵抗通道效應，因為解展頻時，展頻因子愈高愈能得到越高的解展頻振幅，使解展頻後的領導通道被通道效應以及干擾完全破壞掉的機率降低，讓吾人可以利用領導通道進行估測通道效應，進而重建資料通道。資料通道為原始資料經過迴旋碼編碼及展頻後的通道，依 HSPDA (High Speed

Packet Data Access)規範所定義資料通道之展頻因子為 32，資料速率為 $\leq 10.8$  Mbps 等。

目前吾人規劃設計之系統傳送資料通道展頻因子為 32 ( $C_1 \sim C_4$ )，編碼率為 1/2，在 I 通道及 Q 通道上都有傳送，原始資料速率視發展之演算邏輯及與介面模組間之資料傳送速率，預估在 480 ~ 720 Kbps 間。

本計畫所設計之收發機之特色在於採用 beamspace-time 編碼，藉由智慧型天線對每個路徑產生一組波束(如圖五所示)，除了增加提供多波束多樣(multibeam diversity)外亦確保空時塊狀碼能在接收端成功的被解碼，全系統示意圖如圖六所示。

### **(b) 3G WCDMA 無線通訊下鏈路用戶台(MS)基頻接收系統**

圖七係 B3G WCDMA 無線通訊下鏈路用戶台(MS)基頻接收系統細部方塊圖，基頻接收機依時間之先後可區分為兩種模式，分別為碼擷取(code acquisition)模式以及碼追蹤(code tracking)模式。於碼擷取模式時，系統只找出訊框開始時間(frame start time)，並無資料通道傳輸；於碼追蹤模式時，系統分別找出發射載波與接收載波之頻率偏移(frequency offset)以及訊框開始時間，再進行頻率補償；以及領導通道及資料通道之解展頻、通道效應估測、空 - 時區塊解碼(Space-Time Block Decoder, STBD) & 犁耙接收(RAKE receiver)(圖八)、解交錯器(de-interleaver)以及迴旋碼解碼(convolutional decoder)等。

基頻接收機組成共包含了 RRC 濾波器、匹配濾波器(matched filter)、碼追蹤器、碼擷取器、解展頻器(despreader)、通道估測器(channel estimator)、空 - 時區塊解碼&犁耙接收器、多工平行串列轉換器(multiplexing)、解交錯器以及迴旋碼解碼器等。

CDMA 系統具有系統容量大、對抗多路徑干擾強、頻率可重複使用等優點，但其問題為在既定頻寬要求限制下，傳統單一天線發射與接收系統之資料率大小及鏈路品質將受到限制，因之吾人兼採用 BLAST 技術之複碼(multicode)與空間多工設計理念以有效增加傳送資料率；再採用 IST-METRA 技術之空 - 時區塊編解碼設計理念，以有效提升鏈路品質。吾人將採用複碼之解展頻與空 - 時區塊解碼&犁耙接收器，使吾人設計之接收機能把干擾降至最低，同時提升傳送資料率及鏈路品質。

另外吾人也採用不同編碼率之迴旋碼編碼器/迴旋碼解碼器進行有效保護資料，使系統的錯誤率降低，迴旋碼編碼是一種發展已久且常用於通訊中的一種通道碼編碼方法，能達到

有效保護資料的作用，使系統的錯誤率降低；交錯器/解交錯器的作用是將訊號打散，其主因是為了彌補迴旋碼解碼器在對抗連續錯誤能力上的不足，透過交錯器/解交錯器的使用，當連續錯誤發生時，解交錯器能使連續錯誤分散到不同地方，讓迴旋碼解碼器能使錯誤解回。系統參數及系統模擬如表一及圖九所示。

### 3.2.2 硬體平台部分：

#### 3.2.2.1 『Aptix 快速雛型發展系統』平台之建置

吾人之 W-CDMA 硬體發展雛型系統中，Aptix MP3C(以下簡稱 MP3C)乃最主要之核心，MP3C 為一具高度整合性發展系統，搭配 Aptix Explorer™ 軟體和 Angilent 16702B 邏輯分析儀(logic analyzer, LA)完成系統架構(圖十)。其中，Aptix Explorer™ 軟體負責編譯 RTL (netlist file, 如.xnf 或.edif file)和設定 FPGA 模組的輸入/輸出對應，MP3C 負責處理各模組間之繞線連結，而邏輯分析儀則用做系統訊號觀察，以做為系統驗證及除錯。MP3C 可以支援如 FPGA、DSR、ASICs、ARM 微控制器、微處理器、隨機存取記憶體(random-access memory, RAM)和唯讀記憶體(read-only memory, ROM)等模組；除此之外，只要能符合 MP3C 硬體平台規格，亦可以設計專用的模組應用於系統，因此，MP3C 對於複雜的數位系統，亦或利用 FPGA、PLDs 所設計的 ASIC 可以提供完整的系統模擬及驗證平台，於此完整之系統發展平台下，可使吾人於系統發展過程中，得到快速硬體驗證之成效。圖十一為 MP3C 系統之實體圖，此系統具開放性之架構，透過 adapter 可使許多種不同用途的硬體應用於此系統，adapter 之功能在於使不符合 MP3C 規格的硬體，轉換介面規格使之可運用於 MP3C，透過此一特性，吾人可彈性選用所需要開發之元件。目前於 MP3C 系統上，吾人使用 FPGA 及 DSP 模組作為演算法之實現。本節將介紹本計畫所購置之 MP3C 系統及軟硬體設計流程：

#### (a) Aptix 快速雛型發展平台與 Explorer 軟體

MP3C 為 Aptix 公司的 MPx 系列產品，期望藉由此系列產品，提供工業界完整之系統快速發展平台，MP3C 系統具以下幾點特徵：

- (1) 適用於發展中系統之快速發展平台。
- (2) 支援不同規格模組之整合。
- (3) 包含 FPCB (Field Programmable Circuit Board) 及 FPIC (Field Programmable

Interconnect Component), 使系統發展更具彈性。

- (4) 彈性化之輸入輸出裝置及支援多種系統時脈(clock)。
- (5) 簡易且彈性之訊號採取(probe), 易於系統偵錯。
- (6) 支援多個系統電壓。

以下簡單介紹 MP3C FPCB 之基本架構：

MP3C FPCB 包含下列基本區塊[6]：

- (1) Freehole：包含
  - I. 特殊腳位(special pins)：提供模組電源、接地及工作時脈源。
  - II. 可交換式腳位(swapping pins)：提供模組輸入/輸出界面，其訊號電氣規格為 TTL 之輸出入位準(表二)。
  - III. 輸入/輸出腳位(I/O pins)：提供 freehole 與 MP3C FPCB 外部匯流排之連結。
- (2) 匯流排：包含 4 個匯流排模組，每個模組含 40 根腳位。
- (3) 時脈模組：包含 2 個時脈模組，每個可提供 4 組時脈源。
- (4) 輸入/輸出匯流排：提供對外系統連結通道。
- (5) 微控制器：處理程序編排、FPICs 及電源分配和 RS-232 之間的溝通。
- (6) FPIC (field programmable interconnect components)：包含
  - I. FPIC/R：負責模組之繞線電路。
  - II. FPIC/D：提供觀察埠(diagnostic port)至邏輯分析儀。

其中，FPIC 為 MP3C FPCB 之核心，包含 FPIC AX1024R (FPIC/R)和 FPIC AX1024D (FPIC/D)，其共同特性為：

- (1) 為一 32x32 之陣列晶片(共 1024 根腳位)，透過可程式化之繞線陣列架構，定義任意兩個 freehole 間之連線，其中 936 根為雙向輸入/輸出。
- (2) 提供高速輸入/輸出連結，對單一繞線路徑而言，訊號在 freehole 間大約延遲 3 ns 至 5 ns。
- (3) 以 CMOS SRAM 為系統內部連結元件，透過高速序列界面傳輸，可以快速更改設計之系統架構。

而其最大的不同處，在於它們的 packaging 和功能上的效用。FPIC/R 提供模組間之繞線連結，在 1024 根腳位中，17 根用做界面連結和提供電源，71 根保留不用，其餘的 936 根由使用者自行定義 freehole 間的連線；而 FPIC/D 除了包含所有 FPIC/R 的特性之外，還提供 64 根腳位的觀察埠連結至邏輯分析儀，以便系統訊號之觀察。

### (b) Aptix Explorer™ 軟體介紹

Aptix Explorer™ 軟體主要用做 MP3C 硬體平台之設定，包括三大部分以定義各元件間之連結分配：

- (1) Explorer 主選單：透過 PC 端載入 logic-level 或 top-level (系統及標準元件：如振盪器、資料產生器)之 xnf 或 edif 檔案，並將相關模組置於 MP3C 平台之 PFCB 區域，經由編譯產生 FPIC 繞線所需的檔案。
- (2) 包裹編輯器(package editor):對於使用者自行定義之系統元件或子卡(daughter board)產生資料庫元件。
- (3) 診斷溝通界面(diagnostic communication interface)：邏輯分析儀之參數設定，包含 FPIC POD 之分配與欲觀察之訊號。

其中，PC、工作站、MP3C 與邏輯分析儀間使用 10 BaseT Ethernet 相連結，使彼此間之檔案及訊號傳遞能夠更為便利、迅速。

而透過 Aptix Explorer™ 軟體、MP3C FPCB 和邏輯分析儀之整合，吾人之系統設計及驗證流程如下所述：

- (1) 使用 EDA (electronics design automation)工具，撰寫硬體描述語言，並合成為邏輯電路的描述檔案，如.xnf 或.edif 檔。
- (2) 透過功能模擬(function simulation)和時序模擬(timing simulation),確認系統功能運作無誤。
- (3) 利用 Aptix Explorer™ 軟體編譯邏輯電路,轉化為 FPGA 內部之佈局,並設定 MP3C FPCB 與邏輯分析儀之參數。
- (4) 將程式下載至 MP3C FPCB 平台上之 FPGA 和邏輯分析儀。
- (5) 利用邏輯分析儀觀察系統訊號，做為系統驗證及除錯。

### (c) Explorer 設計流程介紹

Explorer 乃整合 MP3C 與 Logic Analyzer 之工作站軟體。透過 Explorer，吾人可針對所開發之模組間進行整合，包括模組間之連結、模組置放之位置、模組輸出入腳位等，於偵錯方面，吾人亦可透過 Explorer 定義所須觀察之訊號。圖十二為完整之 Explorer 設計流程，說明如下：

- (1) 匯入設計(import design)：包含匯入 top.edif 及 design.edif，top.edif 為定義運用於 MP3C 系統之不同模組間的連線關係，為 DSP 模組或 FPGA 模組之最上層輸出入腳位定義，此檔案須於 PC (Personal Computer) 利用軟體撰寫硬體描述電路語言程式，程式內容定義各模組之輸出輸入腳位及連接情形，吾人選用之軟體為 Xilinx Foundation，利用其 synthesis 功能，即可產生此檔案；design.edif 為吾人所設計於 FPGA 模組之邏輯電路，當欲設計於此 FPGA 模組之所有邏輯電路設計完成時，於 PC 利用 Xilinx Foundation 之 synthesis 功能，即可產生此檔案。
- (2) 匯入 pinmap 檔案(import pinmap file)：pinmap 內容包含所有模組引用的套件 (package)，而套件乃定義模組與 freehole 之間連接之關係。
- (3) 設定 FPCB 型態(setup FPCB type)：此步驟乃設定腳位之型態，包含電源線(power)、地線(ground)或一般訊號線等，以及設定訊號線之時序條件線制(timing constraint) 等。
- (4) 板面配置(board placement)：設定模組置放於 FPCB 板面的位置。
- (5) 編譯設計(compile design)：此步驟包含 FPCB Mapping、FPGA P&R、FPCB Route，其中 FPGA P&R 時，Explorer 會呼叫 Xilinx Alliance 進行 Place & Route 之工作。
- (6) 偵錯設定(setup debug)：設定邏輯分析儀及欲觀察之訊號，邏輯分析儀透過 MP3C 機背之連接埠將訊號送出，使吾人可於邏輯分析儀上進行偵錯之目的。MP3C 之 3 個 FPIC 至多可接 12 個邏輯分析儀 POD，每個 POD 可提供 16 個訊號之觀察，所以至多可進行 192 個訊號之觀察，提供偵錯方面非常大的彈性。
- (7) 下載設計(download design)：上述步驟(1)至步驟(6)乃設定工作，下載設計為針對以上之設定，對 MP3C 系統及邏輯分析儀進程式動作，包含對 FPCB、邏輯分析儀

之程式動作及下載 bit stream 至 FPGA。

透過以上之設計流程，吾人便可達到不同模組快速整合於 MP3C 系統之目的，加上與邏輯分析儀之結合，使偵錯工作更加方便，以達到系統開發之工作時程減至最短之成效。

### 3.2.2.2 FPGA 電路設計流程

#### (a) FPGA 介紹

由於對科技需求的日益增加，進一步帶動半導體技術之成長。從 1960 年代由數個電晶體及電阻所構成之積體電路，進步到數仟個電晶體的 LSI (large scale integrated)，再進步到數十萬甚至數百萬電晶體的 VLSI (very large scale integrated)。目前可程式化數位邏輯元件分為可程式邏輯元件(programmable logic device, PLD)和場式可程式閘陣列(field programmable gate array, FPGA)兩大類。其中 FPGA 依其構造可大致分成 3 類：

- (1) 查表型(look up tables, LUT) [7]：Xilinx, Altera, AT&T
- (2) 多工器型(multiplexer type, MPX)：Actel, Quicklogic
- (3) 電晶體陣列型：Cross point

若以規劃架構可分為：

- (1) SRAM：Xilinx, Altera, AT&T, Atmel
- (2) Anti-fuse：Actel, Cypress, Quicklogic

其中，SRAM 類型的 FPGA 具有可重複程式化的優點，適合用於實作邏輯設計與功能性驗證。而 Anti-fuse 由於具有一次燒錄(OTP)特性，在保密性上提供較佳保護，但也因此無法重複修改。

與 ASIC (application specific integrated circuit)相較之下，FPGA 雖具有可程式化之特性及較高的整合度及可適性，但其性能上仍明顯輸於 ASIC。但隨著半導體製程技術的進步，FPGA 不論在性能上和單位面積邏輯閘數目上都有逐漸向 ASIC 逼進之趨勢，且由於近年來多媒體電子通訊與網路應用市場的蓬勃發展，可程式化和整合性較高的 FPGA 逐漸受到市場的重視。

吾人使用 VHDL (Very High Speed Integrated Circuit Hardware Description Language)設計 FPGA 電路，以 Xilinx Foundation 為 FPGA 電路設計之開發軟體。Xilinx Foundation 具有許多便利吾人於電路設計之處，其 HDL 編輯器具設計精靈(design wizard)功能，可便利吾人於建

立開發元件之輸出輸入腳位及架構，縮短撰寫 VHDL 程式之時間；此軟體內建完整之 library family，可省去許多非必要之開發時間；此外，Xilinx Foundations 內建之 Core Generator 可幫吾人產生許多重要元件，諸如記憶體、數位濾波器、乘法器、除法等，吾人僅需於 Core Generator 內，對此元件設定參數，即可產生出此元件之電路。綜合以上幾項優點，吾人選擇了 Xilinx Foundation 為電路設計之開發軟體。

### (b) FPGA 電路設計流程[8]

圖十三為 FPGA 之設計流程，流程說明如下：

- (1) 設計輸入(design entry)：設計輸入為將演算法轉以電腦可接受的方式表達，Xilinx Foundation 之設計輸入包含有三種編輯器，分別為 Schematic、HDL (Hardware Description Language)及 FSM (Finite State Machine)。Schematic 是以畫電路圖的方式，Xilinx Foundation 提供完整的 library 可供使用，如加法器(adder)、多工器(multiplexer)等，但如設計之電路架構過於龐大，使用 Schematic 之方式可能就不是有效率的方法；HDL 乃以撰寫程式的方式達到電路設計之目的，HDL 有 VHDL 及 Verilog HDL 兩種，以 HDL 設計電路具有容易修改及偵錯之特性，亦是目前最為廣泛採用之設計方法；FSM 是以時態關係圖(state diagram)達成電路行為之設計，其具有容易了解電路時態運作的特性，適合運用於控制邏輯電路之設計。
- (2) 合成(synthesis)：將設計輸入所設計之行為描述(behavior description)電路轉換成由邏輯電路組成，即為 RTL (Register Transfer Level)。
- (3) 功能模擬(function simulation)：此步驟提供驗證電路設計的邏輯功能是否正確，此處所提供之驗證乃假設所有元件為理想狀態，不考慮其物理性質可能造成之影響。驗證的方式可以選用硬體描述語言撰寫測試平台(test bench)，產生輸入訊號，或是由 Xilinx Foundation 之模擬器(simulator)內的模擬器選擇(simulator selection)功能，編輯輸入訊號。
- (4) 電路驗證(implementation)：電路驗證包含五個步驟，分別為 Translate、Mapping、Place & Route、Timing 及 Configure 等，其中 Translate 將所設計之 Design Entry 轉成 FPGA 的格式；Mapping 將經過 Translate 轉換後之格式最佳化，再映射成 FPGA

元件內部格式；Place & Route 將 Mapping 出之格式作最佳擺設與繞線；Timing 則依照 FPGA 內部元件之特性，估計出所有元件的延遲時間；Configure 將 Place & Route 後元件擺設位置及繞線方式轉換成可燒入 FPGA 格式之檔案。

- (5) 時序模擬(timing simulation)：此步驟提供驗證電路設計的邏輯功能是否正確，而此處之驗證包含實際元件物理特性之影響，一般而言，時序模擬之結果會與實際晶片上之結果相同。
- (6) MP3C/Explorer：於 PC 端驗證完所設計之電路其功能無誤後，即可將設計依前述之流程，將設計置於 MP3C 系統進行驗證。

### 3.2.2.3 TMS320C6701 DSP 簡介

在數位化時代來臨後，高速運算的需求增加，而 SoC 更掀起數位與類比間相互轉換的整合風潮。在市場的帶動下所提升對資料處理的需求，再加上 DSP 在技術上的發展和對於商品在成本和上市時程的考量下，使得 DSP 在不同領域中被廣泛的運用。TMS320C6701 DSP 為 VelociTI VLIW (Very-Long-Instruction-Word) CPU 架構之浮點運算處理器，在 167 MHz 的時脈下，運算速度可達每秒  $10^9$  次浮點運算，其架構大致分為中央處理器(CPU)、記憶體與週邊元件等三大部分[9][10]，吾人將分別介紹之。

#### (a) TMS320C6701 之 CPU 結構解說

圖十四為 TMS320C6701 DSP 結構方塊圖，包含 CPU、記憶體及內部周邊元件。此 DSP 採用 VelociTI VLIW 之高效能 CPU 結構，圖十五為此 DSP 之 CPU 結構圖，其具有兩組功能單元(function unit)及兩組一般暫存器(register file A, register file B)，功能單元分別為.L1、.L2、.S1、.S2 及.M1、.M2、.D1、.D2，介紹如下：

- (1) L1、.L2：邏輯運算器、計數器
- (2) S1、.S2：位元移位(bit Shift)、分枝(branch)程式碼執行
- (3) M1、.M2：乘法器
- (4) D1、.D2：線性、環狀定址器

兩組一般暫存器各自包含 16 個 32 位元暫存器，可支援 16 位元至 40 位元之固定點(fixed point)資料處理及支援 16 位元至 64 位元之浮點(floating point)資料處理。

## (b) TMS320C6701 記憶體之解說

C6701 DSP 使用 32-bit 之位址線，理論上可定址至 4G Bytes 之記憶體，不過其規劃如圖十六所示，包括 64 Kbytes 內部程式記憶體(internal program memory)、64 Kbytes 內部資料記憶體(internal data memory)及 52 Mbytes 之外部記憶體(external memory)，另有部分位址留做周邊控制用。

- (1) 內部程式記憶體：由程式記憶體控制器(Program Memory Controller, PMEMC)設定其工作模式，包括
  - I. 快取模式(cache mode)：所有記憶體被定義為快取記憶體，分為 2K 個 256-bit 的快取線(cache line)供 CPU 存取程式碼，其架構如圖十七所示。而在快取模式中，直接記憶體控制器(Direct Memory Access Controller, DMA controller)無法存取此區塊之資料。
  - II. 映射模式(mapped mode)：記憶體區塊為分 Map 0 和 Map 1 兩種定義。當定義為 Map 0 時，位址 0x01400000h 至 0x0140FFFFh 為程式記憶體；當定義為 Map 1 時位址 0x00000000h 至 0x0000FFFFh 為程式記憶體。在映射模式中，CPU 和 DMA controller 皆可存取程式記憶體任意位址，但 CPU 之存取優先權較 DMA controller 為高，若兩者同時存取同一位址，DMA controller 需在 CPU 存取完成後才可執行存取動作。
- (2) 內部資料記憶體：由資料記憶體控制器(Data MEMory Controller, DMEMC)將記憶體分為各 32 Kbytes 之兩大區塊，每一區塊再細分為 8 個槽，每個槽提供 2 Khalfword (1 halfword = 16 bits)的儲存空間(圖十八)。

CPU 和 DMA 控制器可以同時存取在相同區塊，相同槽中相鄰的 16-bit 資料，並不因此產生衝突而造成 CPU 效能的降低。

## (c) TMS320C6701 之周邊元件解說

周邊元件將簡單介紹包含外部記憶體存取介面(External Memory access Interface, EMIF)、DMA、主電腦埠介面(Host Port Interface, HPI)及中斷(interrupt)訊號。

- (1) EMIF：此 DSP 之 EMIF 支援四個記憶體空間，分別是 CE0，CE1，CE2，CE3，可

支援許多不同的外部元件，包括同步靜態記憶體(Synchronous Burst Static Random Access Memory, SBSRAM)、非同步靜態記憶體(Asynchronous Static Random Access Memory, ASRAM)、同步動態記憶體(Synchronous Dynamic Random Access Memory, SDRAM)，唯讀記憶體(Read Only Memory, ROM)及先進先出元件(First In First Out, FIFO)等，其中 CE1 只支援非同步記憶體元件。EMIF 可接受不同的服務要求，如圖十九，分別是程式記憶體控制器要求 CPU 執行程式存取，資料記憶體控制器要求 CPU 執行資料存取以及 DMA 控制器要求資料存取。

- (2) DMA：利用 DMA 可以不必透過 CPU 而存取內部記憶體間的資料、內部周邊的資料及外部周邊的資料。此 DSP 包含四條 DMA 通道以及一條輔助通道(auxiliary channel)，其中四條 DMA 可同時執行四種不同的 DMA 操作，輔助通道可提供 HPI 跟 CPU 要求記憶體空間。
- (3) HPI：HPI 為提供主電腦直接存取 DSP 之 CPU 記憶體空間的介面，其提供主電腦和 DSP 之間 16 位元之資料傳輸埠，由於此 DSP 之 32 位元字元架構，主電腦送兩個連續 16 位元的半字元為 DSP 接收之一個字元。
- (4) 中斷訊號：DSP 所處的發展環境，常與外部之非同步元件連接，此時 DSP 與此非同步元件需要一套機制以協調相互間工作之先後，中斷訊號即用來達成此一機制。此 DSP 有三種中斷訊號，分別是重置(reset)、可屏蔽中斷(maskable interrupt)及非屏蔽中斷(Nonmaskable Interrupt, NMI)。重置是用來中斷 CPU 使其回到某已知之狀態；NMI 是當硬體出現問題，對 CPU 提出警訊的中斷訊號；可屏蔽中斷訊號包含 INT4- INT15，其中 INT4-INT7 是 DSP 與外界界面的中斷訊號，INT8-INT15 是 DSP 內部周邊的中斷訊號。欲使用 INT4-INT15 中斷訊號，必須對控制狀態暫存器(Control State Register, CSR)(圖二十)及中斷致能暫存器(Interrupt Enable Register, IER)(圖二十一)作以下之設定：將 CSR 中的字中斷致能(Global Interrupt Enable, GIE)設為 1；將 IER 中的 NMI 設為 1；將 IER 中欲使用的中斷訊號暫存器的中斷致能(Interrupt Enable, IE)設為 1。

### 3.2.2.4 C6701 DSP EVM 模組簡介

C6701 DSP EVM 模組是吾人於 W-CDMA 硬體驗證平台中，為達成軟體實現演算法之重要模組，其核心為 TI TMS320C6701 DSP。此模組透過 Aptix adapter 連接於 MP3C 系統上。本節將介紹 C6701 DSP EVM 模組架構、模組特性以及模組與 FPGA 之連結及模組開發環境。

#### (a) C6701 DSP EVM 模組架構

圖二十二為 C6701 DSP EVM 模組架構圖。主要元件包括 TMS320C6701 DSP、SBSRAM、快閃記憶體(flash memory)、UART (Universal Asynchronous Receiver Transmitter)、JTAG (Joint Test Action Group)及介面電路(CPLD)，對應之記憶體映射如表三，並分述如下：

- (1) SBSRAM 為快速靜態記憶體，容量為 512K bytes，速度最高為 132 MHz。當 DSP 元件設定為 MAP 0 模式時，SBSRAM 為程式記憶體；設定為 MAP 1 模式時，SBSRAM 作為一般記憶體使用。
- (2) 快閃記憶體容量為 128K bytes，當應用程式已在開發確定階段時，可將程式碼寫入快閃記憶體內。C6701 DSP EVM 模組於開機後或者按下重置鍵後，DSP 自動由快閃記憶體讀取程式碼下載到程式記憶體，而後執行。快閃記憶體另一用途為儲存系統參數或者數學函數。
- (3) UART 與 JTAG 為此模組與 PC 作資料傳輸之兩種介面，UART 為負責串列資料傳輸的一種規約，此模組之 UART 乃連接至 RS232 介面與 PC 連接；JTAG 為符合 IEEE-1149.1 標準之介面。
- (4) 介面電路為模組與外界連接的部份，包含控制電路及資料匯流排。控制電路為模組透過一 CPLD 晶片產生四組可與外界溝通的控制訊號。資料匯流排為 32 位元之資料匯流排，可與外界元件進行 32 位元之平行資料傳輸。

#### (b) C6701 DSP EVM 模組特性

C6701 DSP EVM 模組特性如下：

- (1) C6701 DSP EVM 模組適用於 Aptix MP3C 系統操作。
- (2) 使用 TI TMS320C6701 DSP，CPU 執行速度為 120 MHz、150 MHz 及 167 MHz。
- (3) 記憶體包含了 SBSRAM 及快閃記憶體，皆為 512K bytes。

- (4) 具有一條 UART 通道，介面符合 RS232 電氣規格，可與 PC 資料傳輸。
- (5) 提供 32 位元非同步讀寫資料匯流排介面、16 個位址空間以及 4 組控制信號。
- (6) 4 條中斷信號，外界元件可主動提出中斷要求。
- (7) 具有 IEEE1149.1 JTAG 介面，提供 CCS(Code Composer Studio)開發環境與模組的通訊介面。

#### (c) C6701 DSP EVM 模組開發環境

圖二十三為 C6701 DSP EVM 模組之開發環境，開發平台為 PC，以 PC 作為 C6701 DSP EVM 模組開發平台，則必須加裝 emulation board 介面卡及軟體工具。emulation board 使用 XDS510 Emulator，開發軟體工具為 CCS。

CCS 之環境設定需要以下檔案，c6xinit.gel、dspevm.cmd 及 rts6701.lib 等。c6xinit.gel 為 CCS 啟動時設定 DSP 元件之 EMIF；dspevm.cmd 為程式連結時設定模組之記憶體配置；rts6701.lib 為 TMS320C6701 元件之 run time support library。

#### (d) C6701 DSP EVM 與 FPGA 之連結

C6701 EVM 模組與外界模組(如 FPGA)之連接需透過外接介面模組(圖二十四)。外接介面模組內建在 C6701 EVM 模組內，由 4 個前端模組板組成，分別為 board1、board2、board3 與 board4，其對應的記憶體位置分別為 0x03000040 至 0x0300007F、0x03000080 至 0x030000BF、0x03000100 至 0x0300013F 以及 0x03000200 至 0x0300023F 等 4 個屬於 CE3 之部分區段(表三)。4 個前端模組板亦可視為四個 I/O，因此最多可外接 4 個模組。為了使外界模組可以啟動中斷服務，board1-board4 分別對應 4 個中斷訊號 EXTINT0-EXTINT3，而 EXTINT0-EXTINT3 又分別對應 TMS320C6701 DSP 之 INT4-INT7，因此在演算法上必須先啟動相對應的 IE，才能使用中斷服務，接著外界模組就可透過傳送中斷訊號，對 DSP 要求中斷。

在吾人發展之系統中，DSP 與 FPGA 之連結即使用中斷訊號 EXTINT0-EXTINT3 來完成。當 FPGA 傳送中斷訊號後，DSP 只要偵測到觸發訊號，即進入吾人設計程式之中斷函式中，執行中斷函式內部演算法之運算，直到演算法結束才跳出函式，回到主程式運作。此外，DSP 與 FPGA 可互相存取資料，主要由 DSP 透過演算法控制。DSP 欲讀取 FPGA 的資料，

其正確時序圖如圖二十五，當 STRBN0/1/2/3 於低準位，且 RD/WR0/1/2/3 於高準位時，DSP 於 t4 的時間內先將資料匯流排上之資料暫存於外部記憶體內，再傳到 CPU 內部的記憶體。DSP 欲將資料傳給 FPGA，其正確時序圖如圖二十六，當 STRBN0/1/2/3 與 RD/WR0/1/2/3 皆於低準位時，FPGA 可在 STRBN0/1/2/3 下緣觸發後 1 個 tclk 取樣資料匯流排上之資料，此資料可維持 t2 時間。圖二十四與圖二十五之參數說明如下：

- (1) tclk: 為 DSP 時脈週期, 因為 DSP 工作頻率為 132 MHz, 因此時脈週期為 1/132 MHz。
- (2) t1: 為 ADDR[3:0] 準備完成至 STRBN0/1/2/3 下緣觸發之時間。
- (3) t2: 為 DSP STRBN0/1/2/3 訊號下準位之時間。
- (4) t3: 為 STRBN0/1/2/3 下緣觸發到資料確認之時間。
- (5) t4: 為資料確認之時間。
- (6) t5: 為 RDY0/1/2/3 訊號輸入到被 DSP 認知之時間。

另外，中斷訊號的極性為“high”，一般狀態為“low”。當 FPGA 提出中斷要求時，中斷訊號之準位必須維持  $2 * 1/tclk$  時間以上。

### 3.2.2.5 DAC/ADC 模組簡介

吾人所建立之 MIMO-OFDM 系統，利用外接之八通道 DAC (圖二十七)/ADC (圖二十八) 模組，做為訊號之類比和數位間轉換。其主要部分包含八顆 DAC/ADC 晶片、工作時脈源、4 組資料匯流排和八個輸出/輸入埠，分述如下：

- (1) DAC/ADC 晶片：分別為 DAS825E/ADC900u。
- (2) 工作時脈源：包含 JP1、JP2 及 JP10 三組 jumper 之設定(表四)。
- (3) 資料匯流排：透過 Aptix Explorer™ 之虛擬腳位功能，接收從 FPGA 模組所送出之訊號。

此外，DAC 模組之輸出埠包含編號為 R219 ~ R226 八個電阻，當 DAC 模組之輸出埠和 ADC 模組之輸入埠相連結時，其電阻值為 0.1 歐姆；但若和輸入阻抗為 50 歐姆之儀相連結時，則必須置換為 50 歐姆之電阻，以避免因阻抗不匹配而產生能量衰減的問題。

### 3.3 第一年執行成果

本年度(九一年度)已完成下列事項:

- (1) 完成『B3G 寬頻分碼多重接取(B3G WCDMA)高速下鏈收發系統』之智慧型軟體無線電通訊系統架構及演算法研究規劃。
- (2) 完成『B3G 寬頻分碼多重接取(B3G WCDMA)高速下鏈收發系統』之智慧型軟體無線電通訊系統架構及演算法之系統模擬。
- (3) 完成『可程式化設計之快速雜型通訊系統』之軟體無線電發展平台細部架構規劃與設計，並建置相關功能模組，例如 Aptix MP3 發展系統、FPGA 及 DSP 等。
- (4) 開始進行於 FPGA 及 DSP(利用 VHDL 與/或 C 程式)執行之演算法與介面連結驗證測試等相關工作。
- (5) 依照系統需求規劃，與各子計畫共同訂定『軟體無線電發展平台』與子計畫之介面規範。

## 四、結論

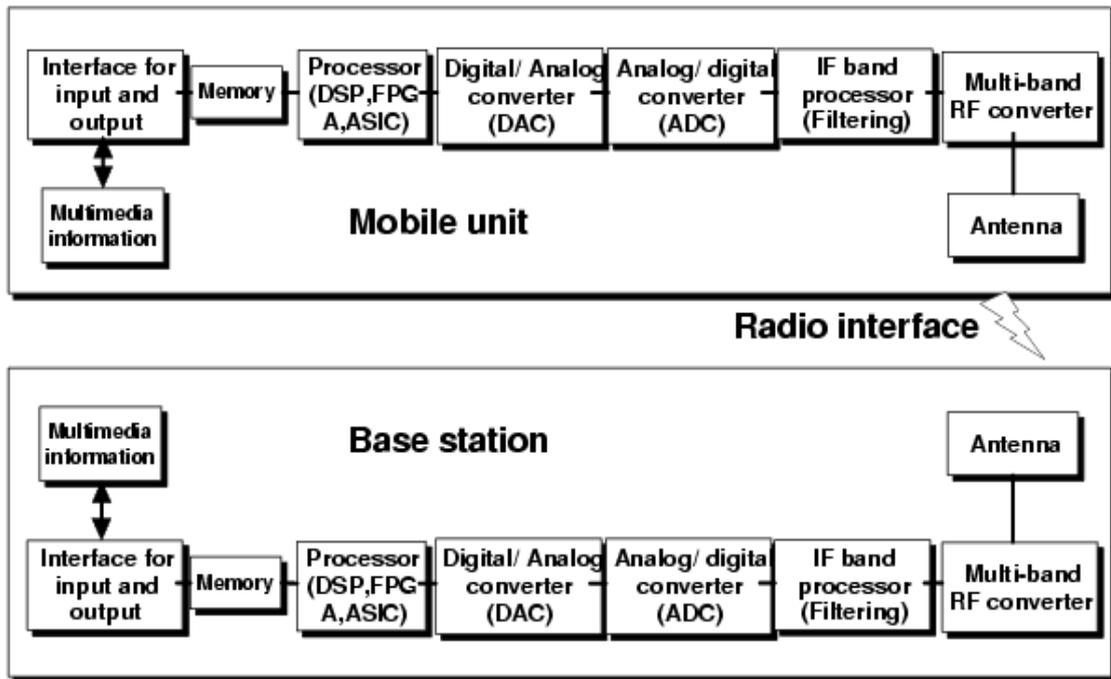
吾人藉由 Aptix<sup>®</sup> System Explorer MP3C 可重組平台整合 FPGA 及 DSP 模組，做為基頻訊號之處理單元。在 FPGA 部分，利用其高執行效率、低耗電量及可程式化之特性，實現功能單純及運算繁複之電路，如時序同步電路、自動頻率控制電路，並在硬體實現過程中，將電路予以模組化設計，以利於未來系統之擴充及縮短開發時程。另外，配合 DSP 之高速運算能力及使用 C 語言為開發工具之環境，將系統之編碼及空-時區塊編碼功能予以參數化設計，以因應在不同環境下可迅速切換至不同工作模式而達穩定傳輸之目標。因此，配合 FPGA 模組化及 DSP 參數化設計，藉以加速系統之開發並增加其可適性，以具體展現『B3G 寬頻分碼多重接取(B3G WCDMA)高速下鏈收發系統』之智慧型軟體無線電通訊系統架構及演算邏輯。

除此之外，本計畫已成功地驗證 Aptix<sup>®</sup> System Explorer MP3C 之全系統效能，並具體考量 FPGA 及 DSP 之硬體限制與運算能力，在有限的 FPGA 電路面積及 DSP 運算時間內完成系統功能配當分析，有效進行系統優化設計。經實體驗證結果顯示，吾人所建立之平台均能達到計畫所釐定之預期成果與目標；故本年度研究成果與技術能量，將可做為第二年發展智慧型無線通訊系統之基礎。

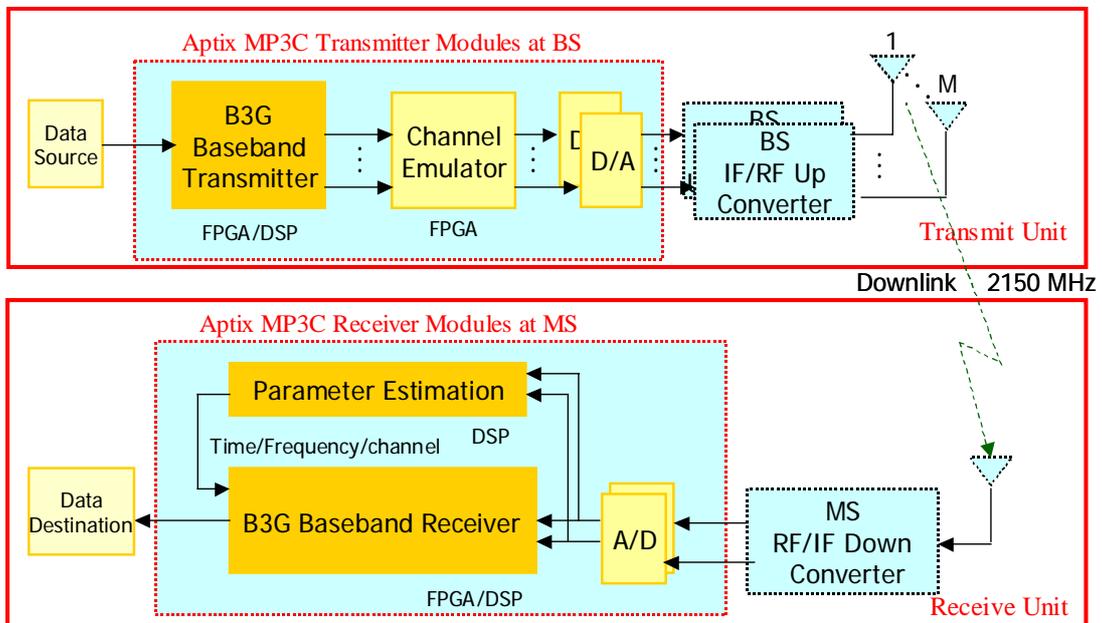
## 五、參考文獻

- [1] R. Kohno, "Structures and theoris of software antennas for software defined radio," *IEICE Trans. Commun.*, pp. 1189-1199, June 2000.
- [2] P. Neira, "Smart antennas in software radio base stations," *IEEE Communications Magazine*, pp. 166-173, Feb. 2001.
- [3] J. Razavilar, "Software radio architecture with smart antennas: a tutorial on algorithms and complexity," *IEEE Journal on Selected Areas in Communications*, pp. 662-676, Apr. 1999.
- [4] 3GPP, "Physical layer aspects of UTRA high speed downlink packet access," tech. spec. TR 25.848 V4.0.0, Mar. 2001.
- [5] J. R. Fonollosa, R. Gaspa, X. Mestre, A. Pages, M. Heikkila, J. P. Kermoal, L. Schumacher, A. Pollard and J. Ylitalo, "The IST METRA project," *IEEE Commun. Mag.*, vol. 40, no. 7, pp. 78-86, July 2002.
- [6] Dalia Lashin and Barry Cisneros, *System Explorer MP3C Reference Guide*, Aptix Inc., 1999.
- [7] 國家晶片系統設計中心, *Xilinx (PC)*, July 2000.
- [8] Chao-Yao Huang, "DSP and FPGA realization of timing and frequency of synchronizers for W-CDMA space-time receiver", NCTU, MS Thesis, June 2002.
- [9] Taxes Instrument, *TMS320C6701 FLOATING-POINT DIGITAL SIGNAL PROCESSING*, sprs067e, May 2001.
- [10] Taxes Instrument, *TMS320C6000 Peripherals Reference Guide*, spru190d, February 2001.

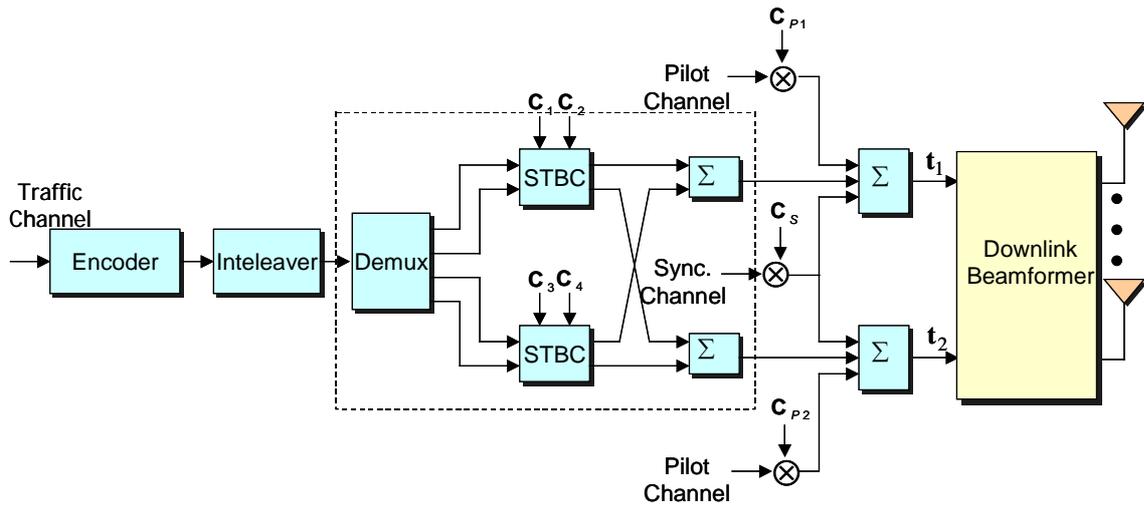
## 六、圖表



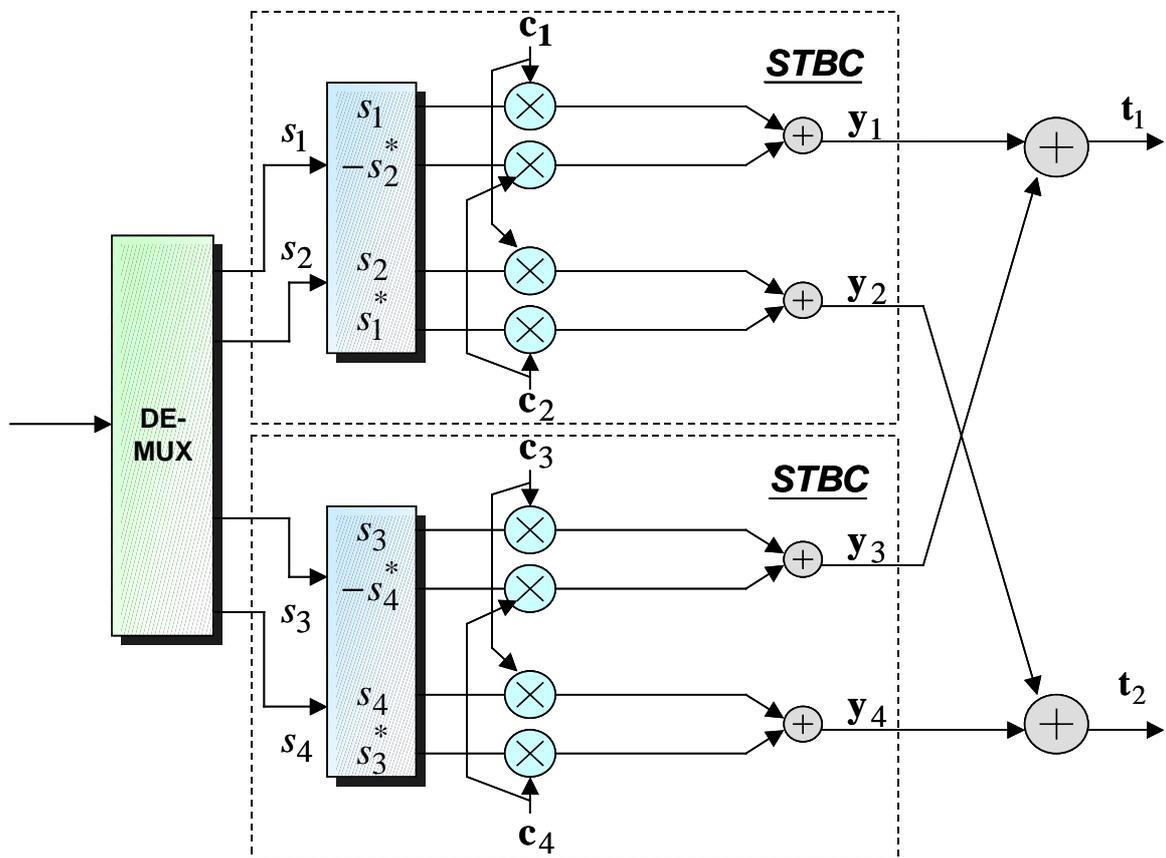
圖一、SDR 軟體無線電通訊系統基本架構圖



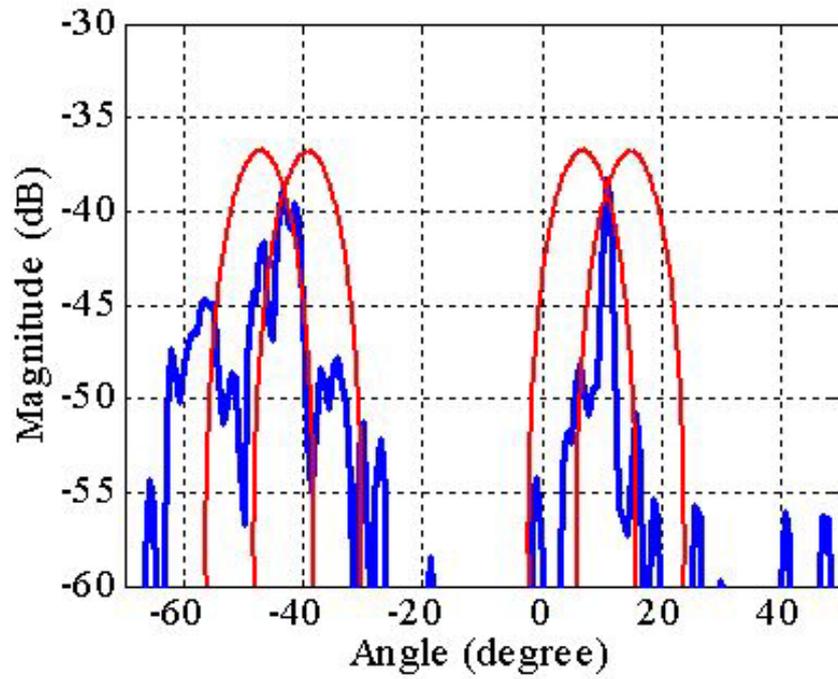
圖二、B3G 寬頻分碼多重接取(WCDMA)高速下鏈收發系統



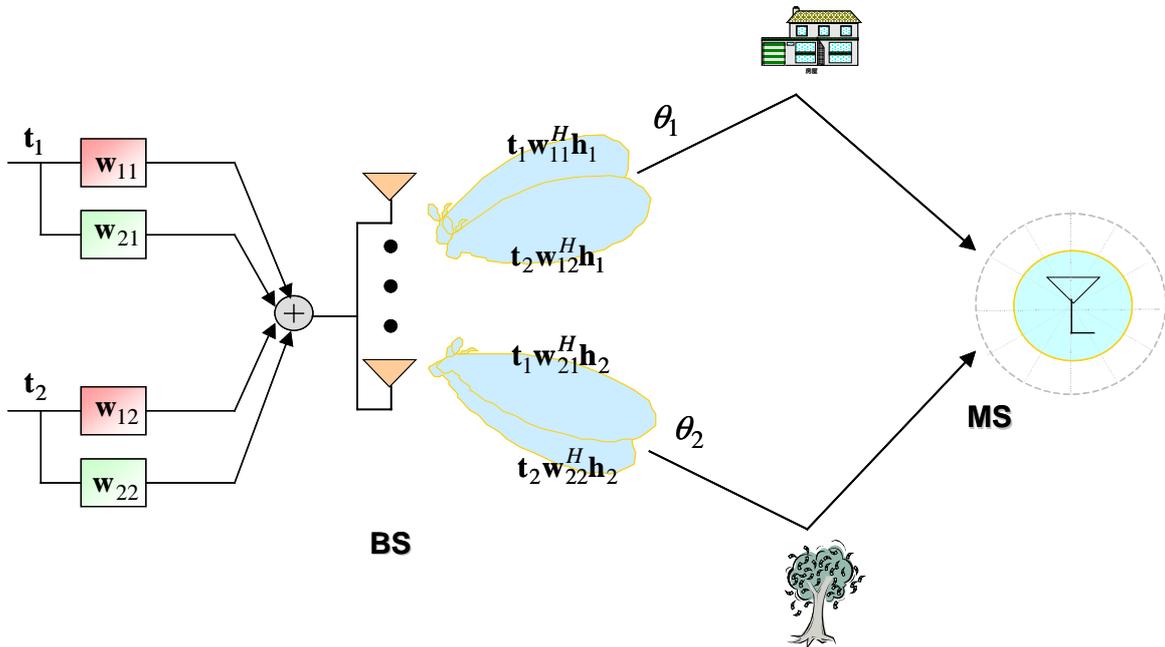
圖三、B3G WCDMA 無線通訊下鏈路基地台(BS)基頻發射系統方塊圖



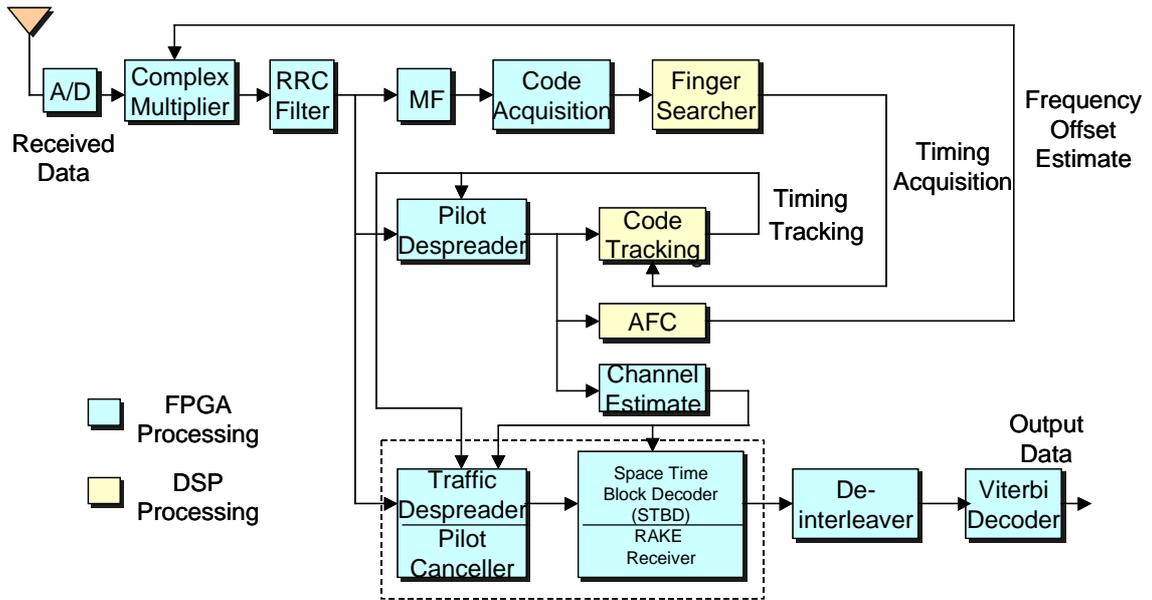
圖四、STBC 細部方塊圖



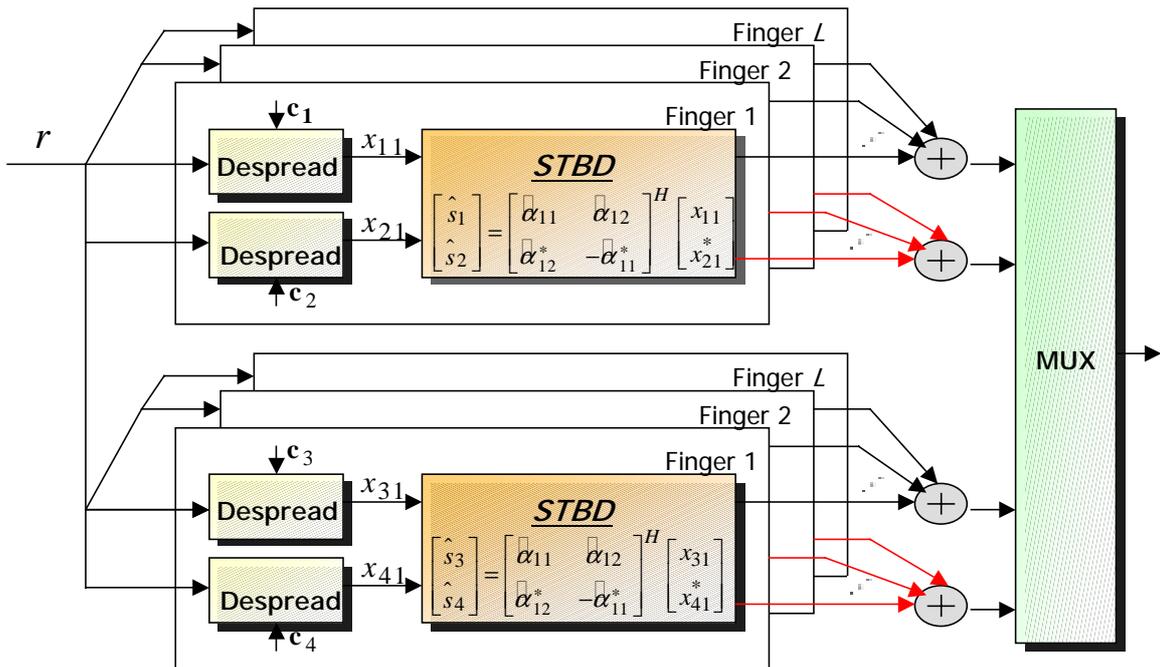
圖五、Beamspace beamforming 示意圖



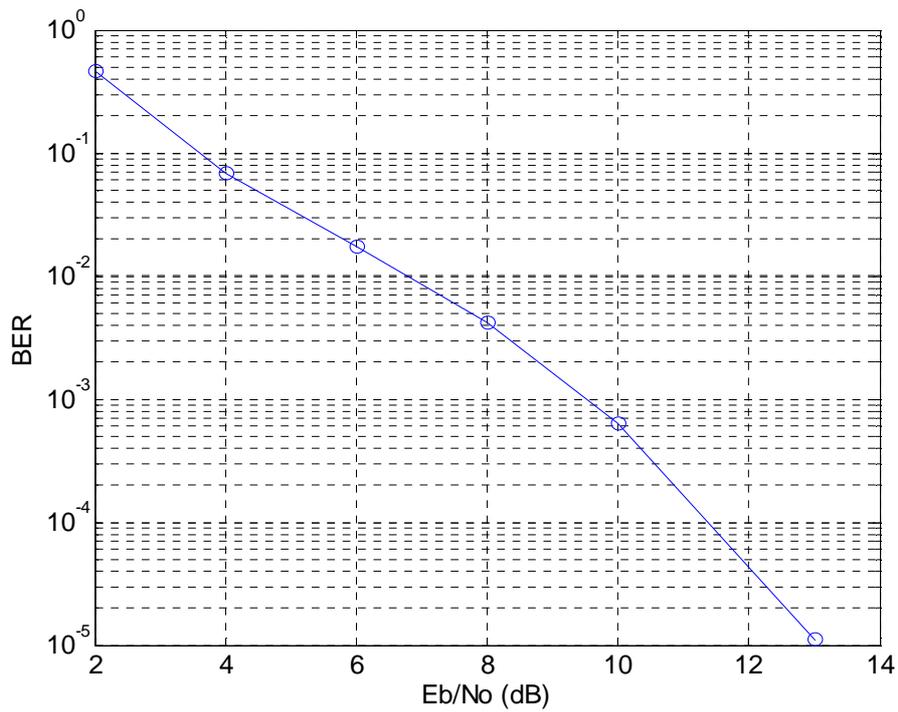
圖六、B3G WCDMA 無線通訊下鏈全系統示意圖



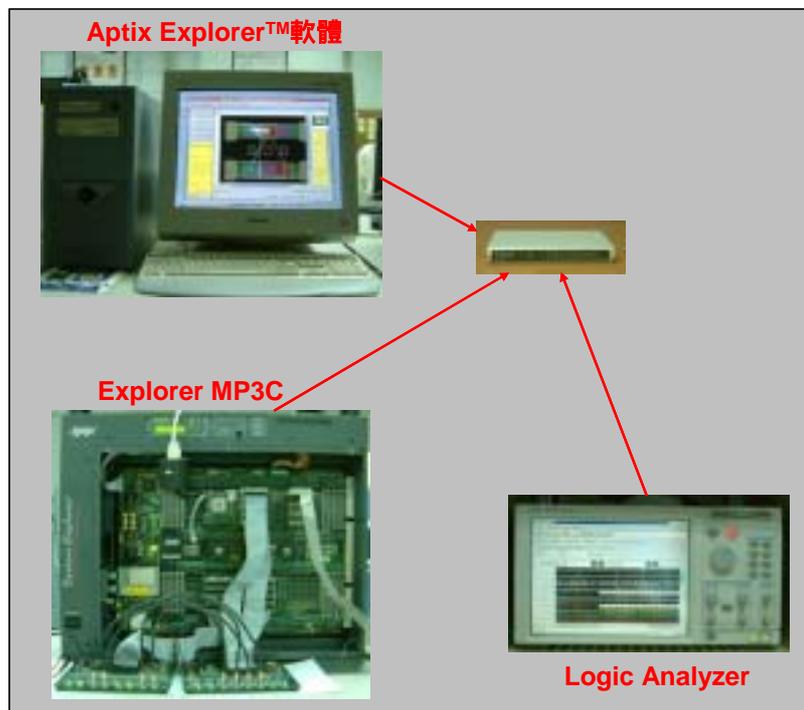
圖七、B3G WCDMA 無線通訊下鏈路用戶台(MS)基頻接收系統方塊圖



圖八、STBD 細部方塊圖



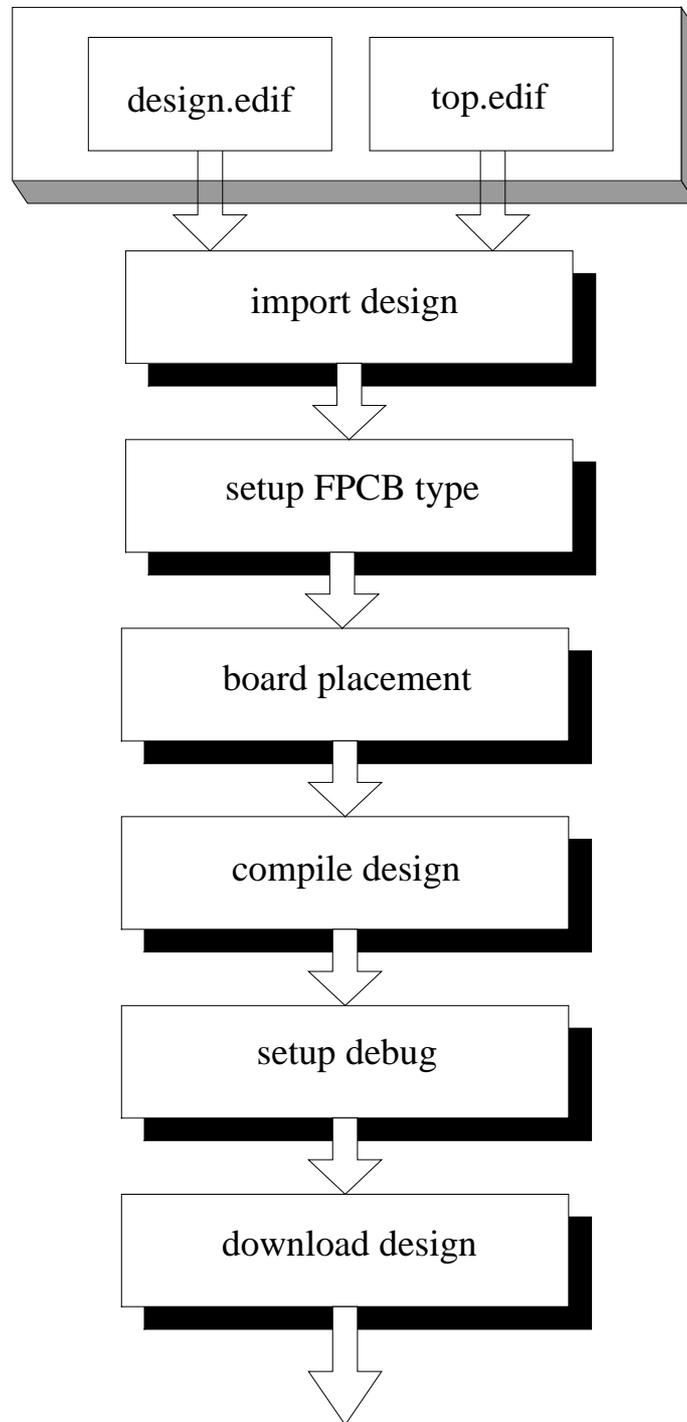
圖九、B3G 寬頻分碼多重接取(WCDMA)高速下鏈收發系統全系統模擬圖



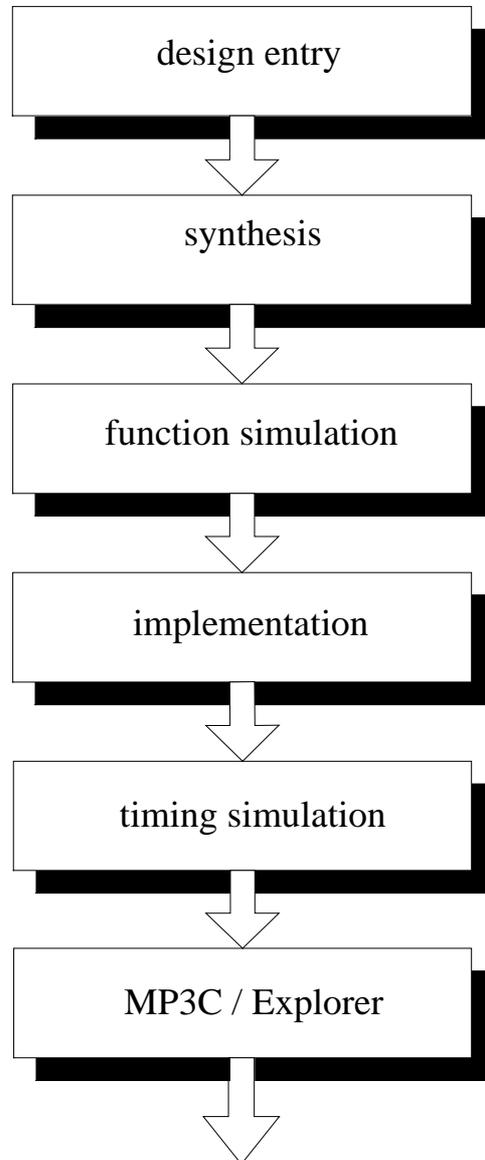
圖十、Aptix MP3C 系統架構環境示意圖



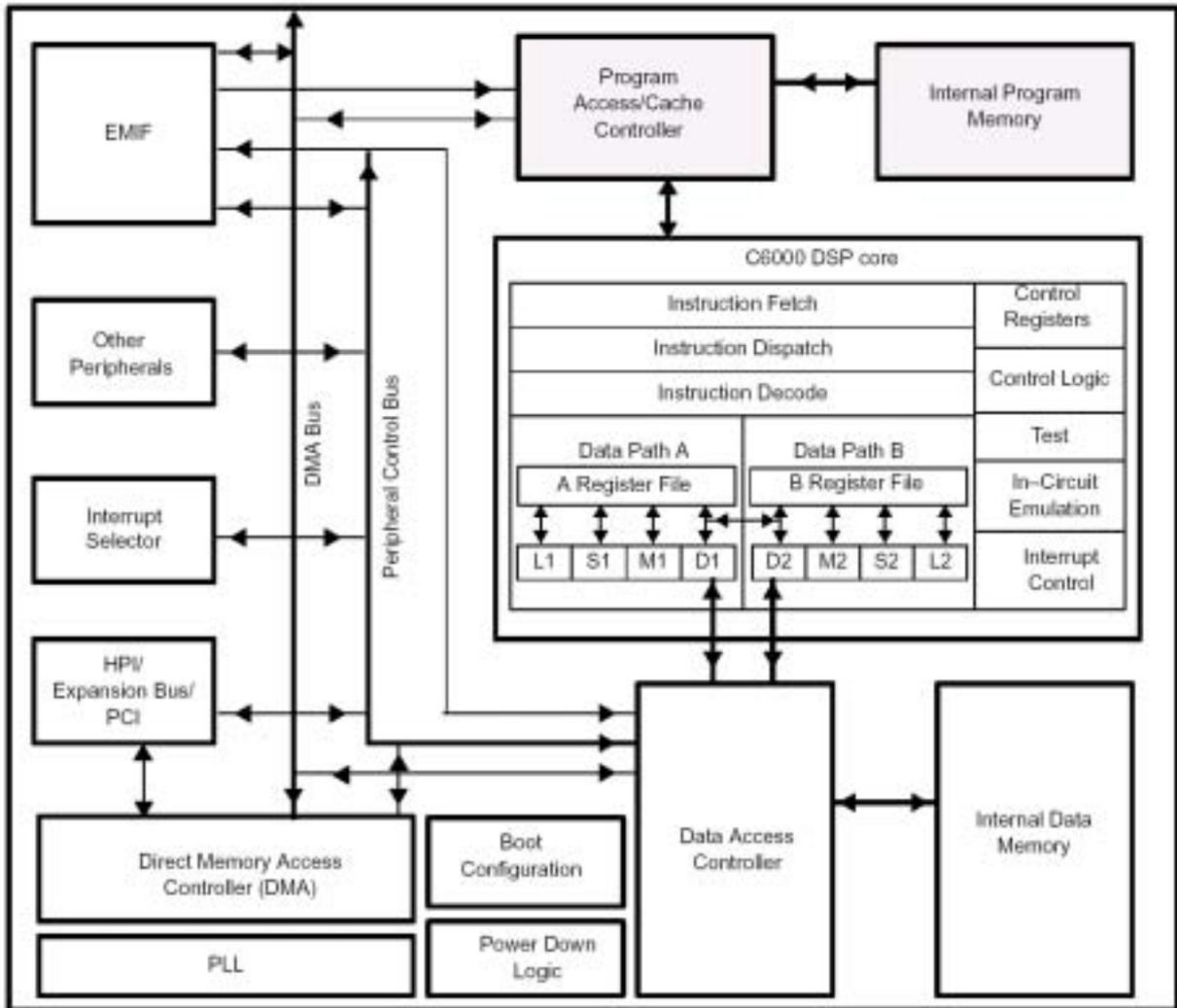
圖十一、Aptix MP3C 快速雛型發展系統



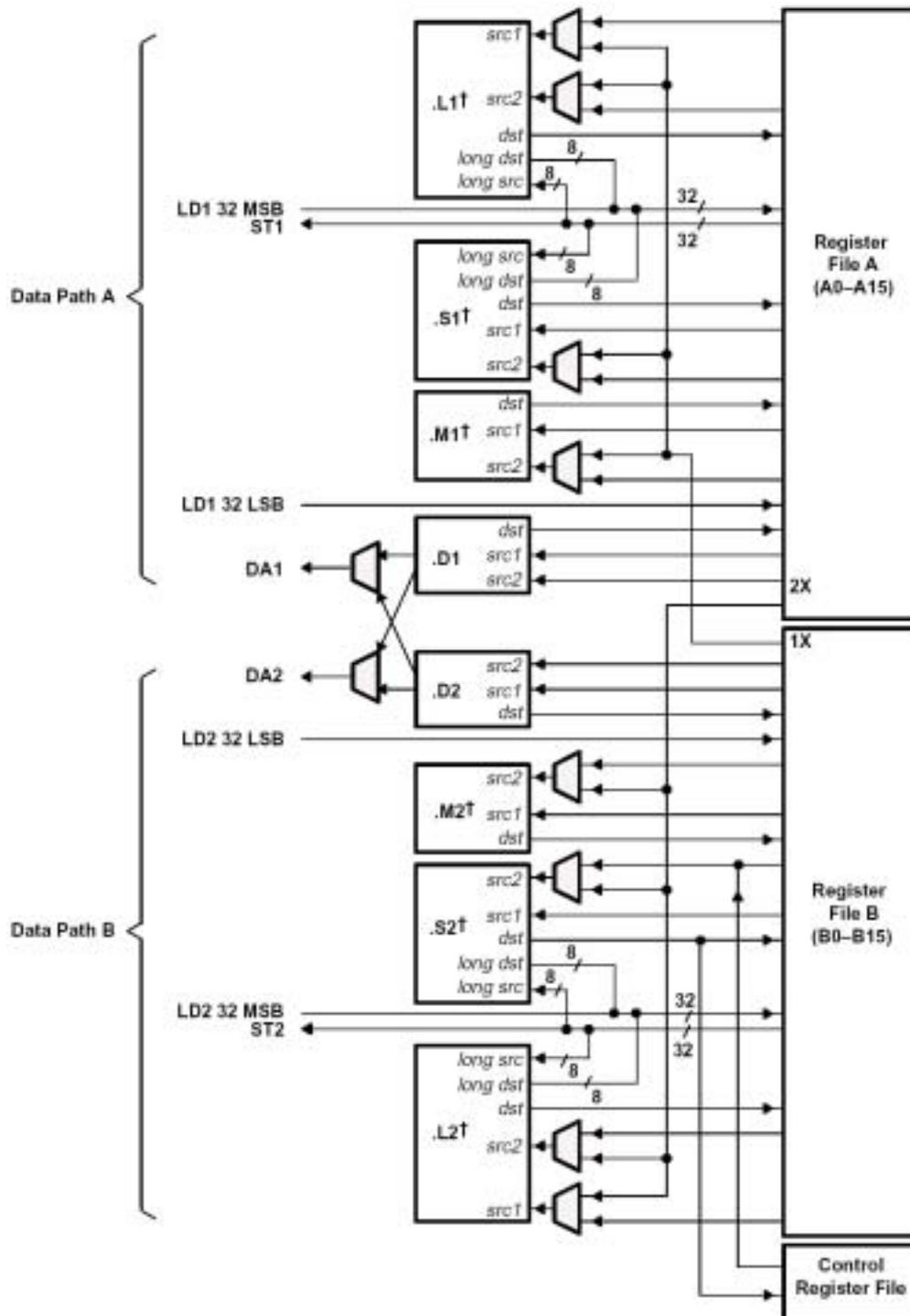
圖十二、Explorer 設計流程



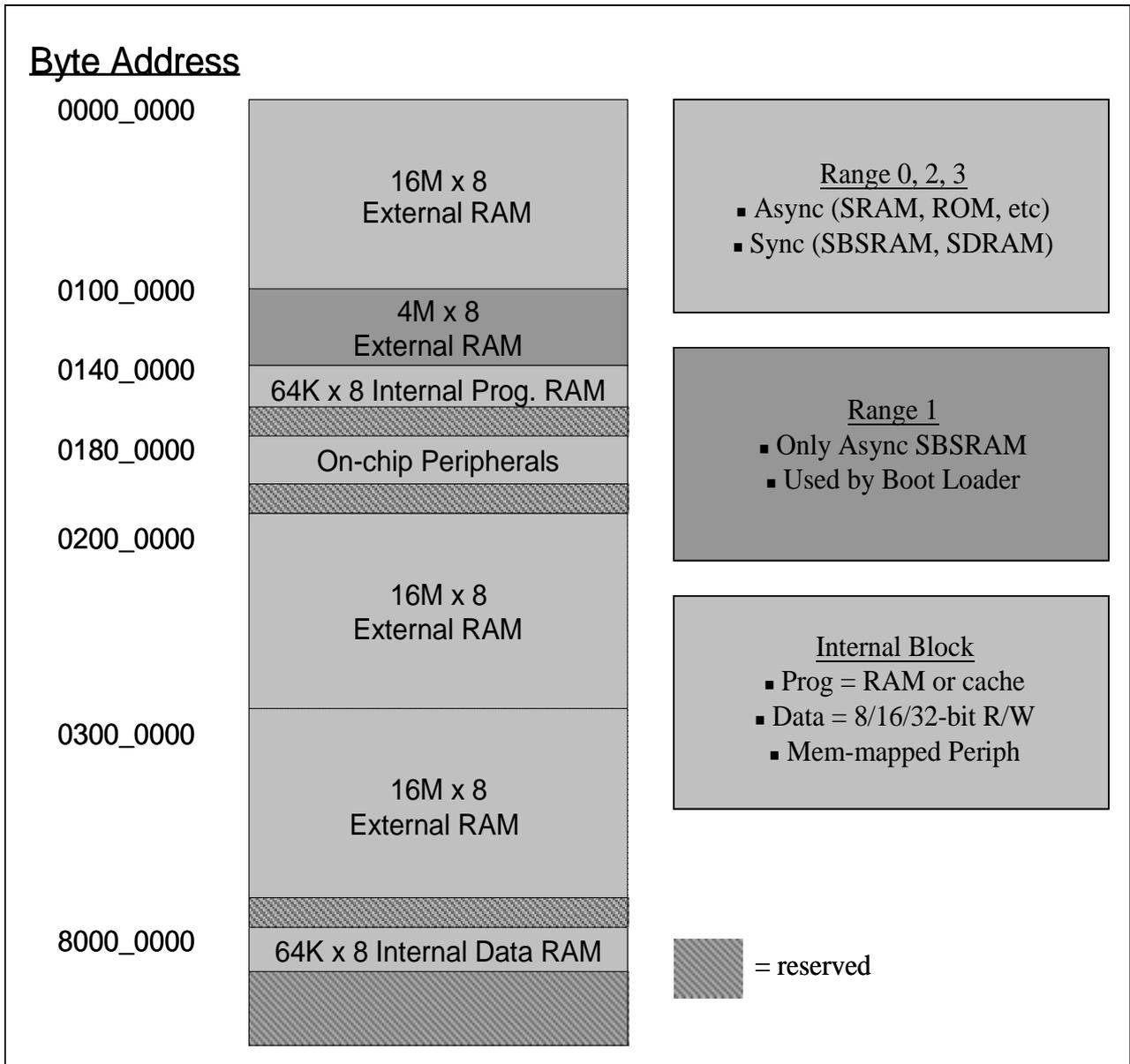
圖十三、FPGA 設計流程



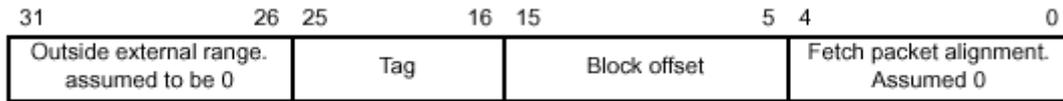
圖十四、TMS320C6701 結構方塊圖



圖十五、TMS320C6701 CPU 結構圖



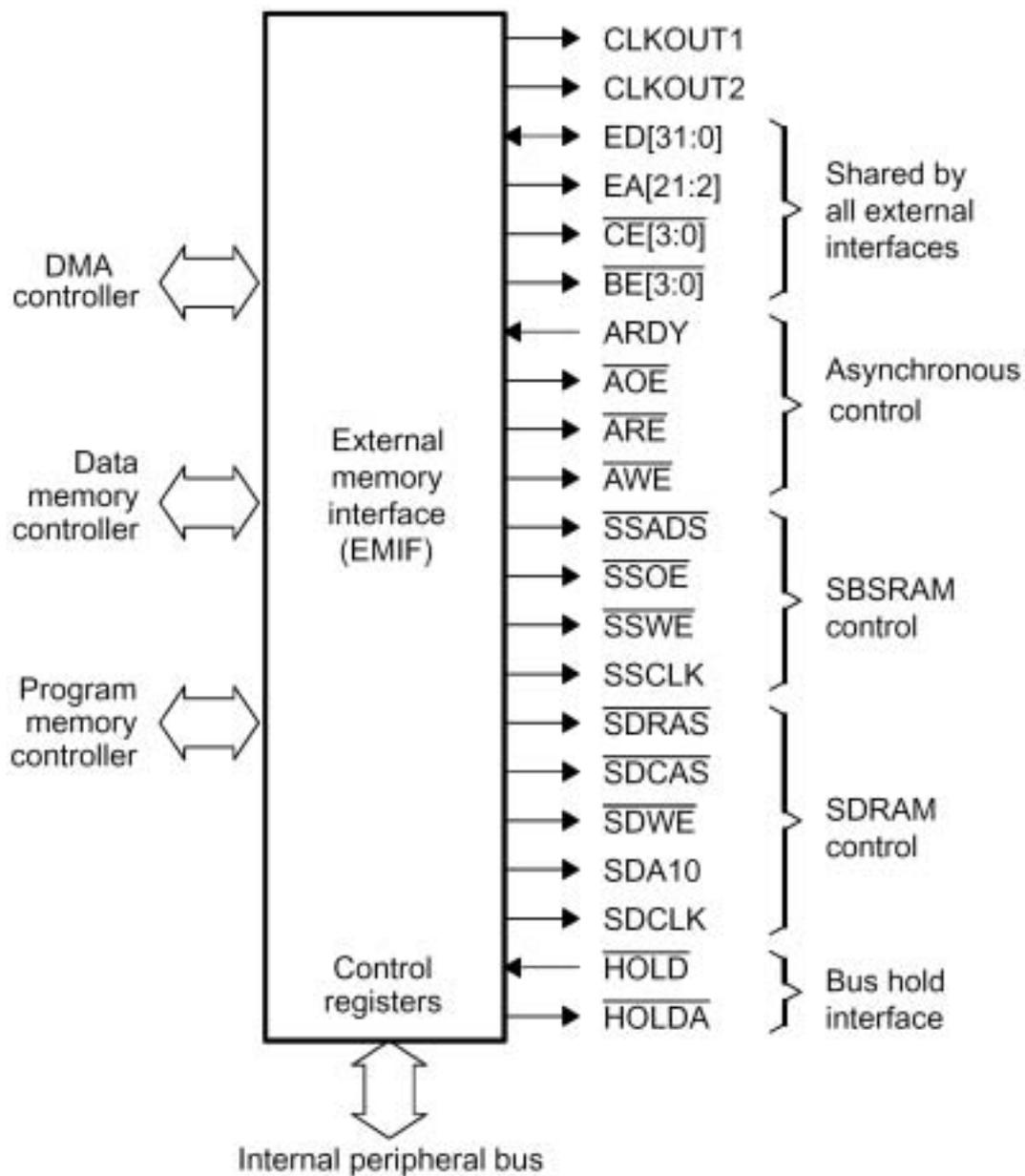
圖十六、TMS320C6701 DSP 記憶體映射圖



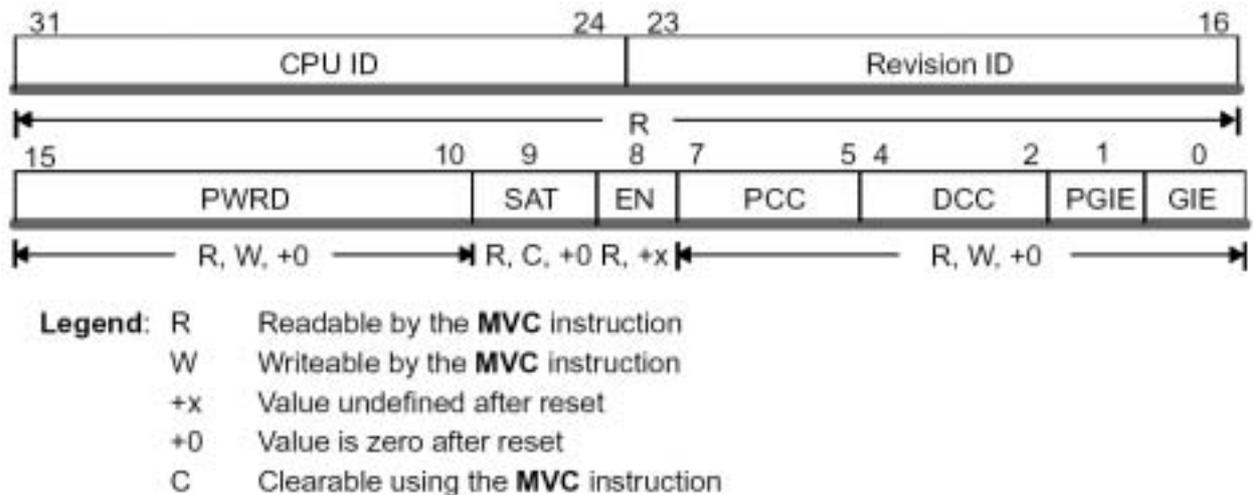
圖十七、TMS320C6701 DSP 快取記憶體之邏輯映射圖

	Bank 0		Bank 1		Bank 2		Bank 3	
First address (Block 0)	80000000	80000001	80000002	80000003	80000004	80000005	80000006	80000007
Last address (Block 0)	80007FF0	80007FF1	80007FF2	80007FF3	80007FF4	80007FF5	80007FF6	80007FF7
	Bank 4		Bank 5		Bank 6		Bank 7	
First address (Block 0)	80000008	80000009	8000000A	8000000B	8000000C	8000000D	8000000E	8000000F
Last address (Block 0)	80007FF8	80007FF9	80007FFA	80007FFB	80007FFC	80007FFD	80007FFE	80007FFF
	Bank 0		Bank 1		Bank 2		Bank 3	
First address (Block 1)	80008000	80008001	80008002	80008003	80008004	80008005	80008006	80008007
Last address (Block 1)	8000FFF0	8000FFF1	8000FFF2	8000FFF3	8000FFF4	8000FFF5	8000FFF6	8000FFF7
	Bank 4		Bank 5		Bank 6		Bank 7	
First address (Block 1)	80008008	80008009	8000800A	8000800B	8000800C	8000800D	8000800E	8000800F
Last address (Block 1)	8000FFF8	8000FFF9	8000FFFA	8000FFFB	8000FFFC	8000FFFD	8000FFFE	8000FFFF

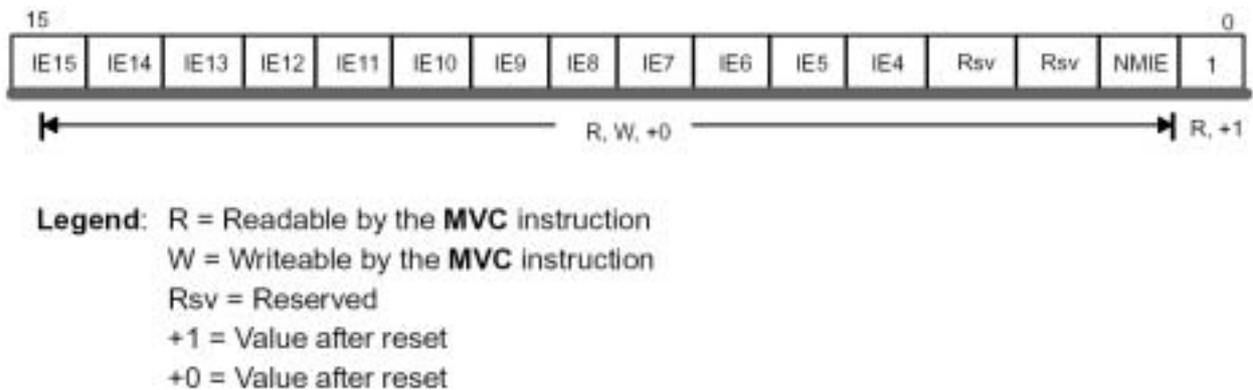
圖十八、TMS320C6701 DSP 資料記憶體之映射圖



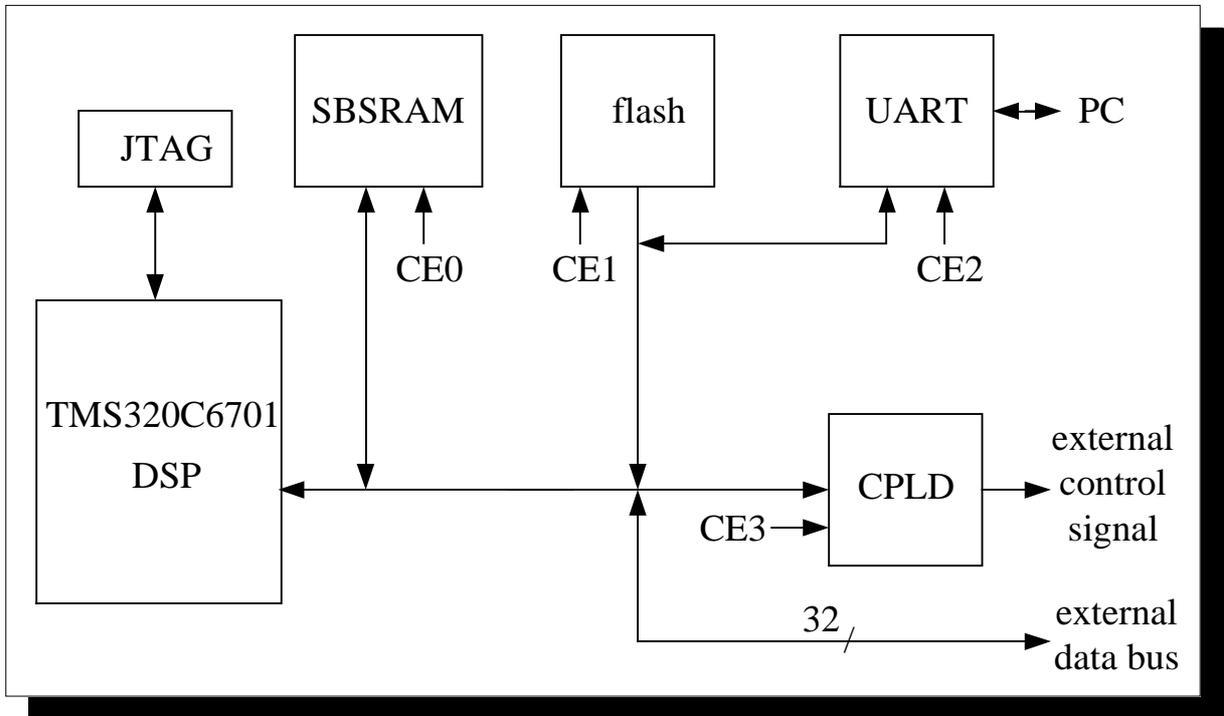
圖十九、TMS320C6701 EMIF 示意圖



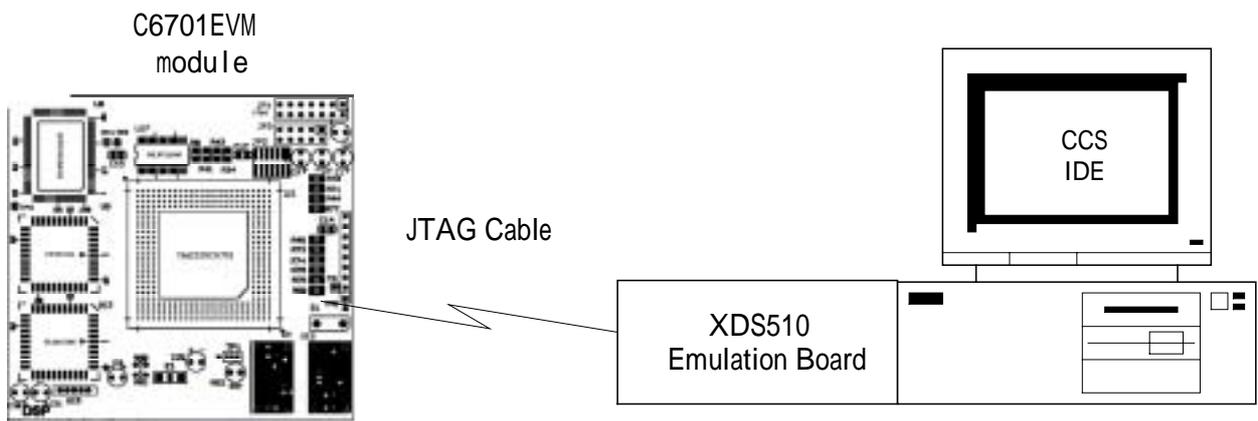
圖二十、MS320C6701 控制狀態暫存器



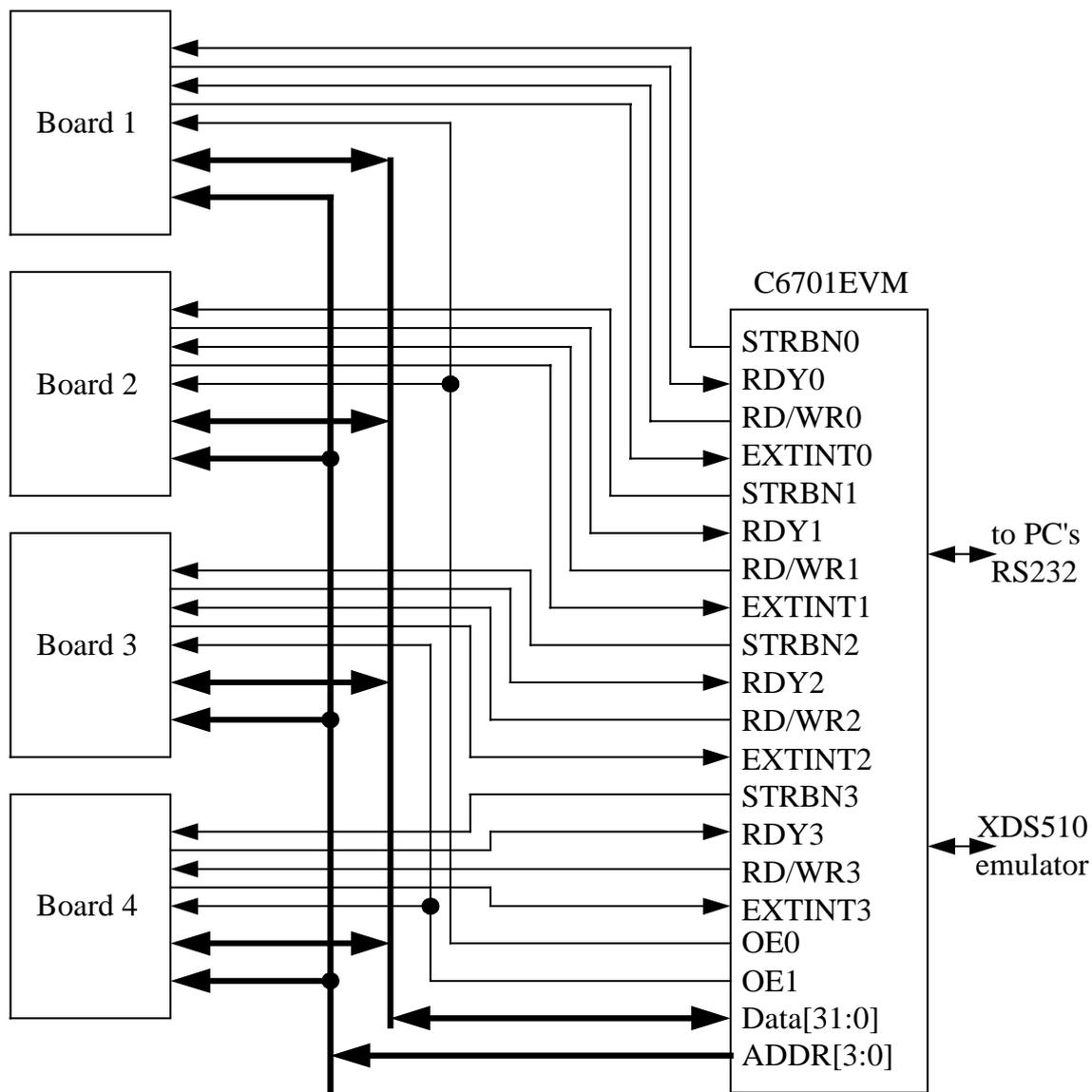
圖二十一、TMS320C6701 中斷致能暫存器



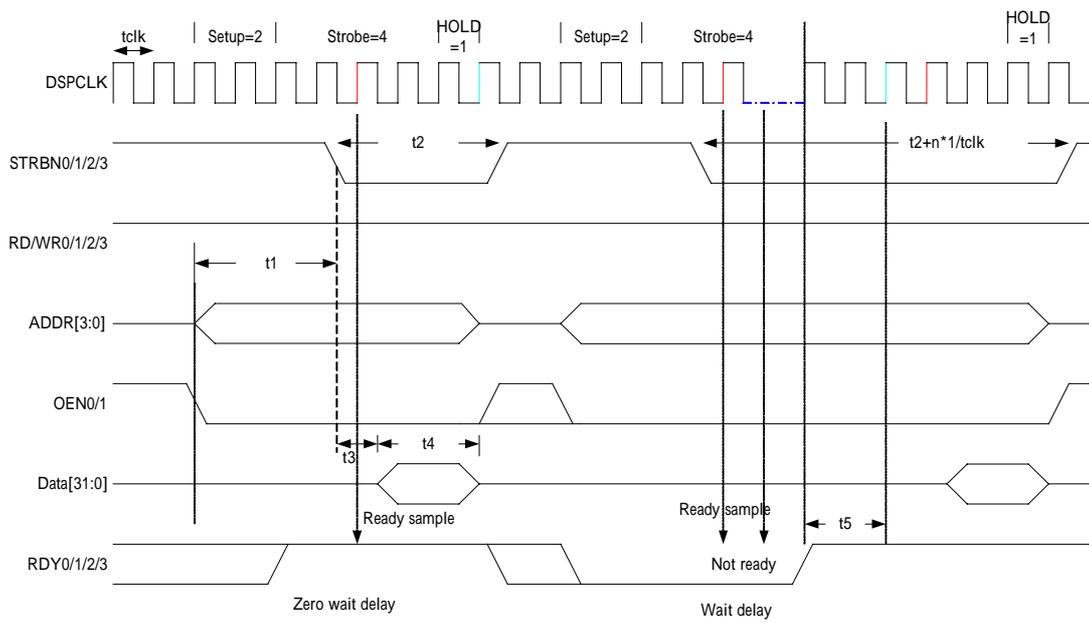
圖二十二、C6701 DSP EVM 模組架構圖



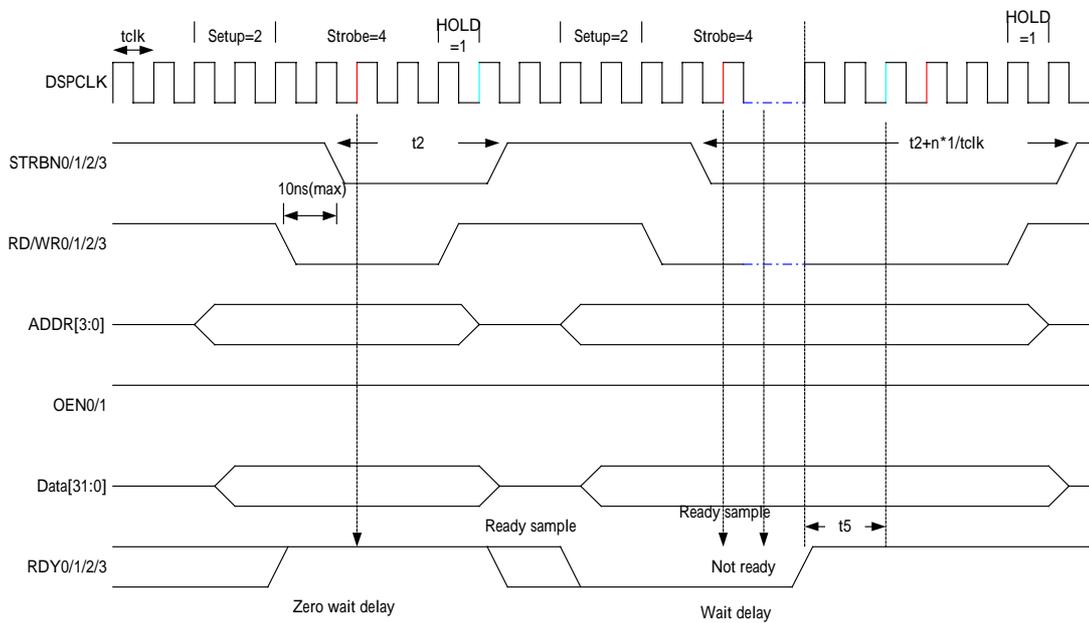
圖二十三、6701 DSP EVM 模組開發環境示意圖



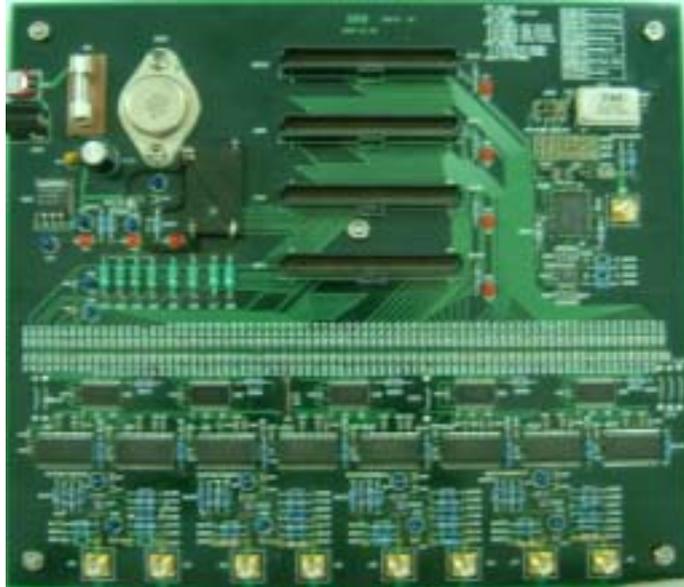
圖二十四、C6701 EVM 模組與外部介面模組連線圖



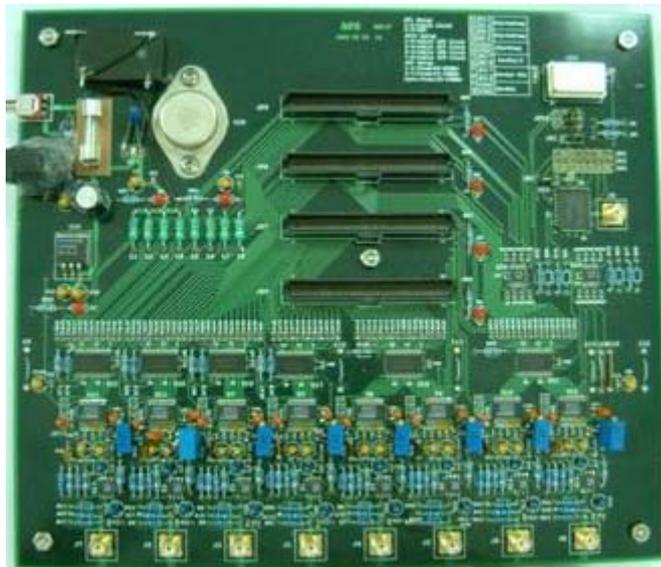
圖二十五、C6701 EVM 模組讀取時序圖



圖二十六、C6701 EVM 模組寫出時序圖



圖二十七、DAC 模組



圖二十八、ADC 模組

表一、B3G WCDMA 無線通訊下鏈路系統模擬參數表

System Parameters	
No. of Antennas	8
Beam Angles	0.0354°, 12.4646°, -24.2054°, -36.6346°
Data Rate	480 Kbps
Modulation	QPSK
Measured Channel Response	2 fingers
Dedicated Channels	Sync, Pilot and Traffic
Mode	STBC
Coding Rate	1/2
Traffic Spreading Factor	32
Pilot Spreading Factor	256
No. of Spreading Codes	4

表二、TTL 邏輯準位

TTL 邏輯準位				
VOL	VOH	VIL	VIH	電源
0.4 Volt	2.4 Volt	0.8 Volt	2.0 Volt	5 Volt

表三、DSP EVM 模組記憶體映射表

Address Range (Hex)	Size (Byte)	Description	
		MAP 0	MAP 1
0000 0000 – 0003 FFFF		External memory SRAM CE0 256K Bytes	Internal program RAM 64K Bytes
0040 0000 – 0003 FFFF			External memory SRAM CE0 256K Bytes
0100 0000 – 0101 FFFF		External memory FLASH CE1 128K Bytes	
0140 0000–0141 FFFF		Internal program RAM 64K Bytes	External memory FLASH CE1 128K Bytes
0180 0000 01FF FFFF		DSP internal control register	
0210 0000–0210 001C	32	UART (Only use low byte for each word)	
0300 0000-0300 003F	32	All board disable	
0300 0040-0300 007F	64	Board 1 active area	
0300 0080-0300 00BF	64	Board 2 active area	
0300 00C0-0300 0FFF		Not use	
0300 0100-0300 013F	64	Board 3 active area	
0300 0140-0300 01FF		Not use	
0300 0200-0300 023F	64	Board 4 active area	

表四、DAC/ADC 工作時脈源之腳位設定

JP1 Setup		JP2 Setup		Jp10 Setup	
1-2	cable clock	1-2	40 ~ 80 MHz	1-2	Cable JP6 clock
2-3	OSC	2-3	15 ~ 30 MHz	3-4	Cable JP7 clock
		Open	25 ~ 50 MHz	5-6	Cable JP8 clock
				7-8	Cable JP9 clock