

行政院國家科學委員會專題研究計畫 期中精簡報告

新世代鐵電非揮發性記憶元件(2/3)

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-009-066-

執行期間：91年08月01日至92年07月31日

執行單位：國立交通大學電子工程學系

計畫主持人：曾俊元

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 5 月 7 日

新世代鐵電非揮發性記憶元件(2/3)

期中成果報告

國科會計劃編號

(NSC 91-2215-E009-066)

主持人:曾俊元

一、中文摘要

本報告是探討使用鉑-鉍酸鋇鈦-氮化矽-P型(100)方向矽在金屬-鐵電薄膜-絕緣層-半導體的堆疊閘極結構上電性性質。為了在低電壓操作下具有足夠大的記憶視窗，使用三種不同厚度的氮化矽分別為 3.5、2 和 0.9 奈米。從電容-電壓的量測中，0.9 奈米的氮化矽結構在 5 伏特來回偏壓下有 0.8 伏特的記憶視窗大小並且也擁有優異的疲勞測試表現和兩個小時以上的可靠度持有時間。

二、英文摘要

This report is to investigate the electrical properties of the metal-ferroelectric-insulator-silicon (MFIS) structures with stacked gate configuration of Pt/SrBi₂Ta₂O₉(SBT)/Si₃N₄/p-Si(100). In an attempt to operate at low voltage with sufficient large memory window, various ultra thin Si₃N₄ buffer layers in thickness of 3.5, 2, and 0.9 nm were employed. From the results of C-V measurements, the memory window can be as large as 0.8 V at the bias amplitude of 5 V for the sample with 0.9 nm thick Si_xN_y buffer layer. Excellent fatigue-free performance with up to 10¹⁰ read/write cycles and good retention time of >2h has been obtained.

三、結果與討論

本計畫是利用化學方法(SBT)薄膜，P-型(100)方向矽晶片先用 RCA 方法清洗之後在晶片上使用低壓化學氣相沉積法成長 0.9、2 和 3.5 奈米 (nm)不同厚度的氮化矽絕緣體(Si₃N₄)，其中 0.9 nm 是通氮氣 (NH₃)加熱至 800°C 直接進行氮化(Nitridation)；另兩個厚度是通氮氣和二氯矽烷(SiH₂Cl₂)加熱至 780 °C 沉積。接著利用金屬有機分解技術(Metal Organic Decomposition-MOD)旋塗 SBT 六次到 245 nm 的厚度大小，其中旋塗 SBT 每次都必須經過 150°C 和 400°C 兩段的溫度熱解； SBT 薄膜在製備完之後僅需使用一分鐘在氧氣氛下以不同溫

度的快速升溫回火來結晶。為了量測 SBT 的電性，使用金屬遮罩來成長厚 100 nm 直徑分別為 150、250 和 350 微米(μm)的鉑(Pt)上電極；最後用蒸鍍來沉積 500 nm 的背電極鋁(Al)。所有的電性包括電容-電壓(C-V)、電流密度-電場(J-E)、疲勞測試(fatigue)以及持有時間(retention time)分別是使用電容電感電阻分析儀(HP4284A LCR meter)、半導體參數分析儀(HP4156A)和波形產生器(HP8110)來量測。

圖一顯示這個金屬-鐵電膜-絕緣膜-半導體(MFIS)的電容結構的 C-V 特性，其中 SBT 的回火溫度為 750°C 、C-V 的量測頻率為 100 kHz 而電壓是從正 5V 到負 5V 然後反掃回來。可以清楚的從圖中發現 C-V 的磁滯曲線是順時鐘方向，這是表示 C-V 的曲線分開是由於 SBT 鐵電膜的兩個不同極化方向所造成的而不是由注射電荷效應(injection charge effect)所影響的。不同的 Si_3N_4 絕緣層厚度(0.9nm、2nm 和 3.5nm)的 MFIS 電容的磁滯視窗寬度分別為 0.8V、0.5V 和 0.6V。圖中在 MFIS 空乏區電容值快速的改變代表矽和氮化矽的表面有好的介面特性而且氮化比沉積的氮化矽有更好的記憶視窗。

圖二是不同的回火溫度和氮化矽厚度對 MFIS 結構的漏電流的影響，在回火溫度分別為 700、750 和 800°C 時在電場為 200 kV/cm MFIS 結構漏電流為 1.8×10^{-8} 、 2.5×10^{-8} 和 $8.5 \times 10^{-8} \text{ A/cm}^2$ ；而厚度為 0.9nm、2nm 和 3.5nm 在相同 200 kV/cm 的電場下為 2.5×10^{-8} 、 7.7×10^{-8} ，and $3.6 \times 10^{-8} \text{ A/cm}^2$ 。漏電流隨著溫度升高增加這是因為在高溫有較大的晶粒大小，較大的晶粒會在 SBT 和氮化矽介面形成較粗糙的表面而在區域性上增加電場導致更大的漏電流產生。而不同厚度下可看到氮化的氮化矽即使厚度最薄但有較低的漏電流推測是氮化下氮化矽有較緻密的和較平滑的表面；然而另兩個厚度的現象在較厚的有較低的漏電流這是跟平常絕緣層厚度的電性現象一致。

圖三是持有時間和疲勞測試這兩個可靠度測試，MFIS 電容的持有時間是加偏壓正負 5V 的振幅大小然後在每 20 分鐘讀取 0.5V 下的電容值直到 2 個小時。從這個走勢發現持有時間和 MFIS 的漏電流有強烈關係，所以 0.9 nm 氮化矽的

MFIS 有較低的漏電流所以有較好的持有時間特性。MFIS 電容的疲勞測試則是量 0.5V 下的累積和空乏電容值和正負 5V 電壓反轉次數的關係，其中反轉的頻率是 1 MHz 而我們可看到 MFIS 的 SBT 薄膜到 10^{10} 反轉次數都有良好的疲勞性質。

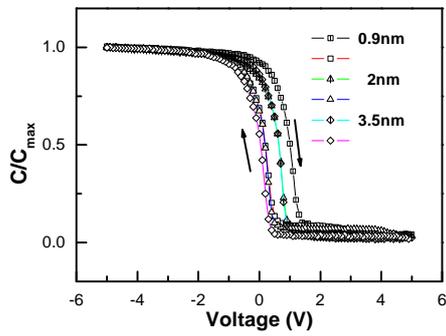


圖 1 MFIS 結構的電容-電壓對不同氮化矽厚度之關係圖

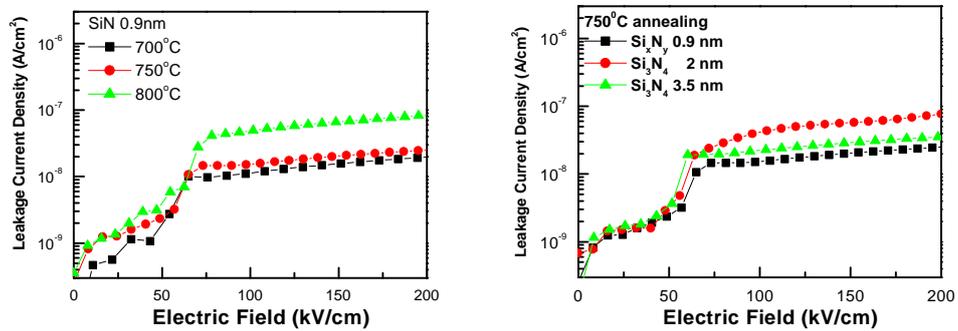
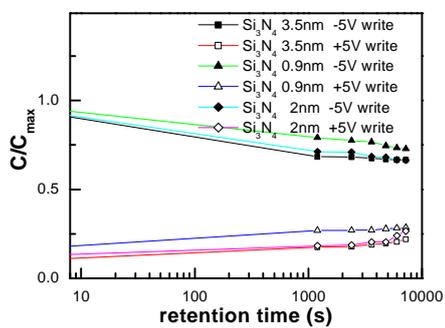


圖 2 MFIS 結構的漏電流-電場對不同回火溫度和氮化矽厚度之關係圖



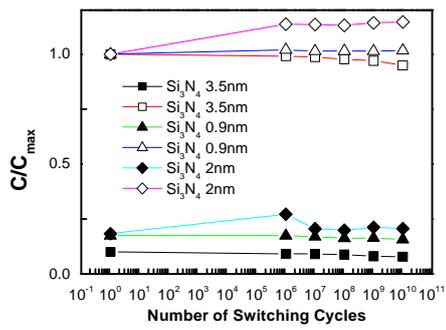


圖 3 MFIS 結構的可靠度測試

四、結論

在 MFIS 結構的製作，所得記憶視窗和漏電流，會因不同 SBT 的回火溫度及氮化矽的厚度而有不同的結果，本計畫執行至今經過多次實驗已尋找出最佳的 SBT 製程條件，並且發現再加上適當厚度的氮化矽，可以得到可靠度良好的 MFIS 電容結構。

五、參考文獻

- [1] Jin-Ping Han and T. P. Ma, Appl. Phys. Lett. 72 (1998) 1185
- [2] Minoru Noda, Yoshinori Mstsumudo, Hideki Sugiyama, and Masanori Okuyama, Jpn. J. Appl. Phys., 38 (1999) pp. 2275-2280
- [3] Kyu-Jeong Choi, Woong-Chul Shin, Jung-Hwan Yang, and Soon-Gil Yoon, Appl. Phys. Lett. 75 (1999) 722
- [4] Takeshi Yamaguchi, Masato Koyama, Akira Takashima, and Shin-ichi Takagi, Jpn. J. Appl. Phys., 39 (2000) pp. 2058-2062