

行政院國家科學委員會專題研究計畫 成果報告

總計畫：單晶片無線多媒體資訊家電之設計與製作

計畫類別：整合型計畫

計畫編號：NSC91-2218-E-009-001-

執行期間：91年08月01日至92年10月31日

執行單位：國立交通大學資訊科學學系

計畫主持人：張瑞川

共同主持人：溫瓊岸，蔣迪豪，李鎮宜，陳伯寧

計畫參與人員：楊晏昇

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 92 年 10 月 20 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

單晶片無線多媒體資訊家電之設計與製作

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 91-2218-E-009-001

執行期間：89年8月1日至92年7月31日

計畫主持人：張瑞川

共同主持人：陳伯寧、李鎮宜、溫瓌岸、蔣迪豪

計畫參與人員：楊晏昇

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學資訊科學學系、電子工程學系、電信工程學系

中 華 民 國 92 年 10 月 15 日

摘要

隨著後 PC 時代的來臨，3C 的整合是未來發展的潮流，在本整合計畫中，我們將發展具備高速無線通訊存取能力的多媒體系統單晶片。

首先，為了支援無所不在的資訊存取，我們整合無線網路於系統晶片上，並將速度由目前的 2Mbps 提升到 11Mbps 以因應對頻寬的需求。同時，在可預見的將來，無線網路的承載內容將不只是語音資料，也將包含數位多媒體，因此，我們也將發展具容錯能力的 MPEG-4 視訊編解碼系統。最後，我們研究及實作以唯讀記憶體為基礎的 Linux 核心，並將重組 Linux 成為模組化以適應不同系統單晶片之系統需求。

關鍵詞：系統單晶片；嵌入式系統；MPEG-4；無線網路

Abstract

With the coming of post-PC age, the integration of 3C (Computer, Communication, and Consumer Electronics) is the trend of future. The goal of this integrated project is to develop a multimedia SoC with high-speed wireless communication access ability.

At first, in order to support ubiquitous information access, wireless access ability is integrated into the SoC and the communication speed is upgraded from 2Mbps to 11Mbps to accommodate the urgent demand on bandwidth. Besides, the content of wireless network will be not only voice data, but also digital multimedia in the near future. Therefore, we develop a fault-tolerant MPEG-4 encoder/decoder system. Finally, we research and develop a ROM-based Linux kernel and modulize it to fit into various requirements of different SoCs.

Keywords : Systems on Chip ; Embedded System ; MPEG-4 ; Wireless Network

目錄

摘要.....	II
Abstract.....	III
計畫之背景及目的.....	1
研究方法.....	9
結果與討論.....	10
參考文獻.....	12
計畫成果自評.....	14

計畫之背景及目的

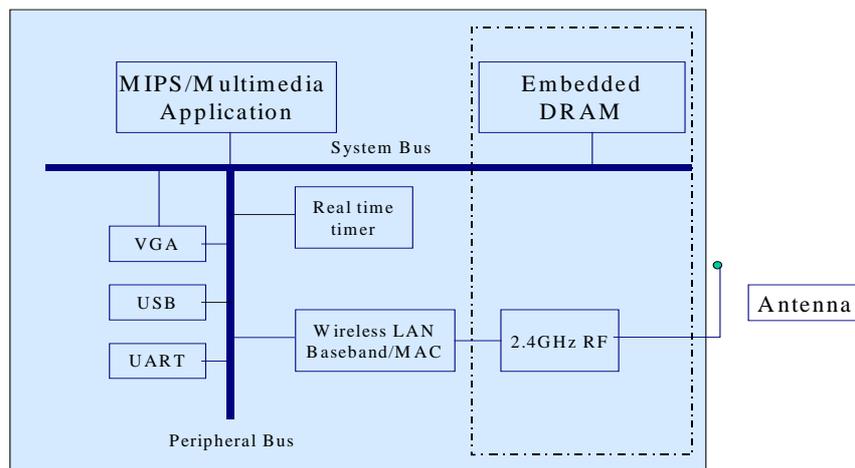
近年來，由於半導體電路及製程技術的持續進步以及網際網路的快速發展，使得結合電腦、通訊與消費電子(Computer, Communication and Consumer Electronics)的 3C 技術正快速整合成為進入 21 世紀最重要的新興科技與產業。根據國科會「3C 整合技術研究規劃」3C 整合應用趨勢之主要內涵，有下列數項：資訊數位化、設備家電化、網路聚合、人機介面，無所不在的資訊存取環境以及無線接取(wireless access)。

此外，由於積體電路技術已進入 0.18 微米製程，數以百萬計的電晶體可放入同一晶片行程完整的系統單晶片(System-on-a chip)。根據 Dataquest 預測從 1998 起到 2002 年，SoC 的市場規模將以 127% 的驚人幅度持續成長，且這樣的成長主要是落在電腦通訊及消費電子產品上，所以對我國資訊以及半導體業者來說，3C 整合的系統單晶片(SoC)的相關軟/硬體技術是未來研發的重點。

有鑑於此，本研究群結合交通大學具備電子、電信與資訊等領域專長的教授共同緊密合作，期能從事 3C 整合技術之研究。本研究群的目標是研究及實作無線網際網路接取(wireless internet access)能力的系統單晶片多媒體資訊家電。根據我們初步了解，目前國內資訊產業界設計資訊家電仍是以 PC 架構的 X86 CPU 為主，目前量產的資訊家電產品如 Settop-box 及 Thin Servers 等大都以 National Semiconductor 公司的 MediaGX 為主。National Semiconductor 公司亦於前幾月推出新一代的 IA SoC Geode，此 SoC 除了整合了 Pentium-class 的 CPU，傳統 PC 所需的晶片組外亦包含了 MPEG2 encoder/decoder。Philips 亦於 1999 年推出 TriMedia SoC，用於 Settop-box 及 Thin Clients，此晶片包含了 180MHz VLIW, RISC CPU 及處理 video compression 及 audio processing 的協同處理器。Motorola 則推出以 PowerRISC CPU 為主的 MPC 823，此系統單晶片

整合了 CPU 和 LAN，WAN 的功能，可用於 web phone 及 handheld communicators 等用途。Intel 亦推出以 StrongARM 為主的 SoC-SA-1100 和 SA-1101，此晶片組合除了整合了 32-bit StrongARM RISC CPU，Cache 及周邊設備控制晶片外還包含了 LCD controller 和 Video 處理功能。

我們認為在考慮省電和處理速度，未來 IA-on-Chip SoC 將以 RISC 晶片為主，但是需要適當的作業系統及應用程式配合。同時目前 SoC 尚未加無線網際網路接取(Wireless Access)功能。本研究群參與教授長期合作從事無線網路關鍵模組技術，嵌入式作業系統及 MPEG-4 多媒體系統技術，再配合國內產業界已有之 RISC CPU 如 MIPS/ARM 及周邊設備控制 IP，應可在三年內以國內 Fab 製程完成 Wireless Multimedia Information Appliance SoC 的相關軟/硬體技術及雛形系統。預計完成之 SoC 如圖一所示，將包括 11Mbps Wireless LAN Baseband/MAC，2.4GHz RF Front End，以 Linux 為基礎的 Embedded 作業系統，適用於無線傳輸的 MPEG-4 多媒體系統；以及整合智原公司擬提供之 RISC CPU IP 和周邊設備如 VGA，USB 及 UART 等 IP，而成一系統單晶片系統。



(圖一)

圖一中的虛線部分包括 Embedded DRAM 和 RF CMOS IP 的整合工作將遵照構想書評審委員建議，視三年後 CIC 可提供之製程技術的情況

再行考量。

本「3C 整合科技」研究計劃其研究項目符合國科會「3C 整合規劃」研究重點二：Media Processing Technology on SoC Project，研究重點三：Digital Consumer Network and Transmission，研究重點五：Real Time Operating System(Linux based software IP and component for 3C integration applications)和研究重點六 SoC Design for 3C System。

各子計劃的分工和研究方向如下：

(1) 子計劃一 應用於系統單晶片嵌入式 Linux 作業系統之實作

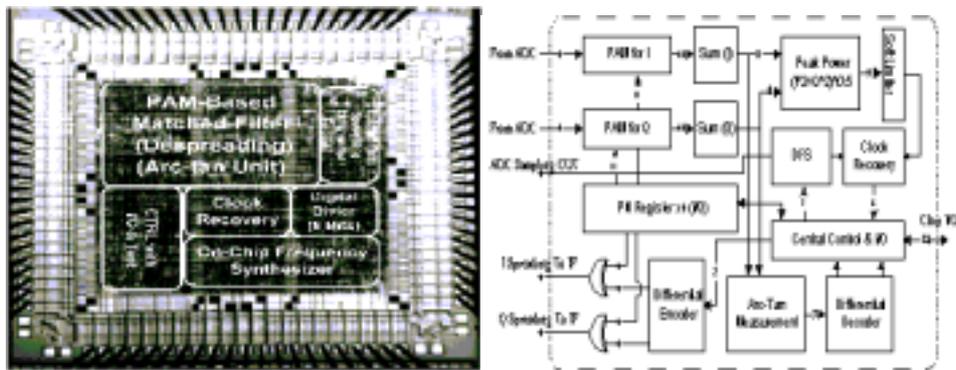
由資訊科學系張瑞川教授負責；此計畫的目標為將目前日漸受到重視的 Linux 作業系統重新模組化，以及 SoC 環境下使用，預計將重新設計 Linux 核心的主要部分包括 ROM-based Kernel，記憶體管理系統，Execution-In-place、Flash based file system、Micro Window System、Micro Browser 以及 SoC Power Management 系統等。此外我們也將加強嵌入式系統軟體與晶片設計共同發展(co-design)和測試除錯功能，以適應 SoC 發展所需。本計劃亦將配合總計劃進行系統整合與測試。

(2) 子計劃二 高速無線數據存取控制與基頻收發積體電路模組整合設計

由電信工程系陳伯寧教授與電子工程系李鎮宜教授負責；此三年子計畫的目標，主要是探討高速無線網路的存取控制與基頻收發電路模組設計和製作，進而結合其他子計畫的研究成果，探討單晶片實現的可行性和整合的相關研究議

題。

隨著無線通訊市場的與日遽增和可攜式 3C 應用系統的普及化，高速無線傳輸成為一必然的趨勢，目前無線區域網路所採用的技術，以直接序列展頻通訊 (DSSS) 和跳頻 (FH) 為主，並以 ISM2.4G 頻帶，為其傳輸媒介，以 DSSS 而言，目前標準所制訂的傳輸速率為 2Mbps，然而由於和有線乙太網路的傳輸率 (10/100Mbps) 仍有一段差距，且價格亦高出好幾倍，因此不易為現有市場所接受。目前新一代高傳輸率 (5.5/11Mbps) 的標準，已於 1999 年第二季定案，採用 Intersil (原 Harris) 和 Lucent 所推的互補碼 Complementary Code Keying (CCK) 為調變/解調的技術。而至於正交分頻多工 (OFDM) 的技術，則受限技術層面和頻譜的特性，目前則定位在 ISM5G 的頻帶。對於基頻收發器的電路設計，最重要的是同步和調變技術，在過去我們曾經以全數位的設計方法，完成 DSSS 的基頻電路設計，其傳輸率可達 4Mbps，如圖三所示，主要包含比對濾波器 (match filter)，頻率合成器 (digital frequency synthesizer)，時脈還原 (clock recovery)，調變/解調電路等，藉由全新的設計方法，我們提出了一 technology independent 的 DSSS 實現方案，同時發展出對於基頻電路實現的重要模組技術。而在研發的過程，我們也體會到基頻電路設計和其他子系統 (RF/IF、MAC) 等密不可分的關係，因而採用由上而下 (top-down) 高階模擬和系統劃分 (system partitioning)，對於系統的整合和子系統的實現，有非常大的助益。這些研發經驗和成果，將有助於本案所提的研究議題和內容，尤其在同步電路的設計。對於提升資料傳輸速率，我們將以 CCK/OFDM 的調變方式為研究主軸，探討其實現的方式，並和其他的方式作比較，尤其是對於在有限頻寬下 (e.g. 17.5MHz, or 85MHz)，如何達成億位元的傳輸率並且不影響前端電路的特性和實現 (如功率放大器 PA 之工作區間)。



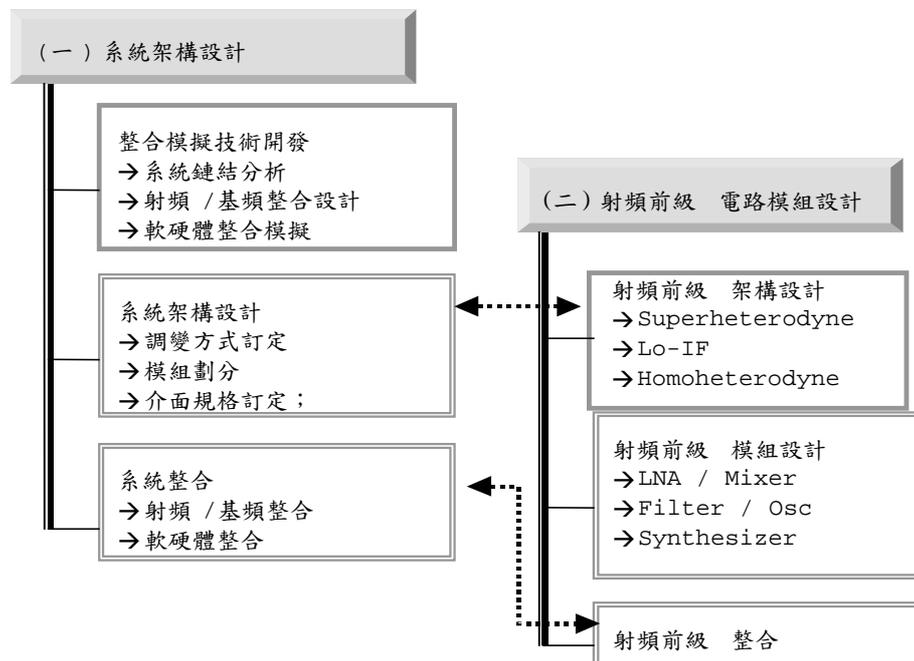
圖三：DSSS (a)基頻收發器架構圖和(b)晶片佈局。

另一方面，目前之無線數據網路規約——如 IEEE 802.11——的介質存取控制積體電路，多是以處理器為基礎設計，將大部份的介質多工存取層與實體層的標準，例如具碰撞避免功能的分立架構無線載波偵測多重存取 (CSMA/CA)，以嵌入碼 (Embedded Code) 的方式實現，例如以 80188 處理器為基礎的 AMD79C30 與 DSP 處理器為主軸的 HFA3841。這與乙太網路的介質存取控制積體電路所採用的，針對協定特定設計的方式，有著極大的不同。此種設計方式，固然有「韌體程式修改維護方便」與「Protocol 更新時，免除重新設計積體電路」的優點，卻也帶來了韌體運算速度受限於處理器速度，迫使在追求高速數據傳輸時必需採用高運算速度處理器來作為設計核心，相對的影響整體成本效益。更重要的是，「以處理器為核心之 MAC 模組設計」在與 Baseband 甚至 RF/IF 作單晶片整合時，將不易進行整體單晶片的系統模擬。所以我們將於此子計畫中，針對 IEEE 802.11 所規範的具碰撞避免功能的分立架構無線載波偵測多重存取，與需及時處理的控制框架 (Control Frame)——如 RTS/CTS 與 ACK，乃至於管理框架 (Management Frame) 的處理，設計一個專用的無線數據網路介質存取控制積體電路電路模組。並將包含「高速平行 CRC 線路架構」與「Double

Buffering 架構」，以達到高速傳輸目標。未來將與本子計畫之基頻訊號處理積體電路，乃至於子計畫一之模組，共同構成一 IP 以供未來整合入單晶片。

(3) 子計畫三 射頻傳收系統整合設計環境及技術建立

由電子工程系溫瓊岸教授負責；本子計畫目標包括本子計畫目標包括(一)高速無線網路(High-speed WLAN)電路整合模擬技術開發及系統架構設計 (二) 射頻前級(RF front end)電路模組設計。整合模擬技術開發部分包括系統鏈結分析、射頻/基頻整合設計及軟硬體整合模擬；系統架構設計部分則藉由整合模擬訂定系統架構，如調變方式、模組劃分及介面規格訂定；射頻前級電路設計包括架構設計及模組設計。計畫架構如下：



(4) 子計畫四 MPEG-4 在無線通訊下抗錯視訊編解碼系統之設計與製作

由電子工程系蔣迪豪教授負責；此計畫的主要目標為設計一個強韌而抗錯的 MPEG-4 視訊編碼系統。MPEG-4 視訊編解碼系統將建立於 Linux 作業平台以及 SoC 環境上。本子計畫年度目標包括(一) MPEG-4 視訊編解碼系統在 Linux 作業系統上之模擬與設計(二) MPEG-4 視訊編解碼系統在無線傳輸上強韌抗錯之模擬與設計。

無線通訊的普及化是未來的趨勢。目前數位無線通訊的技術正在蓬勃的發展中。現在無線網路的承載內容大都以語音為主。然而在可預見的將來，數位多媒體無線通訊的服務將成為主流產品。本計畫把發展一套抗錯編碼技術分解為兩個問題包括：

- (一) 探討在 Linux 作業系統下執行 MPEG-4 視訊編解碼: 如何在以 Embedded Linux 為基礎的環境下執行困難的視訊壓縮功能是技術上的一大挑戰。此時將假設無傳輸錯誤，主要在解決編解碼演算法軟體程式實現時之問題。
- (二) 探討在無線傳輸時強韌抗錯編解碼: 如何在位元有錯誤時補償視訊品質是一項困難的技術。MPEG-4 提供了一些編解碼的工具但並未指定如何使用。我們希望發展出一套符合標準規格且強韌之解碼演算法。

本子計畫成果的應用價值在可組合數位無線通訊之新標準規格 IEEE 802.11 及多媒體通訊標準 MPEG-4 而產生一極具有競爭力之先進無線通訊產品。其學術價值亦可從最近相關論文不斷發表於國際會議中可看出端倪。

總計劃將負責以 SDL 進行軟體共同設計 (Hardware/Software Co-Design) 建立 SoC 設計，驗證及測試流程，負責整合各子計劃研發之 IP 以及系統整合。

研究方法

首先我們將收集及研究國內外 SoC 設計及實作的技術資料及相關文獻，尤其是關於 Information Appliance 方面的設計經驗。

因為系統單晶片兼具硬體與軟體及數位和類比電路，其設計流程將比一般 ASIC 高出許多。傳統 ASIC 設計方法，流程與工具將需要作大幅的改變。在總計劃中我們將配合「國家晶片系統設計中心」System Level Integration(SLI)設計環境，並希望與我們長期合作的 Agilent EESof，Synopsys，Avanti 及 Cadence 等著名 EDA 公司共同建立設計流程，預計我們將以 Telelogic 之 SDL 工具進行硬體/軟體共同設計，Agilent ADS 做 RF front end 的設計，模擬 Synopsys 及 Cadence 公司的 EDA 工具進行數位電路部分的設計與實作。

我們希望在第一年於交大建立各子計劃所需設計與驗證工作流程，並以 SDL 進行系統需求規劃與硬體/軟體共同設計。我們也將配合交通大學已有之無線通訊實驗室，積體電路設計實驗室現有設備，建立及整合 SoC 測試實驗設備。

在第二年計劃，我們將與 CIC 及 EDA 公司合作建立 SoC 整體設計與驗證流程與工具。初步構想以 Behavior level 的 CPU Instruction Set Simulator 配合 RTL level 的 Simulation Tools 共同進行軟/硬體系統驗證。同時我們也將利用各子計劃第一年發展出的成果進行 board-level 的整合。

在第三年計劃，我們將整合各子計劃的 IP 與系統軟體進行 SoC 設計流程進行系統電路合成，physical design 和利用 CIC 所提供的晶片製作服務實際 tape-out SoC 晶片，並將製作系統電路板以進行軟/硬體 SoC 層次的驗證與整合。

結果與討論

在計畫第一年中，在硬體設備方面，我們配合交通大學已有之無線通訊實驗室，積體電路設計實驗室之現有設備，建立及整合 SoC 測試實驗設備。

在設計流程方面，我們建立了 Hardware/Software Co-Design 及 Co-Verification 的環境。在 Co-Design 方面，我們使用 Cadence 公司的 Virtual Components Codesign (VCC) 作為 system level 的設計工具。我們用 SDL 來描述 block 的 behavior，且用 VCC 進行 behavior level 及 performance level 的模擬。在 Co-Verification 方面，我們用 Mentor Graphics 公司的 Seamless Co-Verification Environment (Seamless CVE) 來做 Hardware/Software Co-Simulation。如此一來我們可以在 hardware prototype 出來之前就先驗證 software 與 hardware 整合後的系統之正確性。綜合來說，我們已經建立了各子計劃所需之設計與驗證工作流程。

在計畫第二年度，我們致力於建立 SoC 整體設計與驗證流程與工具。我們以 Behavior level 的 CPU Instruction Set Simulator 配合 RTL level 的 Simulation Tools 共同進行軟/硬體系統驗證。除此之外，我們也利用各子計劃在第一年發展出的成果進行 board-level 的整合與測試。整合測試最重要的一項工作就是元件間的溝通。由於子計畫二所發展出來的無線數據存取控制與基頻收發積體電路模組是屬於軟硬體共同設計。其中軟體是以 Embedded Linux/ARM (子計畫一) 為基礎的程式，所以其發展出來的硬體必須能夠以 ARM 的匯流排協定與處理器溝通，這樣才能達到軟硬體間互相溝通的目的。所以我們測試及調整軟硬體間的介面，直到能完全符合 ARM 的匯流排協定為止。在計畫第二年度結束前，無線數據存取控制模組的軟硬體部分已經經過整合及測試，證明可以正確無誤的收送資料。

在計畫的第三年度，我們著重於各子計畫 SOC 雛形平台的整合。我們將基頻收發積體電路模組與無線數據存取控制模組和軟體一起做整合測試。接著，我們也整合各子計劃的 IP 與系統軟體(Embedded Linux + MPEG4 Encoder/Decoder) 來進行整體的 SoC 設計流程。我們利用 ARM Integrator 平台做為我們的 SOC 雛形平台，在此平台上整合 Embedded Linux, MPEG-4 IP, WLAN MAC/Baseband 等 IP，並實際透過 point-to-point 的對接測試。經過驗證，我們的所有 IP 可以整合在同一 SOC 雛形平台上，並有可以接受的效能。

參考文獻

1. *The 1997 National Technology Roadmap for Semiconductors*, Semiconductor Industry Assoc., San Jose, Calif., 1997.
2. T. W. Albrecht, Johann Notbauer, and S. Rohringer, “HW/SW CoVerification Performance Estimation & Benchmark for a 24 Embedded RISC Core Design,” *Proc. ACM Conf. Design Automation*, 1998, pp. 808-811.
3. A. Balboni, W. Fornaciari, and D. Sciuto, “Co-synthesis and Co-simulation of Control-dominated Embedded Systems,” *Design Automation for Embedded System*, JUL 1996.
4. C. Berthet, G. Mas, F. Pogodalla, & STMicroelectronics, “Functional Verification Methodology of Chameleon Processor,” *33rd DAC*, 1996.
5. P. Chou, R. Ortega, K. Partridge, and G. Borriello, “IPCHINOOK: An Integrated IP-based Design Framework for Distributed Embedded Systems,” *Proc. ACM/IEEE Conf. Design Automation*, 1999, pp. 44-49.
6. M. Dalpasso, A. Bogliolo, and L. Benini, “Virtual Simulation of Distributed IP-Based Designs,” *Proc. ACM/IEEE Conf. Design Automation*, 1999, pp. 50-55.
7. W.E. Donath, “Placement and Average Interconnection Lengths of Computer Logic,” *IEEE Trans. Circuits and Systems*, Apr. 1979, pp. 272-277.
8. D. Edelstein et al., “Full Copper Wiring in a Sub-0.25 μm CMOS ULSI Technology,” *Proc. IEEE Int’l Electron Devices Meeting*, IEEE Press, Piscataway, N.J., 1997, pp. 773-776.
9. D. D. Gajski, “IP-Based Design Methodology,” *Proc. ACM/IEEE Conf. Design Automation*, 1999, pp. 43.
10. D. Geist, GBiran, T. Arons, M Slavkin, Y. Nustov, M.Farkas, K. Holtz, A. Long, D. King, and S. Barret, “A Methodology For the Verification of a ‘System on Chip,” *Proc. ACM/IEEE Conf. Design Automation*, 1999, pp. 574-579.
11. M. Genoe, “Requirements Capturing and Specification of System-on-Chip,” *MEDEA/ESPRIT conference on HW/SW codesign*, 1998.
12. S. P. Harbison, “System-Level Hardware/Software Trade-offs,” *Proc. ACM/IEEE Conf. Design Automation*, 1999, pp. 258-259.
13. C. Hu, “Gate Oxide Scaling Limits and Projection,” *Proc. IEEE Int’l Electron Devices Meeting*, IEEE Press, Piscataway, N.J., 1996, pp. 319-322.
14. Y.I. Ismail, E.G. Friedman, and J.L. Neves, “Figures of Merit to Characterize the Importance of On-Chip Inductance,” *Proc. Design Automation Conf.*, ACM Press, New York, 1998, pp. 560-565.
15. A. A. Jerraya, J. M. Daveau, and G. Marchioro, “Hardware/software Codesign of

- an ATM Network Interface Card: a Case Study,” *CODES/CASHE’99*.
16. D. Kirovski and M. Potkonjak, “Engineering Change: Methodology and Applications to Behavioral and System Synthesis,” *Proc. ACM/IEEE Conf. Design Automation*, 1999, pp. 604–609.
 17. J. Monaco, D. Holloway, and R. Raina, “Functional Verification Methodology for the PowerPC 604 Microprocessor,” *33rd DAC*, 1996.
 18. M. Miyamoto, T. Takeda, and T. Furusawa, “High-Speed and Low-Power Interconnect Technology for Sub-Quarter-Micron ASICs,” *IEEE Trans. Electron Devices*, Feb. 1997, pp. 250-256.
 19. P. Paulin, “A Flexible Hardware/Software Development Environment and its Application to Consumer Multimedia Products Design,” *CODES/CASHE’98*.
 20. G. A. Sai-Halasz, “Performance Trends in High-Performance Processors,” *Proc. IEEE*, Jan. 1995, pp. 20-36.
 21. D. Stepner, N. Rajan, and D. Hui, “Embedded Application Design Using a Real-Time OS,” *Proc. ACM/IEEE Conf. Design Automation*, 1999, pp. 151–156.
 22. P. Sudame and B.R. Badrinath, “On Providing Support for Protocol Adaptation in Wireless Networks,” to be published in *ACM Baltzer Journal Mobile Networks and Applications (MONET) special issue on Wireless Internet and Intranet Access*.
 23. D. Sylvester and K. Keutzer, “Getting to the Bottom of Deep Submicron II: A Global Wiring Paradigm,” *Proc. Int’l Symp. Physical Design*, ACM Press, New York, 1999, pp.193-200.
 24. S. Tsasakou, C. Dre, H. Kharantanasis, and A. Birbas, Univ. of Patras/Intracom SA, “Combined Assessment of an Industrial Current Practice and CoWare’s Methodology to the Codesign/Cosimulation Problem,” *MEDEA/ESPRIT confrence on HW/SW codesign*, 1998.
 25. P. Zarkesh-Ha and J.D. Meindl, “Stochastic Net Length Distributions for Global Interconnects in a Heterogeneous System-on-a-Chip,” *Proc. Symp. VLSI Technology*, IEEE Press, Piscataway, N.J., 1998, pp. 44-45

計畫成果自評

本計畫的目標在於無線資訊家電的系統單晶片雛形的建立。其中包含四個子計畫：應用於系統單晶片嵌入式 Linux 作業系統之實作，高速無線數據存取控制與基頻收發積體電路模組整合設計，射頻傳收系統整合設計環境及技術建立，與 MPEG-4 在無線通訊下抗錯視訊編解碼系統之設計與製作。在三年的計畫中，總計劃主要負責以 SDL 進行軟體共同設計 (Hardware/Software Co-Design) 建立 SoC 設計，驗證及測試流程，以利各子計畫 IP 的開發。同時，總計劃還負責整合各子計劃研發之 IP 以及系統整合。我們將各個子計畫的 IP (i.e., WLAN MAC and Baseband Logic, MPEG Software) 與嵌入式 Linux 進行整合，並在 ARM Integrator Board 上進行整個系統的驗證。經過驗證結果，我們已經可以在 ARM Integrator 上透過 WLAN MAC/Baseband 作 on-line point-to-point 的 MPEG 檔傳輸與播放。

整體說來，此計畫的成果與預期之結果大致符合。在此計畫中，我們除了完成此 SOC 雛形平台之外，最重要的，我們也增加了許多嵌入式作業系統的技術與軟硬體共同驗證的經驗，對未來的研究有頗大助益。

可供推廣之研發成果資料表

 可申請專利 可技術移轉

日期：92年10月15日

國科會補助計畫	計畫名稱：單晶片無線多媒體資訊家電之設計與製作 計畫主持人：張瑞川 計畫編號： 學門領域：資訊工程
技術/創作名稱	單晶片無線多媒體資訊家電系統
發明人/創作人	楊晏昇，張瑞川
技術說明	<p>中文：</p> <p>隨著後 PC 時代的來臨，3C 的整合是未來發展的潮流，在本整合計畫中，我們整合了具備高速無線通訊與多媒體系統於單晶片中。</p> <p>首先，我們整合 802.11b MAC/baseband 於系統晶片雛形平台上。同時，我們也整合具容錯能力的 MPEG-4 視訊編解碼系統與嵌入式 Linux 核心於系統晶片雛形平台上。</p> <p>英文：</p> <p>With the coming of post-PC age, the integration of 3C (Computer, Communication, and Consumer Electronics) is the trend of future. The project is to develop a multimedia SoC with high-speed wireless communication access ability.</p> <p>At first, we integrate 802.11b MAC/baseband into the SoC prototype system. Besides, we also integrate a fault-tolerant MPEG-4 encoder/decoder system and develop an embedded Linux kernel into the SoC prototype system.</p>
可利用之產業及可開發之產品	System on Chip Wireless Communication Devices
技術特點	Hardware Software Co-verification FPGA-based Verification Embedded System

推廣及運用的價值	Integrated SOC system Hardware Software Co-verification Techniques
----------	---

1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送貴單位研發成果推廣單位（如技術移轉中心）。
2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。
3. 本表若不敷使用，請自行影印使用。