

# 不同型摻雜材料浮動閘極快閃式記憶元件可靠性問題之研究

## Reliability Issues of Flash EEPROM Cells with Different Floating Gate Materials

計劃編號：NSC 89-2218-E-009-110

執行時間：89年8月1日至90年7月31日

主持人：莊紹勳

國立交通大學電子工程學系

### 一、中文摘要

快閃式記憶體多以n-floating gate的n-channel為主，但因其低注入效能、高功率散失、嚴重的擾動，使其在低電壓操作產生困難，並有資料保存能力欠佳等問題。另一方面，經由我們研究發現[1]，在n-channel快閃式記憶元件中，嘗試採用p-型浮動閘極，可改善其操作效能(包括寫入與抹除速度)，並增加元件抗擾動能力(disturbance)；但無論是n-channel元件(使用n或p-型浮動閘極)，或是p-channel元件(使用n-型浮動閘極)，兩者經長時間寫入(program)與抹除(erase)後，穿隧氧化層之傷害(oxide damage)或漏電流等仍非常嚴重，導致元件可靠性問題，其中包括位階視窗關閉(window closure)、資料抗擾動能力(disturb)、降低與資料保存能力(data retention)退化等問題。因此，這些效能退化及可靠性問題仍待探討。

在本計劃中，我們利用不同的浮動閘極材料，應用於n-channel及p-channel之快閃式記憶體，針對長時間寫入與抹除(program and erase, P/E, cycles)後所造成之效能退化與可靠性問題，予以深入的探討。首先，我們製作以不同型式浮動閘極材料(n型與p型)及浮動閘極不同成長方式之各種n-channel及p-channel記憶體一批。其次，經由P/E cycle量測實驗及氧化層傷害特性化方法，分析不同型式閘極材料的性能與可靠性。結果顯示，p-floating gate的n通道元件與n-floating gate相比，都有優越的可靠性，如較佳的操作耐久性(endurance)、抗擾動能力(disturbance)及資料保存能力(data retention)等特性。P-floating gate的p-channel元件，擁有較快的寫入速度、較慢的抹除速度；有較好

的抗閘極擾動、抗讀取擾動特性。尤其是在抗汲極擾動特性上，p-doped floating gate有三個數量級的改善，這是一個很重要的結果。另外，p-doped floating gate也具有較佳的資料保存能力。這些結果將有助於提供完整的快閃式記憶元件在考量可靠性問題時的設計準則。

**關鍵詞：**快閃式記憶體、浮動閘極、資料保存、耐久性、閘極擾動、讀取擾動、氧化層傷害

### Abstract

The n-doped floating gate n-channel flash cell is the most popular one in nonvolatile memories but it has low injection efficiency, large power dissipation, serious disturb, and data retention problems. Therefore, in a recent work presented by us [1] showed that these conventional flash cells can be improved by adopting p-type dopant as the floating gate material, such that cell performance and reliability can be largely improved. No matter whether it is n-channel or p-channel cell, tunneling leakage or oxide damage is still a major concern. This will lead to serious cell reliabilities, such as operation window closure, disturb and reduced ability of data retention. As a consequence, it is still mandatory for us to make effort to study the reliability problems existing in these types of flash memories.

In this project, we design and fabricate a set of different types of floating-gate dopants made *on both n-channel and p-channel flash memory cells*. Studies of the cell performance and reliability after P/E cycling are carried out. Results shows that for p-doped floating

gate, it exhibits superior reliability in terms of endurance, disturbance, and in particular data retention by comparing the n-doped floating gate counterpart. For the p-doped floating gate p-channel cell, it has faster programming speed, lower erase speed, better gate- and read-disturb. In particular, the drain disturb has been improved with 3-order in magnitude, which is a very important result for the design of pchannel cells. In addition, p-doped one also shows good data retention capability. These results are expected to be useful as a design guideline for flash memory cells with emphasis on reliability.

**Keywords:** Flash memory, Floating-gate, Reliability, Data retention, Endurance, Gate disturb, Read disturb, Oxide damage

## 二、緣由與目的

### (一) 研究背景：

快閃式記憶體 (flash memory), 因其高密度, 低功率消耗及長時間資料保存能力, 使其在非揮發性(non-volatile)記憶體市場中, 擁有相當的佔有率[1]; 現有的快閃式記憶體, 多以n-channel cell為主, 其原因在於其製程與 N-MOS 元件相容 (compatible), 但由於n-channel cell的快閃式記憶元件具有下列缺點[2,3,4]: (1)低注入效能(low injection efficiency), (2) 高功率消耗(high power dissipation), 及(3) 較差的元件抗擾動能力(cell disturb)。因此p-channel快閃式記憶元件[5]逐漸成為新的研究重點, 近年來, 產業界相繼投入生產p-channel快閃式記憶元件之行列, 但相關的可靠性問題仍待研究解決。

N-channel快閃式記憶元件, 傳統上, 是以通道熱電子(Channel Hot Electron, CHE)的方式做為寫入操作, 而p-channel快閃式記憶元件則以不同方式做為寫入操作為主, 如能帶至能帶(band-to-band)穿隧, 引發之熱電子注入(Band-to-Band Induced Hot-Electron Injection, BBHE)的方式, 在抹除操作方面, n-與p-channel皆利用通道 Fowler-Nordheim 穿隧(channel-FN)方式達成。上述的寫入與抹除操作不能避免對氧

化層之傷害, 包括: 界面狀態(interface state,  $N_{it}$ ), 氧化層電荷(oxide charge,  $Q_{ox}$ )與陷阱(oxide traps,  $Q_t$ )等的增加, 所以經長時間操作後的可靠性問題, 仍急待改善。此外, 在資料保存上的差異, 在以往並未曾被研究過, 更是值得探討的主要課題之一。然而, 對於p-channel快閃式記憶元件, 在可靠性問題的研究上, 除了本研究群於1997IEDM, 首次提出一初步關於p-channel快閃式記憶元件可靠性分析探討[6]外, 可靠性的完整研究, 至今仍付之闕如。

### (二) 研究目的與重要性：

本計劃係研究利用不同浮動閘極材料 (p-型與 n-型 floating gate)對 Flash memory cell 可靠性的影響, 主要目的有三：

其一：是針對不同型式p-與n-doped Floating gate(含表面及埋層 (surface and buried-channel)n-及 p-channel cell, 因寫入/抹除操作所產生之可靠性問題。

其二：是探討不同浮動閘極材料(n-doped 與 p-doped floating gate)成長方式與通道型態對元件操作效能及可靠性影響。

其三：是探討漏電(SILC)及電荷遺失路徑的物理機制, 以及快閃式記憶元件小型化 (scaling)之可行性。

由本計劃完成後的結果, 我們可獲得對快閃式記憶元件, 無論是n-或p-channel 元件, 不僅在學術理論上有深入的探討, 並且可提供產業界立即性的應用價值, 使快閃式記憶體成為半導體工業中, 最具附加價值的半導體元件。

## 三、結果與討論

於本計劃中, 我們利用不同的浮動閘極材料, 應用於 n-channel 及 p-channel 之快閃式記憶體的各種組合, 如 Table 1 所示, 針對長時間寫入與抹除(program and erase, P/E, cycles) 後所造成之效能退化與可靠性問題, 予以深入的研究。主要探討方向分為以下幾大項, 元件效能 (performance) 的比較、操作耐久性 (endurance)、抗擾動能力 (disturbance, 包含閘極擾動、汲極擾動及讀取擾動) 及資

料保存能力 (data retention) 等特性。

(1) n-channel 快閃式記憶體之性能與可靠性：

由實驗結果可知，快閃記憶體其基本的電流電壓特性與浮動閘極的摻雜種類 (Doping Type) 是無關的。當考慮平帶電壓的差異，由 Fig. 1 中可知儘管不同的浮動閘極材料，卻有相同的閘極電流特性。在皆由通道熱電子注入的寫入實驗中，如 Fig. 2 所示，我們卻可以看到 p-doped floating gate 相對於 n-doped floating gate 有較快的寫入速度。而長時間的寫入過程中，p-doped floating gate 也有著較快的寫入速度以及較高的寫入飽和電壓，然而，n-doped floating gate 與 undoped floating gate 都是最慢的，如 Fig. 3 所示。在抹除方面，利用 FN 電子穿隧抹除，可以清楚看到 n-doped floating gate 的閘極電流皆大於 p-doped floating gate，如 Fig. 4，但這結果卻與 Fig. 5、Fig. 6 抹除特性實驗中，p-doped floating gate 有明顯較短的抹除時間相反。由以上實驗，我們知道 p-doped floating gate 有較快的寫入及抹除速度，但是卻不能由閘極電流量測上獲得合理的解釋。為了解決此矛盾現象，我們便設計了一套浮動閘極量測法 (floating-gate measurement technique) 的實驗，如 Fig. 7 所示可以得到閘極電流隨著寫入時間變化的特性。因此，我們從 Fig. 8 與 Fig. 9 中可知，閘極電壓與閘極電流分別對寫入時間的關係。由這些關係中，一開始的閘極電流 p-doped floating gate 與 n-doped floating gate 是差不多的，一段時間過後，便可發現 p-doped floating gate 略高於 n-doped floating gate。由於 p-doped floating gate 有較多的電洞，因此，當熱電子注入閘極中，便會與過多的電洞發生中和 (neutralization) 的效應，此中和的效應會讓 p-doped floating gate 一直處於傾向熱電子注入的優勢。而這是傳統閘極電流量測方法所不能解釋的寫入特性。相同的，p-doped floating gate 也擁有了較快的抹除特性。而在資料的保存能力方面，由 Figs. 10、11 可知，在寫入與抹除數次之後，p-doped floating gate 的資料保存能力仍然優於 n-doped floating gate。

根據以上所述，與傳統的 n-doped floating gate 快閃記憶體相比較，p-doped floating gate 的快閃記憶體擁有較佳的效能與可靠性。

(2) p-channel 快閃式記憶體之性能與可靠性：

不同摻雜的浮動閘極，在 p-channel 快閃式記憶體中，p-doped floating gate 在效能的表現上，就不是全占儘優勢了，這可從 Fig. 12、Fig. 13 中得知。如 Fig. 12 中，使用 BBHE 的方式 ( $V_D = -5V$ ,  $V_{CG} = 11V$ ) 作為 p-channel 快閃式記憶體寫入的實驗中可知， $p^+$ -doped floating gate 有最快的寫入速度，而  $p^-$ -doped floating gate 稍慢的原因可能是由於摻雜濃度較低。Fig. 13 中，利用 FN 穿隧 ( $V_B = 5V$ ,  $V_{CG} = -10V$ ) 進行抹除的過程，n-doped floating gate 擁有最快的抹除速度，其次為 undoped floating gate 與  $p^+$ -doped floating gate， $p^-$ -doped floating gate 最慢。造成以上結果的原因可由 Equations 中的 Eq.(3) Eq.(4) 中得知，而 Eq.(3) Eq.(4) 是由 Eq.(1)、Eq.(2) 推得的，其中  $V$ 、 $\Psi$  和  $\psi$  分別為外加電壓、靜電位以及平帶電壓。在 Eq.(3) Eq.(4) 中，無論是寫入或是抹除，p-doped floating gate 的電位永遠大於 n-doped floating gate (兩者差一平帶電壓的大小)，因此寫入時 p-doped floating gate 有較快的寫入速度，而抹除時 p-doped floating gate 卻最慢。另外，由於多晶矽空乏效應 (poly-depletion effect) 在多晶矽摻雜濃度低於  $1 \times 10^{20} \text{ cm}^{-3}$  此臨界值時，此效應將特別顯著 [8]，因此  $p^-$ -doped floating gate 在抹除時，有最慢的抹除速度。而在操作耐久性方面，如 Fig. 14，在多次寫入與抹除之後，p-doped floating gate 與 n-doped floating gate 都相同，位階視窗依然維持可判讀的位階。在抗擾動能力方面，包含閘極擾動、汲極擾動及讀取擾動三種擾動機制。Fig. 15 為閘極擾動 ( $V_{CG} = 11V$ )，在經過  $10^4$  次的寫入、抹除過程之後，p-doped floating gate 有較好的抗閘極擾動能力，這證明 p-doped floating gate 在  $10^4$  次的寫入、抹除過程之後，產生較少的氧化層傷害。而元件的活期可由讀取擾動最不佳的情況來推斷，如

Fig. 16 所示，我們定義門檻電壓(threshold voltage)改變了 $-3.3V \times 10\% = -0.33V$ 時，當作我們判別讀取擾動的標準，從圖中我們可以發現在 10 年的活期計算中，p-doped floating gate 的閘極電壓必須小於 $-7.15V$ ，而 n-doped floating gate 的閘極電壓必須小於 $-6.85V$ ，因此 p-doped floating gate 有較好的抗讀取擾動能力。最後，我們知道在 p-channel 快閃式記憶體中，汲極擾動主要是由於 CHH(Channel Hot Hole Induced Hot Electron Injection，發生於當元件處於寫入狀態)和 BTB(Band-to-Band Tunneling，發生於元件處於抹除狀態)所造成，如 Fig. 18 所示。而在 Fig. 17 中( $V_D = -5V$ )可以比較出 p-doped floating gate 有較好的抗汲極擾動能力(大約是三個數量級的時間差)。相同的，也可以從 Fig. 18 看到 n-doped floating gate 有較大的 CHH 電流，因此有較差的抗汲極擾動能力。在資料保存能力方面，如 Fig. 19、Fig. 20，在多次寫入與抹除後，資料的保存能力皆變差，而兩種不同摻雜的 floating gate，則以 p-doped floating gate 有較好的資料保存能力。

由上述可知，p-doped floating gate 在寫入(抹除)操作時，形成較高(低)的穿隧氧化層電場，使其擁有較快的寫入速度卻較慢的抹除速度。其次，在耐久度測試上，兩者幾乎一致 p-doped floating gate 有較好的抗閘極擾動特性、較佳的抗讀取擾動特性。尤其是在抗汲極擾動特性上，p-doped floating gate 有三個數量級的改善。而且，p-doped floating gate 也具有較佳的資料保存能力。

#### 四、計畫成果自評

本計畫旨在探討浮動閘極材料對於快閃式元件的影響，包括寫入與抹除之暫存特性，長時間寫入與抹除所造成之特性退化與可靠性問題，以及建立相關物理模式及增進對該類型快閃式元件的了解。此一 p-type floating gate 的構想，可以提供工業界一設計元件結構之參考依據，除了使傳統的快閃式記憶體的性能得以提昇外，也使其密度大大地增加，而有更多層面的應

用。相關結果正投稿到 2002IRPS 國際會議，正審核中。

#### 五、參考文獻

- [1] S. S. Chung et al., "A novel high performance and reliability p-type floating-gate n-channel flash EEPROM," in *Symposium on VLSI Technology*, pp. 19-20, 1999.
- [2] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cell - An overview," *Proc. of the IEEE*, vol. 85, no. 8, pp. 1246-1271, 1997.
- [3] T. Ohnakado et al., "Novel electron injection method using Band-to-Band Tunneling Induced Hot Electron (BBHE) for flash memory with p-channel cell," in *IEDM Tech. Dig.*, pp. 279-282, 1995.
- [4] S. Aritome, R. Shirota, G. Hemink, T. Endoh, and F. Masuoka, "Reliability issues of flash memory cells," *Proc. of the IEEE*, Vol. 8, no. 5, pp. 776-788, 1993.
- [5] S. Shuto et al., "Read disturb degradation mechanism for source erase flash memories," in *Symposium on VLSI Technology*, pp. 242-243, 1996.
- [6] C. C.-H. Hsu et al., *Extended Abs. SSDM*, Tsukuba, p. 140, 1992.
- [7] S. S. Chung, S. N. Kuo, C. M. Yih, and T. S. Chao, "Performance and reliability evaluations of p-channel flash memories with different programming schemes," in *IEDM Tech. Dig.*, pp. 295-298, 1997.
- [8] D. Chen, S. Sugino, Z. Yu, and R. W. Dutton, "Modeling of the charge balance condition on floating gates and simulation of EEPROM's," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol.12, pp. 1499-1502, 1993.

	U	P <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>
T <sub>ox</sub> (Å)	9			
T <sub>ono</sub> (Å)	T.O/Si <sub>3</sub> N <sub>4</sub> /B.O=65/90/55			
Floating Gate Doping	Undoped	BF <sub>2</sub> 20KeV 1E13	BF <sub>2</sub> 20KeV 5E13	In-situ

Table 1 The split table of stacked-gate flash memories.

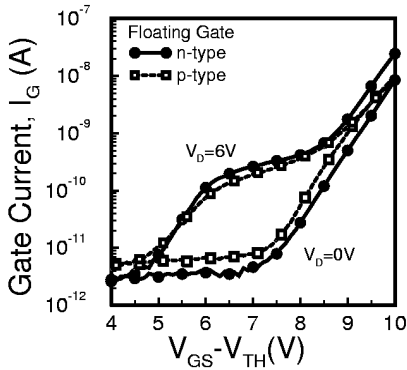


Fig. 1 Comparison of the channel-hot electron injection current for dummy cells with n- and p-type floating-gate materials

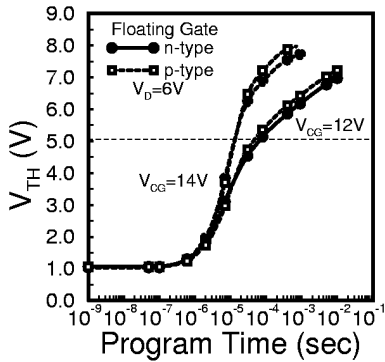


Fig. 2 Comparison of the programming characteristics for the flash cells with different doping types in floating gate.

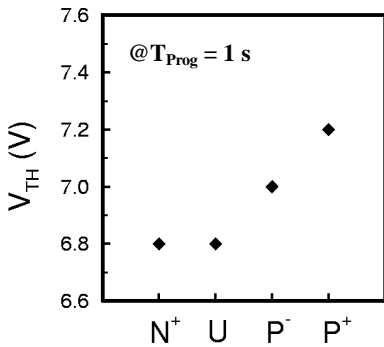


Fig. 3 Long-time programming states for different dopants and doping types of floating gates.

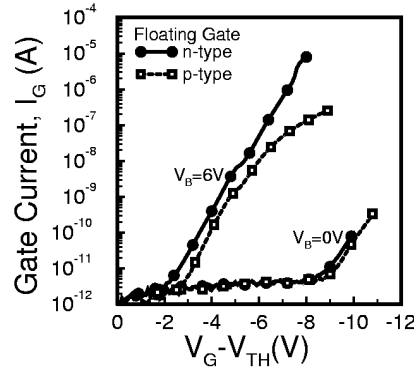


Fig. 4 Channel Fowler-Nordheim (FN) tunneling currents for dummy cells with n- and p-type floating-gate materials

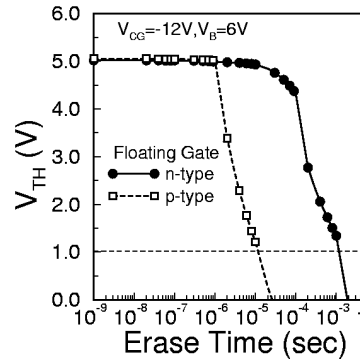


Fig. 5 Comparison of the erase characteristics for flash cells with n- and p-type floating-gate materials

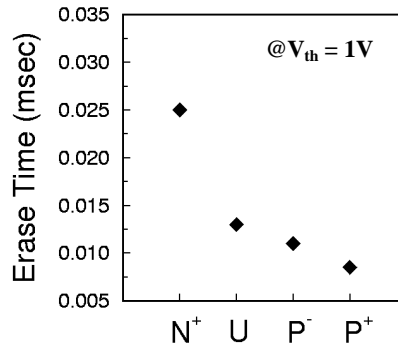


Fig. 6 Comparison of the erase time for different dopants and doping types of the floating gates.

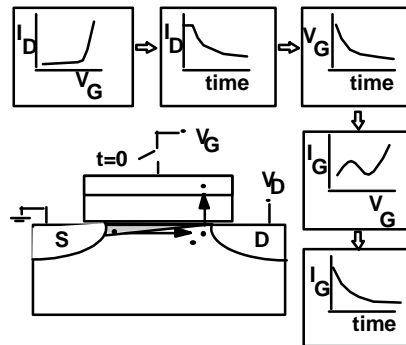


Fig. 7 Schematic diagrams for the floating-gate measurement and the measurement procedures.

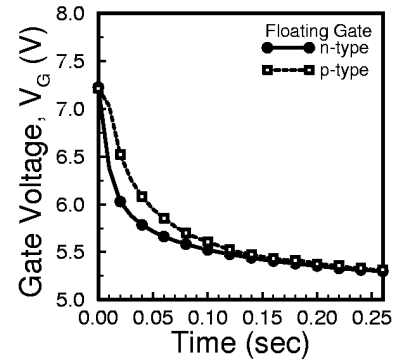


Fig. 8 Time evolution of calculated gate voltages in n- and p-type gates of dummy cells

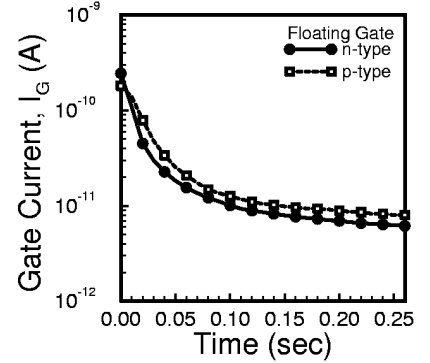


Fig. 9 Time evolution of calculated gate currents in n- and p-type gates of dummy cells.

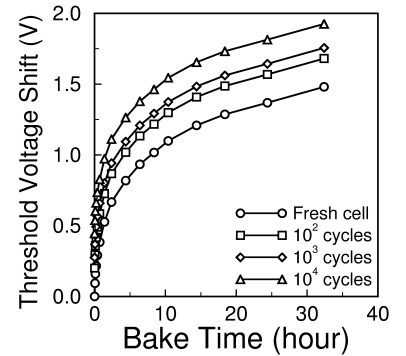


Fig. 10 Charge loss characteristics of n-type floating-gate cell after P/E cycling at 300°C.

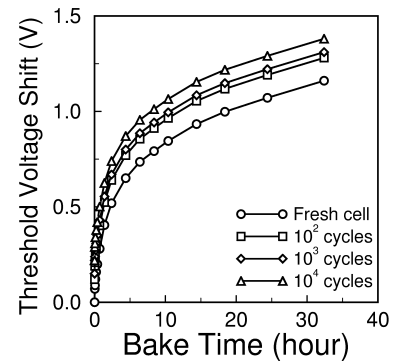


Fig. 11 Charge loss characteristics of p-type floating-gate cell after P/E cycling at 300°C.

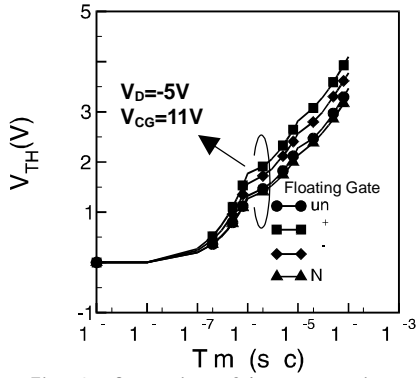


Fig. 12 Comparison of the programming characteristics for Flash cells with different dopant types in the floating gate.

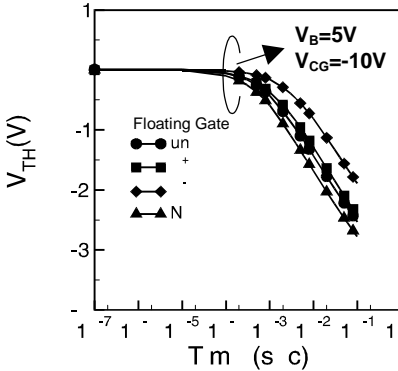


Fig. 13 Comparison of the erase characteristics for Flash cells with different dopant types in the floating gate.

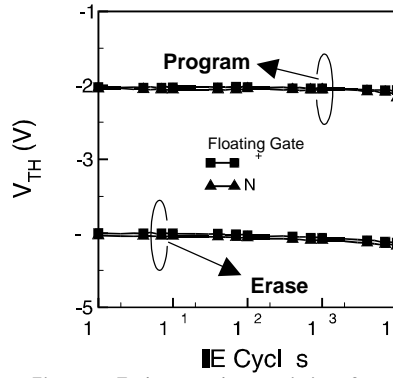


Fig. 14 Endurance characteristics of n- and p-type floating-gate p-channel Flash cells. Both of the results are almost identical.

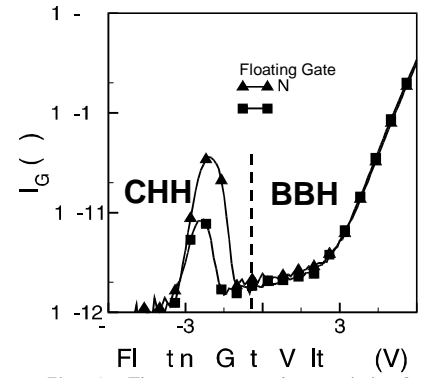


Fig. 18 The gate current characteristic of p-channel Flash cells with n- and p-type floating-gate. The p-type cell has less gate current injection during CHH.

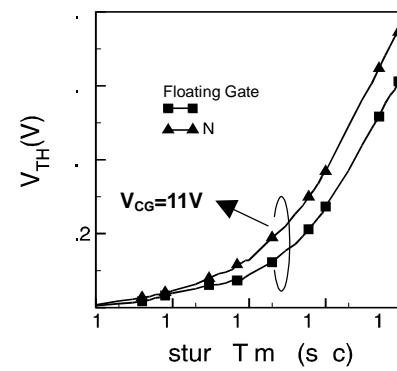


Fig. 15 The gate disturb characteristic for n- and p-type floating-gate Flash cells after  $10^4$  P/E cycles.

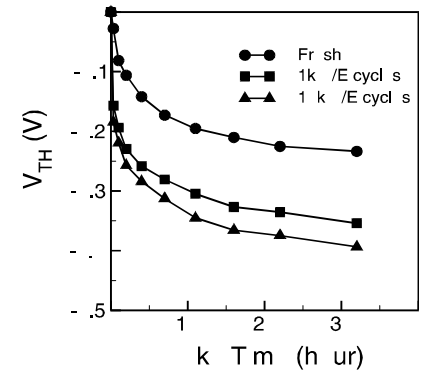


Fig. 19 Charge loss characteristics of n-type floating-gate cell before and after P/E cycling at  $250^\circ\text{C}$ .

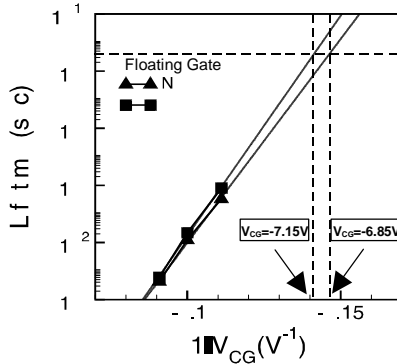


Fig. 16 Read disturb lifetime characteristic for n- and p-type floating-gate Flash memories. The control gate voltage for 10 year lifetime in p-type floating-gate cell is larger than the n-type one.

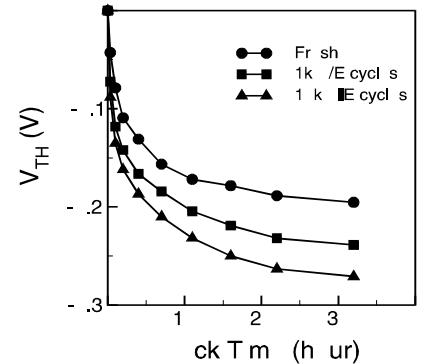


Fig. 20 Charge loss characteristics of p-type floating-gate cell before and after P/E cycling at  $250^\circ\text{C}$ .

$$Q_{FG} = C_{CG}(\Psi_{CG} - \Psi_{FG}) + C_S(\Psi_S - \Psi_{FG}) + C_D(\Psi_D - \Psi_{FG}) + C_B(\Psi_B - \Psi_{FG}) \quad (1)$$

$$\Psi_{FG} = \Psi_{CG} \frac{C_{CG}}{C_{TOT}} + \Psi_S \frac{C_S}{C_{TOT}} + \Psi_D \frac{C_D}{C_{TOT}} + \Psi_B \frac{C_B}{C_{TOT}} + \frac{Q_{FG}}{C_{TOT}} \quad (2)$$

$$V_{FG} + \Psi_{FG} = \alpha_{CG}(V_{CG} + \Psi_{CG}) + \alpha_S(V_S + \Psi_S) + \alpha_D(V_D + \Psi_D) + \alpha_B(V_B + \Psi_B) - \frac{Q_{FG}}{C_{TOT}} \quad (3)$$

$$V_{FG} - \Psi_{FG} = \alpha_{CG}(V_{CG} + \Psi_{CG}) + \alpha_S(V_S + \Psi_S) + \alpha_D(V_D + \Psi_D) + \alpha_B(V_B + \Psi_B) - \frac{Q_{FG}}{C_{TOT}} \quad (4)$$

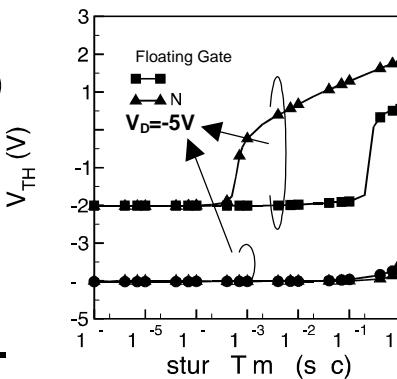


Fig. 17 The drain disturb characteristics for n- and p-type floating-gate Flash cells after  $10^4$  P/E cycles. The p-type floating-gate cell has 3 order improvement.

Table 2 Calculation of the electric potentials in a flash memory cell.

