

全數位鎖相迴路設計與應用之研究

“The Study of All Digital Phase Lock Loop Design and Its Applications”

計畫編號：NSC90-2215-E-009-105

執行期間：88年8月1日至91年7月31日

主持人：李鎮宜 交通大學電子工程系教授

一、中文摘要

鎖相迴路在許多應用中扮演重要的角色，傳統設計皆採用類比技術完成，需要較長的研發時程並缺乏移植性。而隨著半導體製程的進步，全數位設計已然可行，藉由此種數位的設計方式，不但可縮短研發時程並擁有高度的移植性。就系統觀點而言，類比鎖相迴路在系統整合有其技術上的困難如：雜訊干擾、訊號屏壁、電源穩定度等等，而全數位設計可降低此方面的技術困難並提高系統的研發效率。

在全數位鎖相迴路設計上，為了突破傳統數位設計的限制並改進類比電路的性能，本研究提出一個全新的設計方式及技術以符合不同系統應用上的要求。其基本架構包含一個頻率搜尋器、數位振盪器、迴路計數器及同步控制器，全部的設計皆可使用標準細胞單元來實現。部分基礎研究及設計已透過國科會晶片設計中心，完成晶片製作及測式，並獲得許多寶貴的資料，有助於更先進的研究和發展相關核心技術。

本計劃的研究重點，主要著重於全數位鎖相迴路在不同系統上的應用，如：脈波產生器 (clock generator)、無線區域網路 (wireless LAN)、乙太網路 (Ethernet)。並嘗試完成一高階編譯器 (HDL generator)，自動產生符合不同要求的可合成硬體描述語言原始碼。其目的在於增進系統性能、縮短研發時程、降低設計複雜度及減少研發成本，尤其在單晶片系統設計 (system-on-chip design; SoC) 上的改進。我們將考量許多實際設計因素，藉由不同的控制

架構，符合不同的系統需求。

英文摘要

PLL has been widely used in many applications, where very often analog realization approach is used. As a result, it takes long design cycle for target system specs or different process technologies are concerned. However due to the advance of VLSI technology, all digital approach has been proved an efficient realization approach to speed up design cycle and with the feature of portability (technology independent). From the viewpoints of system realization, analog PLL has its constraints in system integration such as noise coupling, signal screening, supply voltage stability, and etc. However with all digital design approach, those constraints can be coped with.

In order to have a breakthrough in traditional digital designs and improve the performance obtained from analog PLL, in this 3-year research project, a completely all digital PLL (ADPLL) has been investigated and explored for several data communications. The proposed ADPLL basically contains frequency search module, digital controlled ring oscillator, loop divider, and synchronization controller. These modules can be designed at RTL HDL level using standard cells. Part of the earlier research has been verified on silicon under the support of NSC/CIC MPC support. Test results show that ADPLL can really work for many

advance applications. In addition they also provide roadmap for more advanced research as well as key technologies as addressed in this proposal.

In summary, this research project focuses on the novel ADPLL design and its advanced applications such as clock generator, baseband transceiver for WLAN, and 10/100/1000 Ethernet transceiver. In addition, a high-level RTL HDL code generator will also be developed to meet different system specifications. As a result, not only system performance can be enhanced but also system turnaround time, design complexity and cost can be reduced a lot. And hence a practical system-on-chip (SoC) design technology can be derived for practical advanced data communications.

二、計畫的緣由與目的

近年來在電腦及通訊方面的應用，鎖相迴路已是一個不可或缺的關鍵元件，許多設計都必須使用到此一技術來合成或追蹤所需的訊號。其基本原理係利用一個振盪器追蹤並鎖定輸入訊號的頻率及相位。

一般在通訊的應用上，鎖相迴路用以使本地振盪器與所需的訊號同步。傳統的設計上，多以類比的方式來實現部分或全部的鎖相迴路。在設計上必須謹慎考量電路零點／極點、迴路增益、追蹤頻寬、輸出抖動 (jitter)；在晶片製作方面必須考慮製程漂移、參數誤差、雜訊干擾，整個研發過程繁瑣複雜。例如在電壓控制振盪器的設計，必須考量電路的線性工作範圍、輸出頻率對輸入電壓的靈敏度、製程漂移對工作頻率的影響；在迴路濾波器，必須考慮迴路頻寬、實際電氣特性、截止頻率、暫態響應、零點／極點的選擇；在晶片佈局上，需要衡量元件的對稱性、訊號的屏蔽、電源的

隔離，還必須加入許多額外的電路來阻絕雜訊，穩定工作點。而且當製程的參數更動時，無法直接轉移至新的製程，大多需要重新設計及佈局。

現今，由於製程的進步，使得數位積體電路擁有許多設計上的優勢，鎖相迴路已可使用全數位的方式來實現，並可廣泛使用於各種不同的應用，如：乙太網路 (Ethernet)、ATM、無線網路 (Wireless LAN)、中央處理器 (Microprocessor) 等等。

舉例而言，在無線網路基頻整合晶片中，接收器通常需要一組多相位的高速時脈，配合類比數位轉換器來同步調整取樣速率與相位，以確保資料接收有最小的失真。在發送端則是需要有參考時脈來調變信號。此外在整合晶片中，還需要不同頻率的時脈提供給各模組使用。同時為了能提供在各種無線網路標準 (如 802.11a, 802.11b, DVB, HIPERLAN/2) 及其不同傳輸率模式下都能使用。時脈產生器必須要有容易調整的輸出頻率範圍，以及多相位時脈的輸出。

傳統的類比設計，大多需要較長的追蹤時間及較窄的輸入頻寬，不同的工作頻段皆需重新考量所有的設計議題，無法直接套用舊有的設計。以一個完整的無線網路實體層設計而言，若使用類比式鎖相電路，我們需要合併類比電路與數位邏輯於同一晶片上 (mixed mode)，此種方法在佈局上必須考慮許多電氣特性，如：類比電路供應電源的穩定度、數位時脈的干擾、雜訊的隔離等等，並且晶片良率較低，故成本較高。

且就系統模擬的角度而言，現今常見的 CAD 很難整合系統中類比及數位電路的設計，以便進行系統模擬，無形中提高了驗證的困難度，增加研發的時程與風險。若使用全數位式的鎖相電路，在研發初期即可利用現有的 CAD 進行系統模擬，驗證架構的適用性，決

定系統參數。就晶片設計而言，可以避免許多類比設計的限制，提高晶片良率。

全數位設計方式的另一個優點就是硬體架構上的規律性，這個特性可以很容易地將整個設計流程自動化。透過程式化的方式，可以輕易地依據不同標準細胞單元的特性，合成出符合系統需求的 HDL code，更進一步的縮短研發時程。

本研究計畫藉由對全數位化鎖相迴路之設計，提高單一晶片的整合程度。而同步電路設計為無線網路系統內重要的一環。一般傳統的設計方式，無法將本地時脈與傳送時脈間的頻率誤差於晶片內直接補償。利用數位控制的技巧，配合通訊理論上的探討，可以將此一頻率誤差於晶片內做動態調整，而不需外加額外電路。此法可大幅提高系統整合度，並降低研發成本。而為了提高時脈的鎖定速度，加入一高速時序復原電路，以偵測資料傳送速率，再轉換為頻率誤差，此高速時序復原電路可在一個訊號週期內鎖定輸入訊號，利用兩者相輔相成的工作模式，實現高性能的全數位同步電路，為本計畫的另一研究重點

三、研究方法及成果

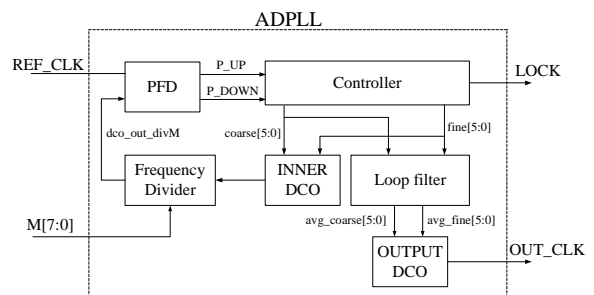
本計畫研究的主軸，在於探討全數位鎖相迴路的電路設計和應用，並考量在單晶片系統設計上，如何提供一個可在 HDL 層次上可模擬的模擬的模組，以利於系統整合模擬和加速設計實現的時程。

第一年的重點，在於提出新的全數位控制演算法，並以 Verilog-RTL 描述配合設計資料庫的方式來實現，所強調的重點在於可攜式 (portable) 的解決方案，亦即可實現於任何晶園廠所提供的製程，如此將有效提升系統晶片設計和實現的時程。初步的成果相當令人滿意，並已發表於國際性會議和 IEEE 期刊中 [1-2]。

第二年的重點為滿足系統晶片設計快速

實現，提供一在 HDL 可模擬的模式，並整理出一實用的 IP 格式，方便日後系統整合和其他應用領域的直接使用。同時為展示所提方案的實用性，我們將建立一雛型的示範系統，作為單晶片系統設計的規格 (例如結合無線網路收發器、介質存取控制器，成為一單晶片的交換系統)。另外藉由系統規格的制訂，亦可探討系統整合模擬時，如何利用現有的 IP，加速設計的時程和設計完整性。而其研究成果，亦有助於系統整合的實現，彼此相輔相成。初步的成果亦已發表於國際會議和 IEEE 期刊中 [3-6]

第三年的重點為完成單晶片系統的實現，有關無線網路系統的架構，藉由整合 IP，並以 .35um 製程，為晶片實現的考量，一方面探討單晶片系統設計所需求的流程和 CAD 軟體設計環境，一方面加強 IP 使用的人性化介面設計。此外對所製作的晶片，在經過測試後，以透過實際 PC 板的系統驗證，進而將示範系統的實作經驗，傳回個別的模組設計，做必要的改進和相關設計資料庫的建立等，如此亦可對他項研究的內容，提供較為完整的設計和測試環境。初步的結果，PC 板量測正常，但尚須與軟體 driver 結合，做進一步的驗證。



圖一：全數位鎖相迴路的系統方塊圖。

本研究所提出的全數位鎖相迴路(ADPLL)的系統方塊圖如圖一所示，其中 PFD 為相位及頻率偵測器，Controller 為 ADPLL 控制器，INNER DCO 和 OUTPUT DCO 為兩組相同的數位控制震盪器，Frequency Divider 為除頻器，Loop filter 為 DCO 控制碼平均電路。在所提出的架構中含有兩組 DCO，INNER DCO 的輸出時脈在經除頻器後與 REF_CLK 進入 PFD 偵測頻率差及相差。PFD 產生的 P_UP 與 P_DOWN 則控制 Controller 去調整

INNER DCO 的控制命令，使 DCO 的輸出頻率加快或減慢。Loop filter 在 ADPLL 鎖定後，不斷的定期去統計 INNER DCO 的控制碼，接下來取其平均值後輸出為 OUTPUT DCO 的控制碼，因此 OUTPUT DCO 便有穩定的時脈輸出。

本研究所提出的 ADPLL 架構是以 Cell-Based 的方式實現，因此一開始必須要先使用 HSPICE 模擬微調 Delay Cell 的特性，將其建表後整理成微調控制碼的對應表，再用 Verilog 撰寫微調控制器。另外 PFD 的部分也需要使用 HSPICE 模擬其靈敏度。其餘的電路則是由 Verilog 撰寫後經 Design Compiler 合成其 Gate-Level 電路。整個 ADPLL 的電路佈局則是使用 Apollo 來 P&R，在 P&R 時需特別考慮兩顆 DCO 和 PFD 擺放的位置。

穩定度不輸與類比設計相當，並且有更佳的可測性與可攜性，也對縮短系統設計所需時間相當有幫助。

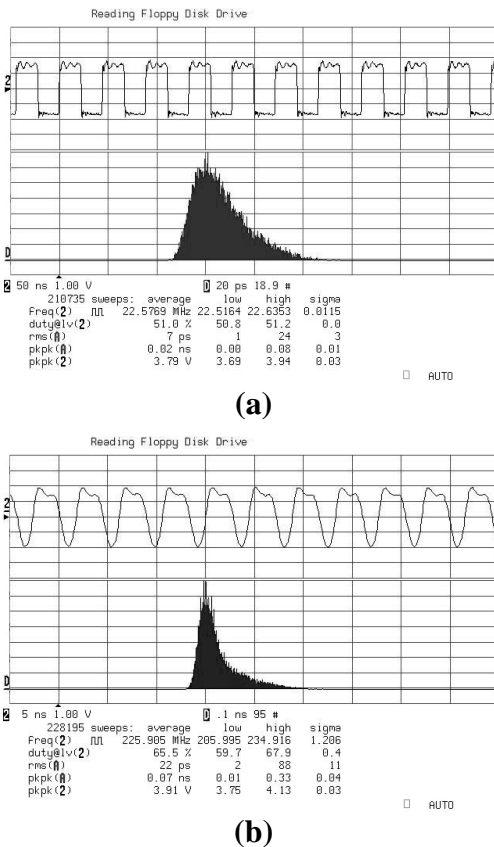
四、結論與討論

本研究計畫擬藉由對全數位化鎖相迴路之設計，提高單一晶片的整合程度。在本研究中，系統化的設計方式和可攜式全數位化鎖相迴路電路的開發，可有效加速系統的整合，同時對於晶片系統模擬流程及環境的建立，也能提供相當的幫助。

本研究群的相關研究結果，88 年於 IEEE 期刊發表一篇論文，90 年發表會議論文 3 篇，並於 IEEE 期刊發表一篇論文。91 年發表會議論文 1 篇。並有兩篇期刊論文已經投稿中。

五、參考文獻

1. Terng-Yin Hsu, Bai-Jue Shieh and Chen-Yi Lee, "An all-digital phase-locked loop (ADPLL)-based clock recovery circuit," IEEE Journal of Solid-State Circuits, Vol.34, pp.1063-1073, Aug. 1999.
2. Jin-Jer Jong and Chen-Yi Lee, "A novel structure for portable digitally controlled oscillator," The 2001 IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 272-275, May 2001.
3. Yi-Chuan Liu, Chung-Cheng Wang, Terng-Yin Hsu and Chen-Yi Lee, "A wideband digital frequency synthesizer," The 2001 IEEE International Symposium on Circuits and Systems, Vol. 4, pp. 710-713, May 2001.
4. Tsai, F.S. and Chen-Yi Lee, "A novel single-bit input all digital synchronizer and demodulator baseband processor for fast frequency hopping system," The 2001 IEEE International Symposium on Circuits and Systems, Vol. 4, pp. 132-135, May 2001.
5. Terng-Yin Hsu, Chung-Cheng Wang, and Chen-Yi Lee, "Design and analysis of a portable high-speed clock generator," IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 48, pp. 367-375, April 2001.
6. Ching-Che Chung and Chen-Yi Lee, "An all-digital phase-locked loop for high-speed clock generation," The 2002 IEEE International Symposium on Circuits and Systems, Vol.3, pp. 679-682, May 2002.



圖二: ADPLL 的晶片量測結果

圖二為 ADPLL 測試晶片的量測結果，(a) 為 45MHz 輸出時脈的抖動量測結果，(b)則為 450MHz 輸出時脈的抖動量測結果。由量測結果可驗證本研究所發展的全數位鎖相迴路，其