

單晶片系統上佈局驅動的資料路徑編譯器之研究 (1/3)

“The study of layout-driven datapath compilers for system-on-a-chip”

計畫編號：NSC 90-2218-E-009-039

執行期間：90 年 8 月 1 日 至 91 年 7 月 31 日

主持人：周景揚 交通大學電子工程系教授兼系主任

一、中文摘要

由於半導體技術的突飛猛進，單晶片系統 (SoC) 已經變成了二十一世紀裡的主流科技，藉由單晶片系統的技術，可以加速促成三 C (電腦、通訊、民生家電) 之間的整合，這不管對企業或是科技來說，都是一股不可避免的潮流，對整個人類社會來說，三 C 的整合應用更是一個非常重要的進步。

以往人們的期望只是一個快速、可靠且容易使用的無線通訊系統，但現在人們的要求已不僅僅如此，他們期待能有更快速的方法來透過無線通訊存取資料，以便應付現在的各種應用，例如收發電子郵件、檔案傳輸協定、網路瀏覽器、甚至即時影像傳輸等等，對無線服務提供的廠商來說，它們若想繼續保有競爭力，就必須跟上這個時代潮流。在這個整合計畫中，我們主要就是針對 Beyond 3G (B3G) 的無線通訊網路來做研究，特別是其中的單晶片系統技術。

在 B3G 的無線通訊系統中，如何設計一個

速度又快、面積又小的乘法器是非常重要的，因為乘法器是系統中許多重要部分如中央處理器 (CPU)、數位訊號處理器 (DSP)、快速傅立葉轉換器 (FFT) 裡的關鍵元件。雖然自動產生乘法器這個主題已經有很多相關研究，但是大部分的研究均採用以 XOR 邏輯閘為最小單位的速度估計方式，而這種方式當然是太過理想而不實際的，尤其在深次微米時代。因此，我們研發一種以佈局考量為基礎的乘法器自動產生機，它將採用以基本元件庫為基礎的速度估計方式，來取代過去以 XOR 邏輯閘為最小單位的速度估計方式，同時，在合成 (synthesis) 的過程中，我們還會將繞線所產生的延遲時間考慮在內；至於速度最佳化的動作，我們將它合併在元件放置 (placement) 的步驟中，以便將整個電路的形狀一併考慮在內；而最後一級的加法器，我們則將它整合在樹狀行距壓縮 (column compression tree) 的電路中一併產生，以更加簡化它的結構。藉由這種整合了合成、元件放置及重合成 (resynthesis) 三大步驟的新式乘法器產生流程所產生的乘法器，由於已經將實際佈局狀況的因素考慮在內，能夠

比傳統流程所產生的乘法器有更好的表現。這種以佈局考量為基礎的乘法器自動產出機不但在這個計畫的第二年中可用來自動產出高效能快速傅立葉轉換器，而且在子計畫二可用來自動產出低功率數位訊號處理器。

英文摘要

With the advent of semiconductor technology, the System-on-a-chip (SoC) becomes a mainstream and focus of technologies on coming 21st century. The integration of Computing, Communication and Consumer Electronics will be speeded up through SoC, which causes the unavoidable trend of new era for technology and enterprises. Especially, the application of 3C integration is very important to the progress of human being society.

People all over the world have come to expect fast, reliable, and easily accessible wireless communications and now they are demanding faster ways to access data with applications as diverse as e-mail, file transfer protocol, Internet browsers, and even real-time video teleconferencing. Wireless service providers who want to remain competitive must keep pace with this demand. In this integrated project, we are targeting on the study of beyond 3G wireless networks. Particularly, we are focusing on **SoC technologies for OFDM-based SDR baseband processing.**

To design fast, area-efficient and low power multipliers is important because multiplication is a key operation in many processors such as **CPU, DSP and FFT/IFFT** processors for the **wireless communications**. There were many researches on the topic of automatic multiplier generation. However, many researches took the XOR gate as the basic unit in the timing estimation which is certainly not realistic for the **very deep sub-micron (VDSM)** era. In our previous research, we developed an automatic **layout-driven** multiplier generator which can take wire delay into account. By integrating **synthesis, placement and resynthesis** processes in this new multiplier generation flow, the multipliers generated by our layout-driven multiplier generator outperform other previous works. We improve our generator by using new approaches to optimize power consumption, adding global routing and using new optimization strategy to optimize delay, and taking input signal distribution into account to optimize area under rounding error constraints. This generator will be used to build the high performance FFT/IFFT processors in this project and the low power DSP processor in **subproject 2** using standard cell technology. The generator can also serve as the Reusable Multiplier generator.

二、計畫的緣由與目的

一般有兩種設計流程，一種是 cell-based 設計流程，設計者使用 Verilog/VHDL 描述抽

象的硬體，經由自動的合成，放置以及繞線，這樣的設計流程，設計時間縮短了，但是設計出來的電路，在時序上以及面積都比較差，第二個流程是 full-custom 設計流程，設計出來的電路，可以達到相當高的品質，但是這種設計流程需要耗費相當多的人力以及時間。而且因為大量的人為操作，容易發生錯誤，因此需要耗費相當多的時間作驗證。

在深次微米時代，除了要考慮元件的延遲之外，還要考慮繞線的延遲，但是連線的延遲，在合成的時候，很難精準的估計時序，所以一般會把合成跟放置合在一起做，一般稱之為 physical synthesis，我們更加的延伸，把電路分成很多部分，每個部分都做合成與放置，這樣的方法可以達到更好的效果。

三、研究方法及成果

1. Generation flow

我們從 LSB 端的 VCS 做起，每一個 VCS 做 column compression tree generation，placement，resynthesis，speedup for the final Adder，做完這個 VCS，再做下一個 VCS，這樣的設計主要是因為 VCS 是一片一片的結構，使用這樣的流程可以利用此特性，這是一般電路所沒有的。

2. Number System:

數字的表示，會影響到所需要的功率消耗，因此在電路設計時可能需要使用不同的表示法，因此也需要不同表示法的運算器，我們

使用 2 補數來表示有號整數，我們的 partial product 產生器可以輕易的處理有號整數以及無號整數。

3. Timing Model:

在這個計畫中，我們使用 cell-based 的時序模型，這樣可以比使用 XOR-based 的模型更加的準確，而且此模型可適用於不同的 cell library。

在連線的延遲估計上，我們使用 π -model 來模擬電路的結構，以及使用 elmore delay 的估算，來計算連線的延遲。

4. Column Compression Tree Generation:

給定每個 compressed terms 的到達時序，以及 cell 的資訊，建立一個最佳的 tree，這個 tree 有最快到達的 sum 以及 carry。

在這個問題上我們提出的 top-down 的演算法，這方法可以對整個 tree 做最佳化，相較於 bottom-up 的方法，只能使用一些 greedy 的演算法，我們提出的演算法是比較具有整體性的演算法。

5. Placement

乘法器具有 VCS 的結構，每個 VCS 跟前後 VCS 之間有連線關係，跟其他的 VCS 沒有連線，所以在放置的時候，針對這個特點，我們選定的放置位置也是具有這樣的特色，也就是每個 VCS 跟之前與之後的 VCS 在位置上相連的。

一般的 block 需要設計成方形，這樣在做

floorplan 的時候，處理上比較簡單。因為我們的乘法器產生器是可以輸出不同 bit-length 的乘法器，我們需要動態的決定每個 VCS 所使用的空間，因此找出一般性的通式是最重要，我們找出一些規則，可以把空間配置成方形，並且每個 VCS 還是保有原有的特性。

6. Resynthesis:

因為在 synthesis 的時候，估計的線路延遲是不準確的，為了更進一步的改善，我們交換相同 weight 的連線，來達到整體的最佳化，首先要找出可以交換的連線來，之後再決定如何的交換，我們提出系統化的方法，針對連線的到達時序，來決定可交換的連線，至於交換的配對，是把此問題變成一個 minimax 的數學問題。

7. Speedup for the Final Adder:

乘法器在最後面需要加法器，但是由於此加法器的 input arrival time 是不一致的，因此需要特殊的加法器來處理。根據不同的 arrival time，我們會去分析 critical path，然後加入適當的 look-ahead 電路來加快速度。

四、結論與討論

在本報告中，我們提出了一個完整的流程，可以產生出各種乘法器，初步的成果相當令人滿意，並發表在會議中[1]。並已投稿至國際性期刊[2]，以及國際性會議[3,4]。

表一簡列近年本研究群的相關研究成果。88 年發表會議論文 12 篇，期刊論文 4 篇，

並於 IEEE 期刊與 ACM 期刊各發表一篇論文。89 年發表會議論文 5 篇，期刊論文 6 篇，並有 4 篇論文於 IEEE 期刊發表，90 年發表會議論文 10 篇，期刊論文 3 篇，並有 3 篇論文於 IEEE 期刊發表，91 年及以後發表會議論文 5 篇，期刊論文 5 篇，並有 4 篇論文於 IEEE 期刊發表。

Year	Number of Papers				SCI
	Domestic		International		
	Conference	Journal	Conference	Journal	
1999	4	0	8	4 (IEEE:1) (ACM:1)	4
2000	0	0	5	6 (IEEE:4)	6
2001	2	0	8	3 (IEEE: 3)	3
2002>	3	0	2	5 (IEEE:4)	5

表一、本研究群近年相關研究成果

五、參考文獻

- [1] Cheng-Yeh Wang, Ya-Chi Yang and Jing-Yang Jou, "An Automatic Layout-Driven Multiplier Generator," the 13th VLSI Design/CAD Symposium, Hsinchu, August 2002.
- [2] Cheng-yeh Wang, Ya-chi Yang and Jing-yang Jou, "Layout-driven Automatic Multiplier Generation," submitted to IEEE Trans. on VLSI.
- [3] Cheng-Yeh Wang, Chaobin Lin, Ya-Chi Yang and Jing-Yang Jou, "An Effective Multiplier Resynthesis Technique," submitted to IEEE International Symposium on Circuits and Systems.
- [4] Cheng-Yeh Wang, Ya-Chi Yang and Jing-Yang Jou, "An Effective Physical Synthesis Technique for Multiplier," submitted to International symposium on VLSI technology, systems, and applications.