

單晶片寬頻無線通訊系統設計技術之研究-總計畫
子計劃：無線多媒體傳輸與基頻電路設計之研究
**The Study of Wireless Multimedia Transmission and
Baseband Processor Design**

計畫編號：NSC90-2218-E-009-040

執行期限：民國 90 年 08 月 01 日起至民國 91 年 07 月 31 日

計劃主持人：李鎮宜教授 國立交通大學電子工程學系

Tel: 03-5731849; Email: cylee@cc.nctu.edu.tw

一、 中文摘要：

本子計畫的研究內容是應用於無線系統上的多媒體傳輸及基頻處理器之研究，在多媒體傳輸方面，我們針對三度空間電腦繪圖前級資料傳輸，設計出一個可接受貝茲曲線(Bezier Curve)輸入之演算法和硬體，如此可大幅降低前級輸入之資料量，並可做 Level of Detail 之控制，此外我們也提出一可整合於繪圖處理器之 Visibility engine，此單元可以藉由快速的消除隱藏面來降低後級所需的頻寬和運算量，進而使得 3D 繪圖可應用於可攜式產品上。此外在基頻處理器方面，為因應未來 SOC (System on Chip) 的設計趨勢，我們提出在大多數通訊系統都可以應用的多模式錯誤更正處理器 (Multi-mode FEC processor)，一方面希望能夠使用相同的硬體設計來符合不同的系統規格以節省實作上的光罩費用及開發時程，另一方面也希望能夠針對錯誤更正機制中的基本單元，在演算法架構以及記憶體使用上提出改進，以達到電路複雜度以及功率消耗之最佳化。

關鍵字：單晶片系統、基頻處理器、三度空間電腦繪圖、貝茲曲線、階層式 Z buffer、錯誤更正碼、Reed-Solomon 編碼。

英文摘要：

The research topics of this project focus on wireless multimedia transmission and the baseband processor. In multimedia transmission, we focus on the 3D graphics objects transmission in geometry stage. We propose a Bezier curve tessellation algorithm and its hardware

architecture to process Bezier curves. This can save the input bandwidth and control the level of detail under different requirements. Beside, we propose a visibility engine to be integrated into current graphics processor. The engine can quickly discard hidden pixels and reduce the bandwidth and operations. By combining the two techniques, we can bring 3D graphics application into handheld devices.

Regarding the baseband processor in SOC design, we propose a multi-mode FEC processor for most communication system. The multi-mode processor can fit into different system requirements and save the cost of layout mask and development time. To reduce the circuit complexity and power consumption, we improve the architecture of basic unit and memory usage in error-correction.

Keyword : SOC、Baseband Processor、3D Graphics、Bezier Curve、Hierarchical Z-buffer、Forward Error Correction(FEC)、Reed-Solomon coding。

二、 計畫緣由與目的：

隨著無線通訊技術的推進，原本只能在固定、有線平台上的應用漸漸的可轉移到無線的手持裝置上，而無線寬頻裝置上多媒體是最熱門的應用，因此在此研究計畫中我們的兩大主題就是多媒體傳輸相關的議題及通訊系統核心-基頻處理器部分做相關的探討，我們期望能提出一適用於無線傳輸的多媒體技術及適用於各種標準的基頻處理器技術。

在多媒體傳輸方面，我們主要針對目前熱門的 3D

電腦繪圖做探討，由於硬體資源和功率消耗的限制，使得 3D 電腦繪圖較不易實現於手攜式產品上，尤其是頻寬的需求，不管在資料傳輸端或運算處理端都需要大量的頻寬，因此我們主要針對這兩方面下手，提出可減少需求頻寬的技術。

在 3D 電腦繪圖的資料傳輸端，由於大部分的物體多是以多邊形來表示，此部分的資料量會隨著物體的多寡及複雜度而暴增，在網路或無線傳輸時，必須花費較長的時間才能完全下載完成，因此並不符合多媒體傳輸的精神，而另一種物體表現的方式是使用貝茲曲線(Bezier curve)，因為曲線是使用參數是來表示物體的外觀，因此可以大幅縮減所需要的資料量，並且可以做 quality of service 的控制，正好符合網路傳輸的需求，但因目前的繪圖處理器並沒有特別針對曲線輸入而設計，因此沒有辦法達到即時曲線著色的要求，在此我們提出一適合於硬體實現的曲線拆解(tessellation)演算法和硬體單元，使其能整合進現有的繪圖處理器，達到多媒體傳輸的需求。

除了在資料輸入端的頻寬降低外，考慮到手持式裝置有限的硬體資源，我們更針對後級繪圖單元提出一頻寬降低的技術，我們結合了之前所提出的階層式 Z-buffer 和描繪(Rasterization)單元，提出一 visibility driven rasterization 的方法，使得描繪硬體在運作時也可將一些不需要的點消除，結合階層式 Z-buffer 和 visibility driven rasterization，我們提出了一 visibility engine 單元，此單元可整合進目前的運算單元，大幅將低後面運算所需的頻寬以及不必要的運算，使得 3D 電腦繪圖可以在較低的硬體資源上實現。

在無線通訊系統中，錯誤更正 (Forward Error Correction, 簡稱 FEC) 主要是用來保護數位資料，使其不會因為人為破壞或是傳輸過程當中發生錯誤而喪失。而從不同應用的規格中，錯誤更正機制主要由四個單元所組成：Randomization、Reed-Solomon coding、Interleaving 以及 Trellis coding。以 DVB 或纜線數據機 (Cable Modems) 為例，除了前後順序或使用名詞略有不同外，其 FEC 機制皆包含上述四個部分；在其他的應用如無線區域網路 Hiper LAN 或者 IEEE 802.11a 的規格中，整個 FEC 機制由 Randomization、Trellis

coding 跟 Interleaving 所組成；而在光碟、數位影音光碟 DVD 或者光纖通訊應用上則僅選用 Interleaving 以及 Reed-Solomon coding 來作為 FEC 機制。

換句話說，大多數實際應用的 FEC 機制中，使用之基本運算單元通常大同小異，並且這些差異可以用參數化的方式表現出來¹。在電路設計上，複雜的演算法將導致設計者花費許多不必要的時間就各自的運算單元分別設計，這種沒有考量整體系統效能所得到的電路複雜度以及功率消耗通常也都相當大。此外，由於製程演進使得每層光罩所需的費用數倍於以往，再加上未來 SOC 的設計概念中，所有的運算及資料流 (data path) 的控制皆需依靠一多功用處理器如 ARM 等來進行處理，複雜的 FEC 運算勢必拖垮整個系統效能。因此，藉由 FEC 運算的特性，我們定義出其專屬之特殊指令集，並且提出一個可以符合大多規格且複雜度低的多模式錯誤更正處理器，除了可以降低新光罩的成本，也可以當作加速 SOC 系統應用之 FEC Co-processor。

三、 研究成果：

在多媒體傳輸上，我們提出的是和 3D 電腦繪圖有關之貝式曲線(Bezier curve)拆解以及結合階層式 Z-buffer 可視性之描繪單元，Fig.1 所示即為加入此二單元之 3D 繪圖流程。

在貝式曲線拆解上，我們提出一適合於硬體實現的簡化曲線拆解演算法，此演算法的流程如 Fig.2 所示，其中包含主要的幾個部分：view-dependent threshold scaling、vertex decimation 和 triangulation，view-dependent threshold 可以根據物體的遠近來決定要拆解三角形的多寡，vertex decimation 是將拆解後的三角形作平坦化的測試，若發覺此平面不需太多的三角形表示，則可消去一些不必要的頂點，triangulation 的目的是要將最後的頂點做三角形格式的輸出，以相容於後級現有的硬體，Fig.3 所示為其硬體架構，其中 tessellation ALU 中包含一個含有四個浮點 MAC 運

1 以 RS code 為例，在 DVB 應用中所採用的是 (204,188) RS code，而在光纖通訊上則採用 (255,239) RS code。

算的的單元和另一個專門針對特別運算(除法和開跟號)所設計的特殊運算單元，我們使用了 SystemC 來模擬整個架構，模擬的結果顯示我們的硬體架構可以滿足即時曲線拆解的需求。

此外另一個新加入的單元 Visibility engine，其內部的架構圖如 Fig.4 所示，其中包含主要的兩個單元：visibility cache 和 visibility driven rasterizer，visibility cache 中包含用於測試可見度的階層式 z-buffer cache，以及用於更新階層式 z-buffer 所需的資料的 pixel coverage cache，此外還為了加快 rasterization 的速度，我們也設計了 z pre-fetch buffer 預先擷取所需的深度值給 rasterization 單元使用，由我們模擬的結果，大約只需要 16 個 block 的 two-level hierarchical z-buffer cache、16 個 block 的 pixel coverage cache 及 32 的深度值的 z pre-fetch buffer 就可以減少需多不必要的頻寬及運算。在 visibility engine 的另一單元 visibility driven rasterizer，其使用 tile-order scan-line based 的 scan-convert 方式，此方式可配合 two-level hierarchical z-buffer 做 visibility driven rasterization，此外此 rasterizer 並可依據三角形的大小來調整 block 的大小，使其能快速的處理不同大小的三角形，Fig.5 所示為 visibility driven rasterization 的流程圖，table 1 為在兩種不同 hierarchical z-buffer 配置下的模擬結果，我們可以發現在我們的測試影像加上 tile-order scan-line based visibility driven rasterization 後整體頻寬可以節省約 35~60%。

對於無線通訊基頻處理器部分，在此我們提出一個可以應用在多重規格底下的錯誤更正處理器。整個系統是用來驗證所提出的架構可行。如 Fig.6 所示，主要分成三個部分，FPGA、Flash Memory 以及跟 PC 之間的介面。其中 FPGA 主要是用以合成我們的 core circuit，Flash Memory 則是用來灌入不同應用時的 micro code，而藉由 PC 可以產生不同應用的測試資料 (test patterns)，透過 8051 的介面做輸入輸出控制，將運算結果傳回 PC 作整體效益的評估。其特點為：

- 16-bit instruction word
- Four issued super scalar
- One instruction cache

- Single instruction memory
- Double data memory

整個 FEC processor 四個基本運算單元中，Randomization 主要是用來避免產生一連串的 1 或 0，硬體的實現相當單純；而 Interleaving 部分，不論是 Block interleaving 或者 Convolutional interleaving，其實就是打散位址的計算，也就是自然數的運算。因此這兩個部分比較適合運用一般的 DSP 來進行運算。至於針對演算法比較複雜的 RS codes 以及 Trellis codes，我們發展了一組 16-bit，適用於兩者的指令架構；除此之外，每個在 RS codes 中使用的指令可以一次處理兩筆有限場運算，並且發展出可有效減少 memory access 的新演算架構。

如 Fig.7 所示，所定義 16-bit 指令在資料定址模式上只區分為二元運算的暫存器定址以及直接定址兩種；至於所運用的指令集，在運算邏輯指令方面主要分為：(1) 一般 DSP 所使用如 bit-wise AND/OR/XOR/INV、counter、adder 等；(2) 為了 RS 演算法所定義之 FFM、FFA 以及 FFMAC；(3) 為了執行 Viterbi algorithm 所定義之 TM、ACS、MIN、MOVB、MX2、MX16。由於將 RS 演算法當成是一連串 FFM(有限場乘法器)與 FFA(有限場加法器)的運算組合，可以另外再加上一個 FFMAC(有限場乘加器)的動作來加速運算。而在 Viterbi 演算法裡頭，利用 TM 以及 ACS 一次算出兩個 PM 值，接著用 MIN 來決定這兩個 PM 的最小者後就可以決定 SM；此時 MOVB 與 MX2 分別記錄 SM 值與其狀態，最後則利用 MX16 來決定最後該輸出的 message，也就是說這六個新定義之指令可以用來實現 Viterbi 的運算。

此外，我們也針對指令集所需，定義了 32 個相對應的暫存器，其中僅有 MOD、TM 跟 SMFG 這三個特殊暫存器。換句話說，所提出之 FEC processor 架構與現今一般 16-bit DSP 非常雷同。這表示所提 FEC processor 一方面可以當成 SOC 系統裡頭的 Co-processor 來加速錯誤更正機制之運算，另一方面也可以建議現有之 DSP 加入我們所定義的指令集以及特殊暫存器，用以

節省原來花在錯誤更正運算之系統資源。

四、 結論與討論

我們所提出針對 3D 繪圖輸入端(貝茲曲線拆解)和運算端(Visibility engine)所做的節省頻寬技術可以大幅降低手持式裝置的成本和功率消耗，貝茲曲線的輸入，可降低頻寬也可做 QoS，符合多媒體無線傳輸的需求;而在基頻處理器上的 FEC 方面，市面上雖然也有許多高效能的 DSP (如 Ti 公司的 TMS320 C614-600)，可以拿來作 FEC 運算，但在成本及效益的考量上卻不符合實際系統需求。而在這篇報告所提出的 FEC processor 架構，僅僅多了三個特殊暫存器與九個特殊指令，其它部分與一般 DSP 架構非常雷同，這意味著我們的 FEC processor 一方面可以當成 SOC 系統裡頭的 Co-processor 加速錯誤更正機制之運算，另一方面也可以將所提出的指令集以及特殊暫存器納入現有的 DSP 架構當中，以節省實際應用時耗費在 FEC 運算時之系統資源。未來單晶片的寬頻無線多媒體系統晶片將可適用於各種不同的通訊系統，而多媒體應用將包含影像、聲音和 3D 電腦繪圖等，而在這些技術背後還有一個重要的課題就是低功率設計，此一問題仍有待克服，未來我們的研究方向將朝向一個低功率的寬頻無線多媒體系統晶片做深入的探討。

五、 發表文獻

- [1] Hsie-Chia Chang, Chien-Ching Lin, and Chen-Yi Lee, "A low-power design for the Reed-Solomon decoder," accepted by Journal of Circuits, Systems, and Computers .
- [2] Cheng-Hsien Chen, and Chen-Yi Lee, "Reduce the memory bandwidth of 3D graphics hardware with a novel rasterizer", accepted by Journal of Circuits, Systems, and Computers
- [3] Hsie-Chia Chang, Chien-Ching Lin, and Chen-Yi Lee, "A low-power Reed-Solomon decoder for STM-16 optical communications," IEEE ASIA Pacific Conf. on ASICs (AP-ASIC), August 2002.
- [4] Hsie-Chia Chang, Ching-Che Chung, Chien-Ching Lin, and Chen-Yi Lee, "A 300MHz Reed-Solomon

decoder chip using inversionless decomposed architecture for Euclidean algorithm," 28th European Solid-State Circuits Conf. (ESSCIRC), September 2002.

- [5] Cheng-Hsien Chen, and Chen-Yi Lee, "Two-Level Hierarchical Z-Buffer for 3D Graphics Hardware", *Proceedings of IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 253– 256, 2002.

六、 圖表:

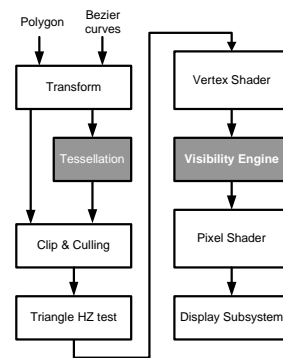


Fig.1 3D電腦繪圖流程 (灰色部分為我們提出的新單元)

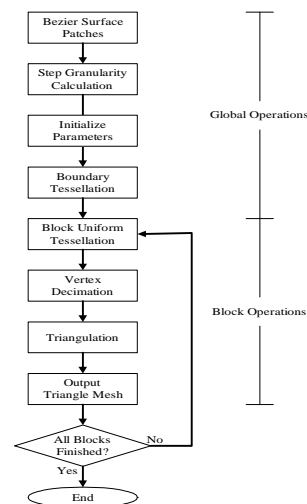


Fig.2 Simplified Adaptive Tesselation.

