

行政院國家科學委員會專題研究計畫成果報告

低介電常數材料與銅製程整合之研究

Study on the integration of low dielectric constant materials and copper interconnect

計畫編號: NSC 90-2215-E-009-048-

執行期間: 90年8月1日至91年7月31日

計畫主持人: 施敏 博士

共同主持人: 張鼎張 博士

執行機關: 國立交通大學電子工程研究所

計畫參與人員: 莫亦先、蔡宗鳴、李蓓欣、林宗衛

一、中文摘要

在本次計畫中，我們主要的研究重點在於探討對低介電材質的一些後續處理步驟，例如：固化(curing)處理或電漿處理等步驟來改善無機類和有機類的低介電材質與銅製成整合上都會面臨到的 Cu 擴散的問題。並且探討低介電常數材料在不同種類的電漿處理後其與銅電極介面反應的情形。並針對低介電常數材料與銅的反應機制做一詳盡的研究。一般低介電常數材料大致分為有機類與無機類兩種。其中我們所採用的無機類低介電常數材料為 HSQ (Hydrogen Silsesquioxane) 另外，有機類的低介電常數材料我們則採用 MSQ (Methylsilsesquioxane)。

本次研究中，我們發現退火溫度愈高，銅元素會擴散至低介電常數材料內部，造成漏電流與介電常數的上升。另外，我們也發現鍍有銅電極之 HSQ 薄膜經過熱退火後之漏電流在低電場是呈現歐姆傳導 (ohmic conduction) 的機制，而在高電場下是呈現 Poole-Frenkel 的漏電機制。此外，隨著 H₂ 及 NH₃ 電漿的後續處理時間越長，HSQ 薄膜與銅電極的熱穩定性也將隨之升高，其穩定度可以提高至 500 °C。另一方面，H₂ 及 NH₃ 電漿的後續處理也可以將以銅當電極 MSQ 薄膜的熱穩定度提升至 550 °C。

關鍵詞：低介電常數材料、銅、氫電漿、氮電漿、熱穩定性

Abstract

In this project, the effect of post-treatment on low-k materials integrate with Cu has been investigated. We also discussed the interface reaction between Cu and low-k treated with various plasma treatment. Also, we discussed the mechanism of the reaction between Cu and low-k materials during thermal stress. Generally, low-k dielectrics consist of organic and inorganic materials. We adopted two low-k materials. One is an inorganic low-k material (HSQ). The other is an organic low-k one (MSQ).

In this work, we found that Cu would diffuse into low-k materials as the thermal stress temperature increase. And this would result in leakage current and dielectric constant increasing. In addition, we found the leakage mechanisms of post-annealed HSQ were dominated by ohmic conduction at low electrical field and Poole-Frenkel at high electrical field. Furthermore, the thermal stability of Cu/HSQ/Si was increased with the increase of H₂ and NH₃ plasma-treated time. Its thermal stability can achieve 500 °C. On the other hand, H₂ and NH₃ plasma treatment can also arise the thermal stability of Cu/MSQ/Si up to 550 °C.

Keywords: low-k, H₂ plasma, NH₃ plasma, Cu, thermal stability

二、緣由與目的

當積體電路的積集度隨著半導體元件尺寸不斷縮小而增加時，晶片的表面將無法提供足夠的面積製作所需的內連線(Interconnects)，因此需藉助多層的金屬導線設計，來解決 MOS 電晶體縮小後所面臨的內連線問題。然而，隨著金屬導線層的數目不斷增加時，電子訊號在金屬連線間傳送的時間延遲(即電阻(R)與電容(C)乘積值)，已成為積體電路操作速度受限的重要原因[1-3]。為了降低訊號傳遞的時間延遲，具有低電阻值的金屬導線材料和低介電係數值的介電材料遂廣被研究發展，成為積體電路技術研發的熱潮。[4-7]

在低電阻金屬導線部份，金屬銅由於具有(1)低電阻特性，其阻值為 $1.7 \mu\Omega\text{-cm}$ ，而鋁則為 $2.7 \mu\Omega\text{-cm}$ ；(2)良好的抗電子遷移性，比鋁高了四個數量級(order)；(3)良好的抗應力導致的空洞形成性質；(4)高熔點等優點，成為未來 ULSI 製程中最有希望取代傳統金屬鋁的金屬導線材料。

在低介電常數材料部份，現今有許多低介電常數材料(如 HSQ, MSQ)，其介電常數較傳統的二氧化矽($k=3.9$)低了許多，因此將這些低介電常數材料應用於內層導線間的介電層，勢必可以大幅降低導線-介電層-導線結構之電容值，再者，這些低介電常數之高分子材料通常係利用旋塗(spin-on)的方式來沈積形成薄膜，以塗裝方式所形成的薄膜具有良好的填洞能力，亦即較好的平坦能力，此外，旋塗的製程在操作上不僅非常地簡易且有較低的製程成本。這些都是應用低介電常數之高分子材料時在製程技術上所具有的優點，遂使得低介電常數之高分子材料成為主要的發展趨勢。[8-11]

然而，隨著尺寸線寬愈來愈小，因此為了達到高效能運作的電路系統，低介電常數材料與銅導線的整合就成為不可避免的發展趨勢。然而，當低介電常數的新材料與銅整合後，兩者間的交互作用是一個很重要的課題，因為傳統的二氧化矽與銅就會有交互作用的發生，銅會擴散至氧化層中降低其品質。因此，在本次成果報告中，我們將探討以金屬銅作為金屬導線時，銅與低介電常數材料間的交互作用及其影響。並對銅金屬擴散至低介電常數材

料所造成的漏電行為作一初步的討論。最後提出一些對低介電常數材料後續處理的方法，以進一步改善銅金屬和低介電常數材料在製程整合上所遇到銅擴散的問題。

三、實驗步驟

此次實驗，我們觀察經過電漿後續處理後之無機類及有機類之低介電常數材料與銅導線間之交互作用。無機類的低介電常數材料我們選擇 HSQ (Hydrogen Silsesquioxane)。另外，有機類的低介電常數材料我們選擇 MSQ (Methylsilsesquioxane)。並藉電性與物性的量測，以探討銅金屬在低介電常數材料中的漏電行為。

(1) 電漿後續處理的 HSQ (Hydrogen Silsesquioxane) 薄膜備置與分析方法：

我們選用 4 吋，其阻值為 $11-25(\Omega\text{-cm})$ 的 P 型(100)面之單晶矽晶片，在 HSQ 旋轉塗佈至矽晶片前，先將晶片以標準的 RCA 清洗步驟去除晶片上的有機物、微塵、及金屬離子，再將 HSQ 旋轉塗佈在矽晶片表面。

其旋塗的方式分為一段式旋塗，轉速為 2000 (rpm)，加速度 2000(rpm/sec)，旋轉時間為 20 秒鐘。當 HSQ 已均勻塗佈至矽晶片上，可將矽晶片至於熱墊板(Hot Plant)加熱，分別經過 150°C 第一段加熱 1 分鐘， 200°C 第二段加熱 1 分鐘，及最後的 300°C 第三段加熱 1 分鐘。最後、我們進行 HSQ 的固化，將 HSQ 置於爐管中，溫度控制在 400°C 之氮氣環境下，固化 1 小時。再來將已完成的晶片分別進行 H_2 及 NH_3 的後續處理。將經過電漿後續處理後的薄膜鍍上銅或是鋁電極以製作成 MIS 的電容結構。之後，將完成的樣本送入氮爐進行進行 $425-500^\circ\text{C}$ 30 分鐘的熱退火。藉以研究在經過電漿處理之後，其與銅電極整合的熱穩定度問題。

(2) 電漿後續處理的 MSQ (Methylsilsesquioxane) 薄膜備置與分析方法：

我們選用 4 吋，其阻值為 $11-25(\Omega\text{-cm})$ 的 P 型(100)面之單晶矽晶片，在 MSQ 旋轉塗佈至矽晶片前，先將晶片以標準的 RCA 清洗步驟去除晶片上的有機物、微

塵、及金屬離子，再將 HSQ 旋轉塗佈在矽晶片表面。

其旋塗的方式分為一段式旋塗，轉速為 3000 (rpm)，加速度 3000(rpm/sec)，旋轉時間為 20 秒鐘。當 MSQ 已均勻塗佈至矽晶片上，可將矽晶片至於熱墊板(Hot Plant) 加熱，分別經過 180°C 第一段加熱 2 分鐘及 250°C 第二段加熱 1 分鐘。最後，將 MSQ 置於爐管中，溫度控制在 400°C 之氮氣環境下，固化 1 小時，藉以形成較完整的鍵結與結構。

再來將已完成的晶片分別進行 H₂ 及 NH₃ 的後續處理。將經過電漿後續處理後的薄膜鍍上銅或是鋁電極以製作成 MIS 的電容結構。之後，將完成的樣本送入氮爐進行進行 400-550 °C 30 分鐘的熱退火。藉以研究在經過電漿處理之後，其與銅電極整合的熱穩定度問題。

實驗進行中，於每個製程步驟中，皆需量測薄膜厚度、薄膜的化學鍵結等參數，藉此研判薄膜在製程中是否有任何的變化。在參數量測方面，薄膜厚度可用 N&K 測量之，薄膜的化學鍵結可用傅立葉轉換紅外線吸收光譜儀(FTIR)測得，另外可用 Keithley Model 82 CV meter 量測面積為 0.0053cm² 的 MIS 電容，藉以求出低介電常數材料之介電常數值。至於薄膜漏電流則用 HP-4156 量測面積為 0.00133cm² 的 MIS 而得之。此外，還利用二次離子質譜儀(SIMS)以研究銅擴散至薄膜內的情形。另外，XPS 被用來分析經過氮氣電漿處理過後 MSQ 的表面情形。

四、結果與討論

圖 1 顯示 HSQ 薄膜經過不同溫度的熱處理過後，FTIR 光譜的變化情形。隨著退火溫度的逐漸上升，Si-H 與 Si-O cage-like(1132 cm⁻¹)的強度逐漸減少，但 Si-O network (1070 cm⁻¹)的強度卻有些微的上升，但是其上升的幅度並不明顯。

圖 2 (a)及(b)顯示鍍上 Al 或 Cu 電極的 HSQ 薄膜經過 425-500 C 熱退火後的介電特性圖。從與鋁電極的樣本比較，發現經過熱退火之後銅電極的介電特性的退化主要是由 HSQ 薄膜的熱分解及 Cu 擴散入

HSQ 薄膜中所引起。隨著熱退火的溫度增加，鍍有銅電極的 HSQ 薄膜其漏電流及介電常數都有明顯的增加，這歸因於在熱退火過程中 Cu 擴散及介電薄膜劣化所致。因此造成嚴重的介電特性的退化。

圖 3 (a)及(b)顯示鍍有銅電極的 HSQ 薄膜之漏電行為。圖 3(a)為鍍有銅電極的 HSQ 薄膜的 log J 對 log E 圖。圖 3(a)中顯示不同溫度退火後低電場(low E)下其 logJ 對 logE 呈線性關係。而經過 425、450、及 500 C 退火後其線性的斜率分別為 1.10, 0.901, 0.962。此低電場對漏電流的直線關係表示經過熱退火後其漏電行為是由歐姆傳導所主導。這結果顯示此漏電流機制是由主體限制傳導(bulk-limited conduction)所主導。圖 3(b)顯示不同溫度退火後其 logJ 對 E^{1/2}呈線性關係。這個線性的變化可能的原因不是 Schottky emission 就是 Poole-Frenkel 的漏電機制。Schottky emission 的公式如下：

$$J = A^* T^2 \exp\left(\frac{\beta_s E^{1/2} - \phi_s}{k_B T}\right) \quad (1)$$

而 Poole-Frenkel 的公式如下：

$$J = J_o \exp\left(\frac{\beta_{PF} E^{1/2} - \phi_{PF}}{k_B T}\right) \quad (2)$$

就理論而言，Schottky emission 是由電子跨越影像力(image force)所造成的阻障高度所引起的漏電流。而 Poole-Frenkel 是由電子跨越主體(bulk)缺陷(trap)位能井所引起的漏電流。而 $\beta_s = (e^3/4\pi\epsilon_0\epsilon)^{1/2}$ ， $\beta_{PF} = (e^3/\pi\epsilon_0\epsilon)^{1/2}$ 。其不同溫度的理論值陳列在表 1。其中最大的差別是 β_{PF} 值是 β_s 的 2 倍。且其斜率=($\beta/k_B T$)，經過換算後可以得到 β 的實驗值。從圖中觀察得知，經過 425、450、500 C 退火後的 β 分別為 6.475×10^{-24} ， 6.393×10^{-24} ， 5.42×10^{-24} 。這些實驗的 β 值比較接近理論的 β_{PF} ，所以我們相信退火過後的 Cu/HSQ/Si 的漏電機制是由場效 Poole-Frenkel 漏電機制所主導。

圖 4(a)及(b)顯示經過 H₂ 電將處理過後的 Cu/HSQ/Si 在受到 500 C 30 分鐘的熱退火之後的漏電流及介電常數的變化圖形。我們發現經過不一樣的 H₂ 電漿處理後在經過 500 C 30 分鐘的熱退火之後其漏電流還是維持在 10⁻⁷ 的級數(order)。這個級數的漏電流是和剛固化(as-cured)完的

HSQ 薄膜接近的。跟沒有經過處理的樣本比較的話，其漏電流的大小大概小二個級數。此外，經過 9 分鐘的電漿處理後的 HSQ 薄膜在經過 500 C 30 分鐘的熱退火之後其介電常數仍維持在大概 3 的值。因此，H₂ 電漿可以有效的預防在熱退火過程中對 HSQ 薄膜的傷害。為了進一步的證明此效應，我們利用 SIMS 來觀察 Cu 在 HSQ 薄膜中的分布情形。

圖 5 為利用 SIMS 分析之 Cu/HSQ/Si 結構經過 500 C 30 分鐘的熱退火之後 Cu 元素在 HSQ 薄膜中的分布情形。發現沒有經過 H₂ 電漿處理的 HSQ 薄膜有大量的 Cu 元素分布在 HSQ 薄膜內。然而，有經過 H₂ 電漿處理的 HSQ 薄膜只在表面發現少量的 Cu 擴散，即時經過高溫的熱退火之後，也只有表面 20nm 內會有 Cu 元素的出現。這清楚的顯示有經過氫電漿的 HSQ 薄膜可以大幅的降低銅金屬在高溫退火時擴散至 HSQ 薄膜中。根據以上的電性與材料分析的結果，我們提出了初步的解釋。在高溫的熱退火過程中，高溫使得銅金屬活化，擁有高能量的銅原子會很容易擴散進入 HSQ 薄膜之中。此外，在大於 400C 的高溫退火下種種的斷鍵及鍵的重組會同時發生，並使 HSQ 從 cage-like 變成 network-like 的結構。而 Si 及 O 元素將在此連結的過程中扮演重要的角色。大量的沒覆蓋的 Si-鍵結將存在，這歸咎於在高溫下不完整的 Si-O 及 Si-H 鍵結重組所造成。這些不完全的鍵結將會造成薄膜的不穩定。在沒有擴散阻障層的 HSQ 薄膜中，不穩定的懸鍵 (dangling bond) 和 Cu 電極接觸後會有高的驅使動能。這會提高和銅的反應機率並使銅可以容易的擴散到 HSQ 薄膜中。越提高退火的溫度會提高 Cu 原子的動能，另外也會加速薄膜的熱裂解，增加 Cu 擴散到 HSQ 薄膜的機率。Cu 擴散到 HSQ 薄膜中將造成缺陷中心，使得漏電流隨著退火的溫度上升而上升。而且銅的擴散將造成更多的懸鍵在 HSQ 薄膜中產生。但經過氫氣電漿處理後，活性的 H 元素將和在表面或主體內 (bulk) 的不完全的鍵結反應而形成保護層。這層保護層降低了 HSQ 薄膜和 Cu 金屬的反應，並減少銅金屬在 HSQ 薄膜的擴散路徑。因此，有經過氫氣電漿處理的 HSQ

薄膜其銅擴散進去的量比沒有經過處理的樣本來的少。這和圖 5 SIMS 分析出來的結果一致。

圖 6(a) 與 (b) 分別顯示有及無 NH₃ 電漿處理的 MSQ 薄膜的 XPS 光譜圖。在 HSQ 薄膜的 XPS 光譜圖中可以發現高強度的 Si 及 O 的信號，另外一個 C 的信號也在 XPS 光譜圖中被發現。這個 C 的信號是由於在測試過程中 C 的吸附所造成的結果。圖 6(b) 和圖 6(a) 不同的地方是在 XPS 光譜中的 400 eV 上出現了一個氮的信號。這表示氮原子將和未鍵結的 Si 鍵結並在表面形成 SiN_x 的薄層。

圖 7(a) 及 (b) 分別顯示經過 NH₃ 電漿處理的 HSQ 薄膜再遭遇 500 C 30 分鐘的熱退火後的漏電流及介電常數圖。和沒有經過 NH₃ 電漿處理的 MSQ 薄膜比較時，其漏電流的大小大概降低兩個數量級 (order) 左右，另外，經過九分鐘氫氣電漿處理的 HSQ 薄膜其介電常數仍然可以維持在一個較低的值 (K=3)，而經過氫氣電漿處理的 HSQ 薄膜可以被運用在積體電路上的 IMD 層。因此，由以上的結果顯示出氫氣電漿的後續處理可以改善 HSQ 薄膜的介電特性。

另外，二次電子質譜儀用來分析有經過氫氣電漿處理的 HSQ 薄膜中銅原子與氮元素的分布，圖 8 顯示經過 500°C 熱退火後的 Cu/HSQ/Si 結構中的銅原子分布情形，在圖中發現沒有經過處理的 HSQ 薄膜含有大量的銅原子，相對的有經過氫氣電漿處理的 HSQ 薄膜卻顯示出少量的銅元素出現在 HSQ 薄膜的表面，這個現象與電性分析的結果相吻合。由上面的結果，清楚的顯示藉由氫氣電漿的處理可以有效的降低銅擴散到 HSQ 薄膜的機率。

(2) MSQ (Methylsilsequioxane)

圖 9(a) 與 (b) 顯示 MSQ 薄膜經過氫電漿處理，再經過 550°C，30 分鐘的熱退火後的漏電流及介電常數。從圖中發現隨著氫電漿處理的時間增加，其漏電流及介電常數也隨之遞減。這是藉由氫電漿的處理可以提供額外的有活性分子和未鍵結的 Si 懸鍵已在表面及 bulk 內形成保護層，此保護層可以有效地減少 Cu 金屬擴散入 MSQ 的路徑。因此，氫氣電漿處理可以增加 MSQ

檔 Cu 的能力。

圖 10(a)與 10(b)顯示剛固化(As-cured)與氮氣電漿處理的 MSQ 薄膜之 XPS 圖,我們發現 MSQ 表面含有高量的 Si, O, C 的訊號在有氮氣電漿處理與無氮氣電漿處理的薄膜上。但是,圖 10(b)與圖 10(a)不同之處在 400 eV 處出現一個氮的訊號,這表示氮原子藉由氮氣電漿處理摻雜入 MSQ 薄膜內,並形成一層薄薄的 SiN_x 膜。而此保護膜可以防止後續的 Cu 金屬在熱退火的擴散。

圖 11 顯示經過氮氣電漿處理的 MSQ 薄膜經過 550°C 熱退火後的漏電流及介電常數圖,我們發現漏電流大幅地下降,即使在 2MV 的高電場下也不會出現介電崩潰的現象。而且,經過氮氣電漿處理的 MSQ 薄膜,其介電常數也比沒有氮氣電漿處理的低。

由以上的數據顯示 MSQ 在氮氣電漿處理後,會在表面形成一層氮化層,它可以有效地降低懸鍵與 Cu 的反應機會,並減少擴散入 MSQ 的路徑。因此,氮氣電漿可以有效地降低漏電流及介電常數。

五、自我評量

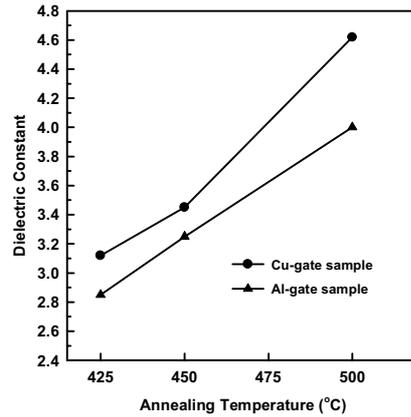
在本次實驗報告中,我們發現銅擴散入 HSQ 薄膜後其漏電流機制為 Poole-Frenkel emission 所主導。另外, H₂ 與 NH₃ 電漿處理對無機類低介電常數材料 HSQ (Hydrogen Silsesquioxane) 與有機類的低介電常數材料 MSQ (Methylsilsesquioxane) 熱退火的影響也於本次實驗報告中被評估。本次實驗中,我們發現藉由 H₂ 與 NH₃ 電漿的處理,可以在 HSQ 與 MSQ 薄膜形成含氮的保護層及氮化層。使得經過熱退火的薄膜之漏電流可以有效的降低。另外,薄膜的介電常數也可以維持低介電常數的特性。材料分析的結果亦呼應此一推論。當氮氣或氨氣處理的時間增加時,銅金屬擴散至低介電常數薄膜中機率就降低,使薄膜介電性質可以維持。這表示電漿後續處理可以對低介電常數材料的表面及主體進行改質。並形成保護層以防止 Cu 金屬在後續 IC 製作上的熱處理下擴散入介電質內造成介電特性的破壞。

六、參考文獻

- [1] J. Ida, M. Yoshimaru, T. Usami, A. Ohtomo, K. Shimokawa, A. Kita, M. Ino., *IEEE Symp. VLSI Technol. Digest*, 1994, p.59.
- [2] T. Sakurai, *IEEE Trans. Electron Devices*, 40, 118 (1993).
- [3] R. Singh, "Important role of dielectrics in bringing second electronic revolution in the twenty first century," in *Proc. Electrochemical Society 3rd international Symposium on Low and High Dielectric Constant Materials*, vol. 98-3, 1998, pp. 1-17.
- [4] T. Ohba, "Material and process challenges in 100nm interconnects module technology and beyond," *J. Electro. Mater.*, vol. 30, no. 4, pp. 314-319, 2001.
- [5] B. Roberts, A. Harrus and R. L. Jackson, "Interconnect metallization for future device generations," *Solid State Technology*, Feb. pp. 69-78, 1995.
- [6] M. Brillouet, "Multilevel interconnection technologies and future requirements for logic applications," *Microelectronic Engineering*, vol. 37-38, pp. 5-13, 1997.
- [7] S. H. Liu, E. Tolentino, Y. Lim, E. Tolentino and A. Koo, "Advanced metrology for rapid characterization of the thermal mechanical properties of low k dielectric and copper thin film," *J. Electro. Mater.*, vol. 30, no. 4, pp. 299-303, 2001.
- [8] P. T. Liu, T. C. Chang, Y. L. Yang, Y. F. Cheng and S. M. Sze "Effects of NH₃-plasma Nitridation on the Electrical Characterizations of Low-k Hydrogen Silsesquioxane with Copper Interconnects", *IEEE Trans. Electron Devices*, 47, pp. 1733-1739, 2000.
- [9] P. T. Liu, T. C. Chang, Y. L. Yang, F. Y. Shih, J. K. Lee, Eric Tsai, S. M. Sze, *Jpn. J. Appl. Phys.* 38, November, 1999.
- [10] T. C. Chang, T. H. Perng, P. T. Liu, S. M. Sze, C. Y. Chang, *The Electrochemical Society*, October 17-22, Hawaii, p.743, 1999.

表一在 425, 450, 及 500 °C 溫度下的介電常數及 β 值

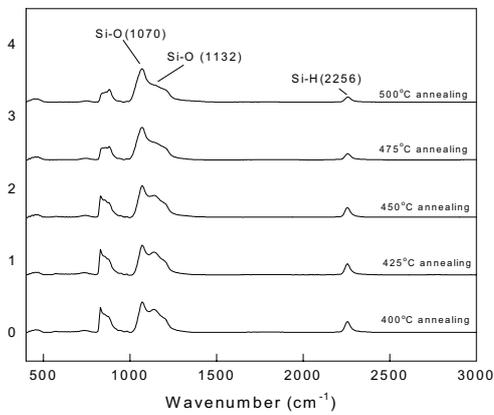
Temperature (°C)	425°C	450°C	500°C
Dielectric constant	3.12	3.45	4.62
β_s ($Jm^{1/2}V^{1/2}$)	3.43×10^{-24}	3.26×10^{-24}	2.82×10^{-24}
β_{PF} (= $2\beta_s$)	6.87×10^{-24}	6.53×10^{-24}	5.64×10^{-24}



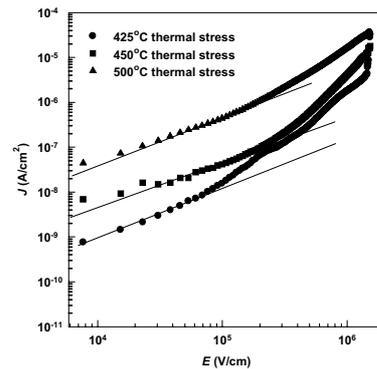
(b)

圖二鍍有銅電極與鋁電極之 HSQ 薄膜分別在 425-500°C 下退火 30 分鐘後

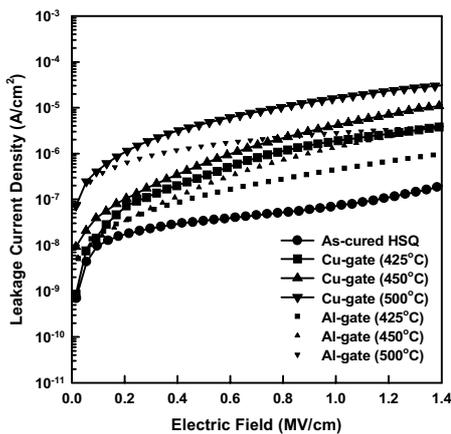
(a) 漏電流變化圖 (b) 介電常數變化圖



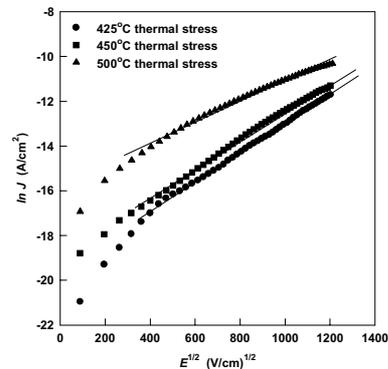
圖一 HSQ 薄膜在不同溫度的熱處理後之 FTIR 光譜圖



(a)

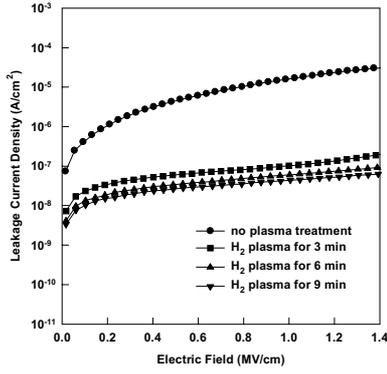


(a)

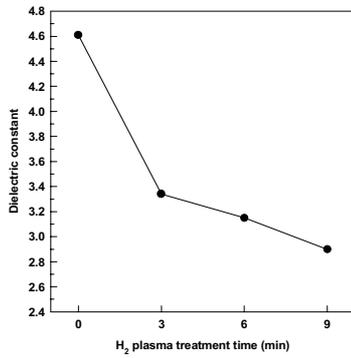


(b)

圖三(a) 鍍有 Cu 電極的 HSQ 之 $\log J$ vs $\log E$ 圖形。低電場是呈現 ohmic conduction 的現象。
(b) 鍍有 Cu 電極的 HSQ 之 $\log J$ vs. $E^{1/2}$ 圖形。在高電場下呈現 Poole-Frenkel 的傳導現象。

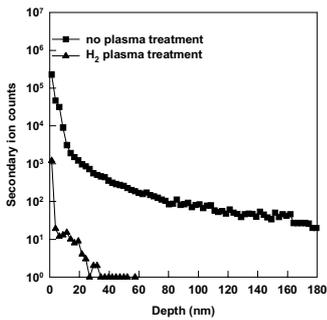


(a)

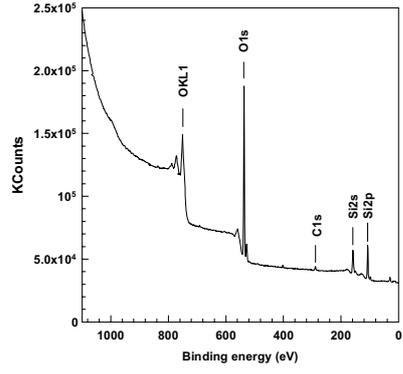


(b)

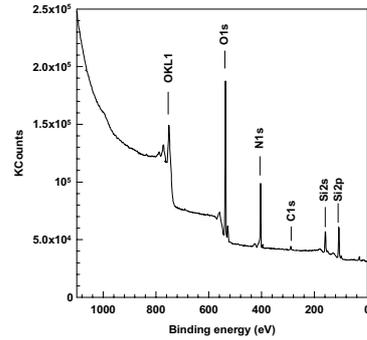
圖四 經過不同時間的H2電漿處理後的Cu/HSQ/Si在經過500°C 30分鐘熱退火之後的介電特性。(a)漏電流 vs. 電場圖 (b) 經過不同時間H2處理後的介電常數變化圖。



圖五 鍍有Cu電極的HSQ薄膜其有無經過H2電漿處理的Cu SIMS比較圖。

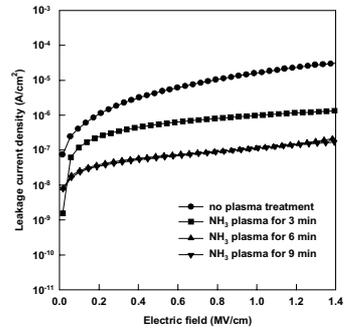


(a)

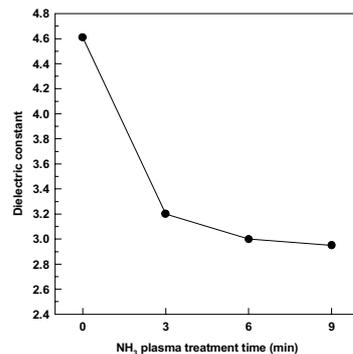


(b)

圖六 XPS光譜圖(a)剛固化的HSQ薄膜(b)有經過氮氣電漿處理過的HSQ薄膜。

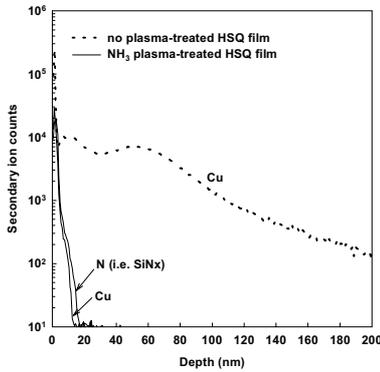


(a)

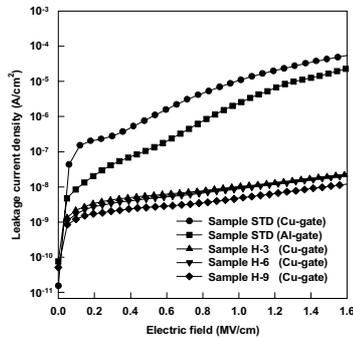


(b)

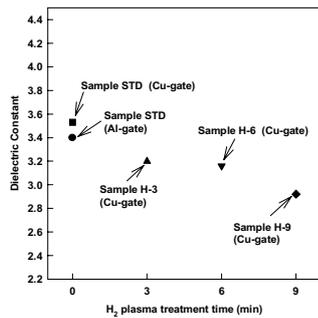
圖七 經過氨氣電漿處理過後 Cu/HSQ/Si 在經過 500 °C 熱退火之後的介電特性。
 (a) 漏電流 vs. 電場 (b) 經過不一樣氨氣電漿處理時間後的介電常數值。



圖八 鍍有 Cu 電極的 HSQ 薄膜其有無經過 NH₃ 電漿處理的 Cu SIMS 比較圖。

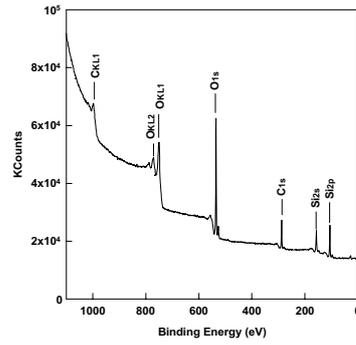


(a)

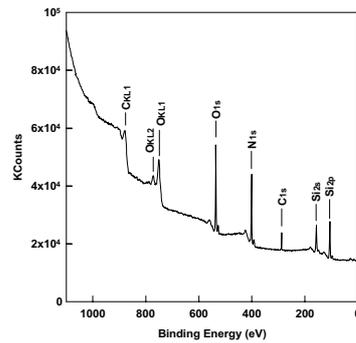


(b)

圖九 經過不同時間的 H₂ 電漿處理後的 Cu/MSQ/Si 在經過 550 °C 30 分鐘熱退火之後的介電特性。
 (a) 漏電流 vs. 電場圖 (b) 經過不同時間 NH₃ 處理後的介電常數變化圖。

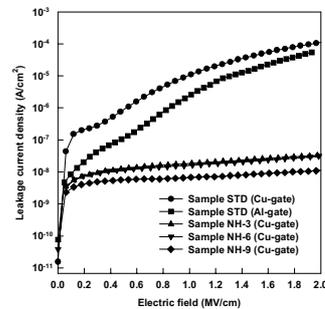


(a)

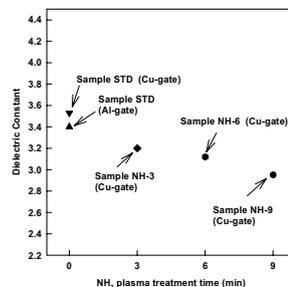


(b)

圖十 XPS 光譜圖(a)剛固化的 MSQ 薄膜(b)有經過氨氣電漿處理過的 MSQ 薄膜。



(a)



(b)

圖十一 經過氨氣電漿處理過後 Cu/HSQ/Si 在經過 500 °C 熱退火之後的介電特性。
 (a) 漏電流 vs. 電場 (b) 經過不一樣氨氣電漿處理時間後的介電常數值。

