

行政院國家科學委員會補助專題研究計畫成果報告

※※※

※
※
※

奈米 MOS 元件之矽化物、超淺接面及
接觸孔之研發

※
※
※

※※※

計畫類別：個別型計畫 整合型計畫

計畫編號：NSC-90-2215-E-009-095

執行期間：90年8月1日至91年7月31日

計畫主持人：雷添福

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子研究所

中華民國 91 年 11 月 10 日

行政院國家科學委員會專題研究計畫成果報告

奈米 MOS 元件之矽化物、超淺接面及接觸孔之研發

Development of silicide, ultra-shallow junction and contact hole in nano MOS devices

計畫編號：NSC 90-2215-E-009-095

執行期限：90 年 8 月 1 日至 91 年 7 月 31 日

主持人：雷添福* 交通大學電子研究所教授

一、中文摘要

本計畫，目的是奈米級 MOS 元件之金屬矽化物、金屬矽化物超淺接面及 50nm 的接觸孔研發，並期望能符合 50nm 奈米元件的製程。在金屬矽化物方面，為了解決元件間金屬連線的阻抗延遲可能導致的效能降低或誤判動作，而發展出自動對準之複晶矽連線技術，以降低在細線寬之複晶矽連線的阻抗，並避免以金屬做連線所造成之污染。本計畫成功地使用鎳形成低矽消耗係數及低矽化物形成溫度的金屬矽化物；並大幅提高矽化鎳的熱穩定性。在超淺接面方面，為了增加元件密度並維持積體電路之特性，金氧半場效電晶體之汲極與源極的 PN 接面縱深必須做淺，然而當接面做淺時，便會衍生高截止漏電流及高片電阻等問題，我們已研究出超淺及低片電阻的接面。在接觸孔洞方面，由於元件密集度增加，使得晶片的表面無法提供足夠的面積，來做單一金屬層連線，故多層金屬連線之技術，逐漸成為積體電路設計必須採用的方法，但為了減少光罩並降低製程複雜性，各金屬層之間的金屬栓塞，或連接電晶體之源極 (Source)，汲極 (Drain) 和閘極 (Gate) 至金屬導線的接觸窗 (Contact hole) 之接觸孔洞孔徑勢必要縮小，本研究已做

出 50 nm 的接觸孔。

關鍵詞：超淺接面，金屬矽化物，接觸孔。

Abstract

This study is to investigate the developments of silicide, ultra-shallow junction with silicide and 50 nm contact hole for the application of 50nm MOSFET devices.

Self-aligned polysilicon connection technique has been developed to reduce the resistance in narrow polysilicon connection lines and prevent the contamination from metal line processes. In our project, we used Ni as the silicide material to form Ni silicide, which has less silicon consumption and low silicidation temperature.

To increase device density and maintain the performance of integrated circuits, a shallow junction of the S/D region in MOSFETs is required. However, some problems such as high leakage current and high sheet resistance are introduced as the junction becomes shallower. Our research proposed a new method to form ultra-shallow junctions by controlling the annealing process.

As device density increases, single-layer metal will be not sufficient for devices connection. Multi-layered metal connection technology becomes a major requirement in the integrated circuit technology. However, to reduce mask numbers and process complexity, the size of the metal plug

* E-mail: tflel@cc.nctu.edu.tw

between metal layers and the contact hole to interconnect the source, drain and gate must be shrunken. The lithography and etching process to form small contact holes were one of the main topics of our study.

Keywords: ultra-shallow junction, contact hole.

二、緣由與目的

當元件縮小至奈米等級的尺寸時，維持良好的元件特性將面臨相當大的考驗，尤其是對於抑制短通道效應和其他負面的電性影響，超淺接面已是一個重要的關鍵[1]。在本計劃中我們採用離子佈植非晶矽固態擴散源法，再結合超薄的絕緣層堆疊結構，以預防離子濃度的尾端(tail)擴散過深[2]，接著利用快速退火裝置(Rapid thermal annealing, RTA)進行推入(drive in)及活化(activation)的步驟來形成淺接面。另一方面，形成一個低阻值的汲/源極區也是一個重大的議題，故我們另一個淺接面的重點在於形成高濃度低阻值的摻雜區。

快速退火系統目前於工業界之使用非常的廣泛，尤其在深次微米的製程上更是不可或缺，此系統可以大量減少熱處理的時間，以減少元件因熱處理所造成的退化。本計畫便是藉由快速退火的系統有效的降低離子的擴散深度，並大幅提高離子的活化程度，以達到我們所需要的高濃度低阻值的超淺接面[3]。

金屬矽化物已經廣泛的應用於元件的製程材料中，如接觸電極和局部連線中，且其具有自我對準(self-aligned)的優點，可以有效地增加接觸面積、降低接觸電阻、及減少製程步驟。

在金屬的選擇上多種金屬都曾被考量(Pt, Ti, Co, Ni)但因各有優缺點而有所不同應用之處[4]。在深次微米製程中，鎳金屬

矽化物(NiSi)是其中一種被廣泛研究的金屬[5]，它的優點包括低的電阻係數($\sim 14 \mu\Omega\text{-cm}$)、低的接觸電阻、較少的矽原子消耗($\sim 1 \text{ nm}$ 的鎳和 1.84 nm 的矽形成 2.22 nm 的金屬矽化物)、低的形成溫度($\sim 500^\circ\text{C}$)、且無窄線寬效應和相位轉換的問題[6]。在形成金屬矽化物的過程中鎳金屬為移動的物質(moving species)，在經過單一步驟的回火過程即可形成鎳矽化物。當元件持續縮小的進度下，製程使用低溫化的趨勢愈見明顯，故鎳金屬在熱穩定性方面的顧慮也漸被其優點所取代。

由於積體電路的積集度增加，晶片表面已無法提供足夠的面積來製作電路所需的內部連線(Interconnect)，因此多層內部連線結構(Multilevel Interconnects)便成為ULSI世代的必需製程。連接多層金屬之連線，是藉著金屬層間之過洞(Via)來完成連接，然而過洞的大小將影響內部金屬連線積集度[7]。本研究將利用電子束微影應用於縮洞技術將過洞、栓塞之接觸窗口縮小提高積體電路的積集度。過洞、栓塞之接觸窗口縮小後，視窗比勢必跟著變大，物理氣相沈積法將漸漸不敷使用。這是由於所要沈積的金屬原子具有高度的方向性，因此在基板輪廓較陡峭的地方會有階梯覆蓋(Step Coverage)的問題[8]。以化學氣相沉積法沉積的金屬有較佳的階梯覆蓋。以化學氣相沈積金屬鎢，填充於接觸窗及介質窗具有優異的階梯覆蓋率，因而目前金屬鎢栓塞(W-plug)製程成為高縱橫比，小孔徑的最佳填充技術。本研究會先製作一層由CVD TiN所構成的黏著層(Glue Layer)接著覆蓋CVD鎢，研究以CVD TiN的黏著層，覆蓋CVD鎢的填洞能力。

三、結果與討論

首先，我們在矽晶片上成長超薄絕緣

層，作為擴散阻擋層防止雜質擴散時造成接面過深的現象。接著再沉積多晶矽作為雜質擴散源。將雜質佈植至多晶矽和超薄絕緣層介面，再進行快速退火，最後剝離多晶矽和絕緣層以得到超淺接面如圖一所示。

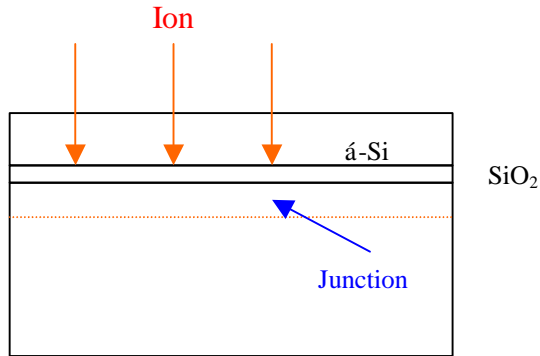


Fig 1. Concept of New Junction Formation Method- Diffusion from Implanted Amorphous Silicon.

由 Table 1 可知我們進行快速熱退火的條件分為三項，分別為 RTA、950°C、5s，RTA、1050°C、5s，RTA、1050°C、1s。

Table 1 RTA conditions

Temperature\Time	5s	1s
950°C	950 5s	
1050°C	1050 5s	1050 1s

經由圖二可知 RTA、950°C、5s 得到 72.6nm 超淺接面，RTA、1050°C、5s 超淺接面為 84.2nm 而 RTA、1050°C、1s 超淺接面甚至低於 62.1nm。

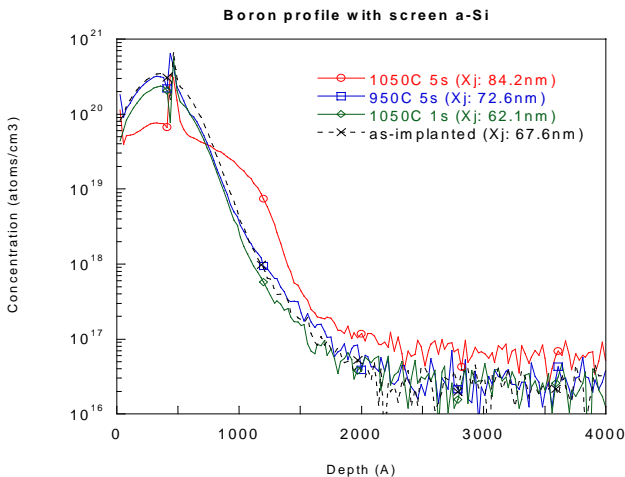


Fig 2. Boron Secondary Ion Mass Spectroscopy (SIMS) profiles

由 Table 2 指出片電阻維持再 140Ω/□~240Ω/□。符合 62.1nm~84.2nm 超淺接面的片電阻，表示雜質活化完全。

Table 2 Table 2. Sheet resistance (Rs)

RTA condition	950°C 5s	1050°C 1s	1050°C 5s
Rs	248 Ω/□	141 Ω/□	79.3 Ω/□

討論使用不同覆蓋層改善鎳金屬矽化物的熱穩定性、阻值和表面覆蓋物選擇的相關材料分析。如圖三所示指出鎳金屬矽化物表面沒有覆蓋物其熱穩定性最差，再 RTA 800°C 後片電阻就急劇上升。鎳金屬矽化物表面覆蓋鋅可得到最佳的熱穩定性，及最低的片電阻。

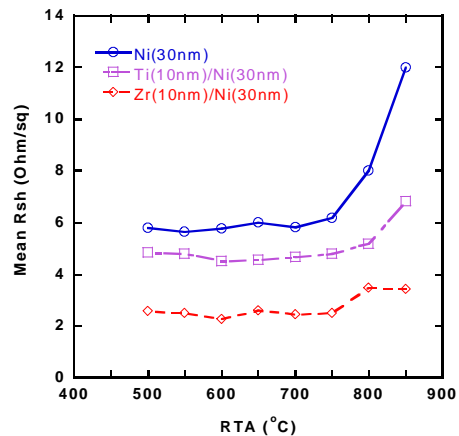


Fig. 3 Sheet resistances versus the annealing temperature for (1) Ni/Si, (2) Ti/Ni/Si and (3) Zr/Ni/Si contact systems respectively.

由圖四、TEM 看出鎳金屬矽化物表面覆蓋鈦再經 RTA 850°C 後，鎳金屬矽化物劣化且結塊。佐證鎳金屬矽化物表面覆蓋鈦再經 RTA 850°C 後其片電阻上升。而鎳金屬矽化物表面覆蓋鋅經 RTA 850°C 後，由 TEM 可知鎳金屬矽化物薄膜完整且鎳金屬矽化物片電阻還十分低。證實鎳金屬矽化物表面覆蓋鋅可得到最佳的熱穩定性，及最低的片電阻。

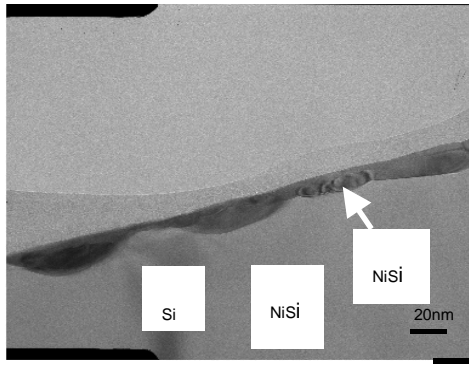


Fig. 4(a)

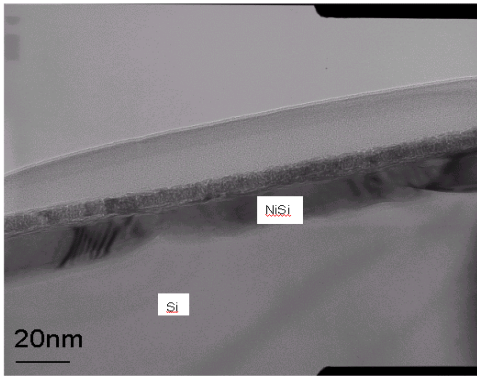


Fig. 2(b)

Fig. 4(b)

Fig. 4 TEM cross-sectional images of (a) Ti(10nm)/Ni(30nm)/Si sample and (b)Zr(10nm)/Ni(30nm)/Si sample,

利用電子束微影設備曝出 140nm 接觸孔洞如圖五(a)所示，經化學微縮製程可將 140nm 接觸孔洞微縮至 93nm 如圖五(b)所示。

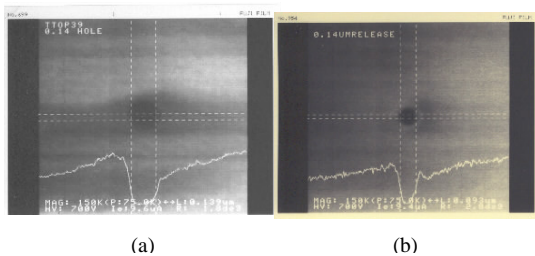


Fig. 5. (a)140nm contact hole for MES-1EG resist, and (b)93nm contact hole after chemical shrink

圖六、所示 140nm 接觸孔洞經化學微縮製程至 93nm 後進行二氧化矽接觸孔的

乾蝕刻得到 53nm 的接觸孔。

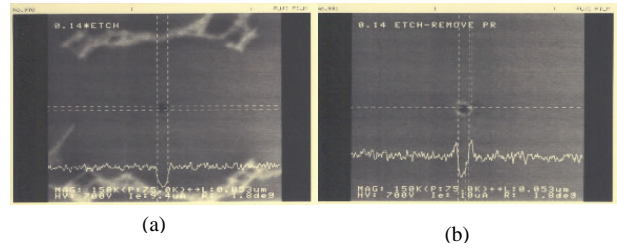


Fig. 6. (a) The SEM picture of 53nm contact hole after silicium oxide etching. (b)53nm contact hole after resist removing.

四、成果自評

本次計畫之執行，皆達預期成果，並已在相關學術期刊上發表論述，茲列於下：

[1] Lee, J.W.; Lei, T.F.; Lee, C.L., “Thin oxides grown on disilane-based polysilicon”

Japanese Journal of Applied Physics, v41, n 6A, June, 2002, p 3651-3654

[2] Lin, H.C.; Lin, C.Y.; Yeh, K.L.; Huang, T.Y.; Lei, T.F.; Yu, C. Michael, “Self-aligned fabrication of thin-film transistors with field-induced drain”, Solid-State Electronics, v 46, n 8, August, 2002, p 1091-1095

[3] Chang, T.Y.; Lei, T.F.; Chao, T.S.; Chen, S.W.; Kao, L.M.; Chen, S.K.; Tuan, A.; Su, T.P., “Impact of nitrogen and/or fluorine implantation on deep-submicron Co-salicide process”, Solid-State Electronics, v 46, n 8, August, 2002, p 1097-1101

[4] Chang, Tzu Yun; Lei, Tan Fu; Chao, Tien Sheng; Wen, Huang Chun; Chen, Hsiao Wei, “Improvement of low-temperature gate dielectric formed in N₂O plasma by an additional CF₄ pretreatment process”, IEEE Electron Device Letters, v 23, n 7, July, 2002, p 389-391

五、參考文獻

[1] C. M. Osburn et al, J. Vac. Sci. Technol. B, 2000, p. 338.

[2] T. Yasunaga et al, IITP, 1998, p.18

[3] D. H. Choi et al, Jpn. J. Appl. Phys., 1994, p. L83.

[4] J. B. Lasky et al, IEEE Trans. Electron Devices, 1991, p.262.

[5] E. G. Colgan et al, Mater. Chem. and Phys., 1996, p.209.

[6] H. H. Berger et al, Solid-St. Electron., 1972, p.145.

[7] G. K. Reeves et al, IEEE Electron Device Lett., 1992, p.111.

[8] S. S. Cohen et al, J. Electrochem. Soc., 1983,

p.1335.