

行政院國家科學委員會專題研究計畫成果報告

計畫編號：NSC 90-2215-E-009-053

執行期限：90年08月01日至91年07月31日

主持人：柯明道 副教授 國立交通大學電子研究所

計畫參與人員：徐國鈞、于文浩、周千譯、蔡佳昇

國立交通大學電子研究所

一、中文摘要

在 *RFIC* 的應用上，*ESD* 保護電路不只需要有高的 *ESD* 損壞臨界電壓 (*failure threshold voltage*) 以確保其良好的性能，還必須擁有低寄生電容和電阻，以降低 *RC* 延遲。一般來說，一個操作在 *2GHz* 的射頻輸入接點 (*input pad*)，其可容忍的最大負載電容 (*maximum loading capacitance*) 也不過只有 *200fF*。此外，欲進一步地減低高頻訊號下 *ESD* 保護電路的輸入電容，還必須在 *ESD* 防護設計的輸入端加上 *turn-on efficient power-rail ESD clamp circuit*，以提高小尺寸 *ESD* 箝制元件的 *ESD* 防護能力。

CMOS 元件越來越薄的閘極氧化層和越來越快的射頻電路而變得益加困難。本計畫擬針對 *RFIC* 中的 *ESD* 保護電路，設計出具有低寄生電容與高鉚線固著度的鉚墊，以及具阻抗匹配與極小寄生電容的靜電放電防護電路，以供射頻積體電路產品之應用。

關鍵詞：靜電放電(*ESD*)，靜電放電防護電路，射頻輸出電路，射頻鉚墊

Abstract

Electrostatic discharge (*ESD*) phenomena continue to be a main reliability issue in *CMOS IC*'s because of technology scaling and high frequency requirements. A typical request of an *RF input pad* with maximum loading capacitance is only *200 fF* for circuit operation at *2 GHz*. To further reduce input capacitance of the *ESD* protection circuit for

high-frequency signal, a turn-on efficient power-rail *ESD clamp circuit* was added into the input *ESD* protection design to increase *ESD* robustness of the small-size *ESD clamp devices*.

The bond pad design with reasonable *ESD* protection capability and low enough input capacitance for *RF* circuits becomes more difficult, because the *CMOS* devices have much thinner gate oxide and *RF* circuits are operated with much higher frequency. In this project, we will study and design the *RF bond pad* with *ESD* protection, impedance matching, and low noise coupling for *GHz RF* applications.

Keywords: Electrostatic discharge (*ESD*), *ESD* Protection Circuit, *RF I/O*, Bond Pad

二、緣由與目的

追求更高的截止頻率 (*cut off frequency*)、操作頻率、以及功率增益 (*power gain*)，以獲得更快速、更優良的特性，是射頻電路電晶體製造者不斷努力的方向。根據電晶體理論，當電晶體的尺寸縮小時，可獲得較高的工作頻率，因此在元件製程進入深次微米時代之後，隨著縮微 (*scaled down*) 的快速發展，射頻電晶體 (*RF MOSFET*) 的操作頻率也順利地得以提昇。

但是，對縮微化之電晶體元件與高頻特性的需求，靜電放電 (*ESD*) 現象對 *CMOS IC* 而言，是影響其可靠度 (*reliability*) 的主要因素。由於深次微米 *CMOS* 技術中較薄的氧化層會造成低崩潰電壓 (*breakdown voltage*)，所以必須設計出有效率的 *ESD* 電路以避免過高的電壓

降於內部電路中的閘極氧化層。在 *RF IC* 的應用上，*ESD* 保護電路不只需要有高的 *ESD* 損壞臨界電壓 (*failure threshold voltage*) 以確保其良好的性能，還必須擁有低寄生電容和電阻，以降低 *RC* 延遲。一般來說，一個操作在 *2GHz* 的射頻輸入接點 (*input pad*)，其可容忍的最大負載電容 (*maximum loading capacitance*) 也不過只有 *200fF*；這 *200fF* 不但包括了 *ESD* 保護元件，連連接點本身的電容也算進去了。為了與射頻訊號達成阻抗匹配 (*impedance matching*)，有一些 *ESD* 保護電路的設計必須利用到分散的電感 (*distributed inductance*) 與 *ESD* 箝制元件 (*clamp devices*)。此外，欲進一步地減低高頻訊號 *ESD* 保護電路的輸入電容，還必須在 *ESD* 防護設計的輸入端加上 *turn-on efficient power-rail ESD clamp circuit*，以提高小尺寸 *ESD* 箝制元件的 *ESD* 防護能力。

總結地說，*RFIC* 中的 *ESD* 保護電路必須具備：低寄生電容、固定的輸入電容 (*constant input capacitance*) 以及不受基板共擾雜訊干擾 (*substrate coupling noise*)、和優良的 *ESD* 防護能力 (*ESD robustness*)，而這些要求也增加了電路設計的困難度。另外，由其他電路所引起的基板雜訊會藉由 *ESD* 保護電路而對射頻輸入產生共擾現象 (*coupling effect*) 使射頻電路的性能變差。射頻電路的連接點 (*bond pad*) 設計也因為必須擁有與 *ESD* 保護電路的相容能力，以及夠低的輸入電容，所以隨著 *CMOS* 元件越來越薄的閘極氧化層和越來越快的射頻電路，*RF IC* 中的 *ESD* 保護電路設計變得益加困難。

三、研究成果

本計畫的研究成果已經整理且發表了二篇 *IEEE Conference* 論文[1]，[2]以及三篇國際期刊論文[3]-[5]。

在第一部份成果中[1]，[3]，我們成功地設計了一組可供 *CMOS* 射頻電路所使用的 *ESD* 保護電路，此保護電路主要是由堆疊的複晶二極體 (*polysilicon diode*) 作為輸入/輸出的 *ESD* 保護電路(圖 1)以達到減少

寄生電容及基板共擾雜訊干擾的影響。由於複晶二極體是形成於場氧化層之上，因此可以減少基板雜訊透過 *ESD* 保護電路對 *RF* 電路造成的干擾。另外，由於電容值越串聯越小，所以採用堆疊式的架構，可以降低輸入端所看到的寄生電容值。若輸入端到 *VDD/VSS* 間之接一個複晶二極體，則由 *ESD* 防護電路所產生的寄生電容值為 $2C$ ，其中 C 是一個複晶二極體的寄生電容；若輸入端到 *VDD/VSS* 間之接 n 個複晶二極體，則由 *ESD* 保護電路所產生的寄生電容值便降為 $2C/n$ 。另外搭配電源線間的 *ESD* 箝制電路 (*power-rail ESD clamp circuit*，圖 2) 使用，便可以提高整體的靜電耐受度 (*ESD robustness*)。而電源線間的箝制電路，也可使用堆疊的複晶二極體作為觸發電路，使得大面積的 *GGNMOS* 可以均勻導通，提升 *ESD* 保護電路的耐受度。

再者，此複晶二極體的製程步驟和一般 *CMOS* 的製程步驟是完成匹配的，不需要增加額外的光罩或者修改製程參數就可以製造完成，因此不用增加任何成本就可以解決射頻電路對靜電放電防護電路的要求，也可以通過靜電測試的規格。

在第二部份成果中[2]，[4]，[5]，隨著半導體製程技術的快速發展，電晶體元件尺寸被縮小以提昇積體電路的集積度與運算速度，其操作電壓也隨之降低以維持元件的可靠性，可是外界傳輸的電路訊號之電壓準位大都依然維持在 *5V*，這 *5V* 的電路訊號不能直接傳入深次微米的積體電路內部，因此在積體電路的輸出入端必需要有混合電壓輸出入界面電路來隔離輸入訊號的高電壓準位，但又必需把輸入訊號的電路訊號送入該積體電路內部。因此我們針對 *5V/3.3V* 混合式電壓輸出入界面電路 (*mixed-voltage I/O buffer*) 的需求，提出了一組使用 *stacked-NMOS triggered silicon controlled rectifier (SNTSCR)* 元件的新穎性 *ESD* 保護電路。*SNTSCR* 元件(圖 3)也是最早被我們所提出的元件結構。將堆疊的 *NMOS* 嵌入 *SCR* 元件中，因此 *SNTSCR* 元件在混合式電壓輸出入界面電

路中僅需使用薄的閘極氧化層(*thin gate oxide*)就能避免氧化層可靠度(*gate oxide reliability*)的問題，而且可以減少生產成本。

為了讓 *SNTSCR* 元件可以更快的導通將靜電的能量排掉，在本篇論文中也提出了新的閘極耦合(*gate-coupled*)觸發電路(圖 4)，分別對堆疊 NMOS 的閘極作偏壓，在內部電路操作時，讓靠近 *I/O* 端的閘極(V_{g1})偏壓在 VDD (3.3V)，另一個閘極(V_{g2})偏壓在 VSS，如此一來，當 *I/O* 端的訊號為 5V 時，此保護電路也不會有氧化層可靠度的問題，而且 *SNTSCR* 元件是處於關閉狀態，不會影響內部電路的運作。在靜電放電的情況下，透過此閘極耦合觸發電路對堆疊 NMOS 的閘極提供大於其 *threshold voltage* 的偏壓，降低 *SNTSCR* 元件的第一次崩潰電壓 (V_{t1})，使其更快導通以提供內部電路更有效的保護。

四、參考文獻

- [1] M.-D. Ker, T.-Y. Chen, and C.-Y. Chang, "ESD protection design for CMOS RF integrated circuits," in *Proc. of EOS/ESD Symp.*, 2001, pp. 346-354.
- [2] M.-D. Ker, C.-H. Chuang, and H.-C. Jiang, "ESD protection design for mixed-voltage I/O buffer by using stacked-NMOS triggered SCR device," in *Proc. of EOS/ESD Symp.*, 2001, pp. 32-43.
- [3] M.-D. Ker and C.-Y. Chang, "ESD protection design for CMOS RF integrated circuits using polysilicon diodes," *Journal of Microelectronics Reliability*, vol. 42, pp. 863-872, 2002.
- [4] M.-D. Ker and C.-H. Chuang, "Stacked-NMOS triggered silicon-controlled rectifier for ESD protection in high/low-voltage-tolerant I/O interface," *IEEE Electron Device Letters*, vol. 23, no. 6, pp. 363-365, June 2002.
- [5] M.-D. Ker and C.-H. Chuang, "ESD protection design for mixed-voltage CMOS I/O buffers," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 8, pp.1046-1055, Aug. 2002.

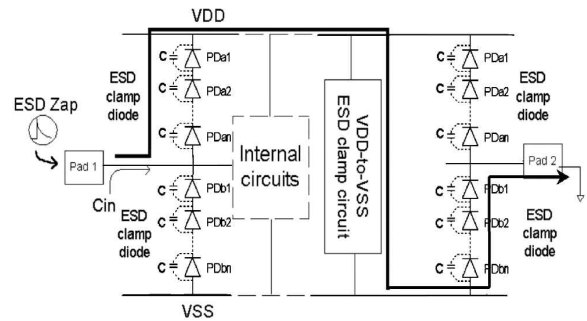


圖 1. 使用堆疊的複晶二極體作為 *RF ICs* 輸入端的 *ESD* 保護元件 [1], [3].

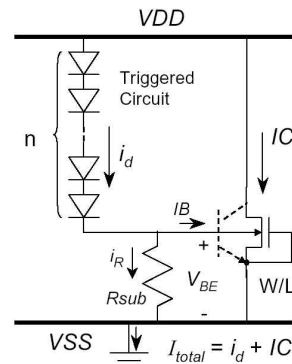


圖 2. 使用堆疊的複晶二極體作為觸發電路的電源線間的 *ESD* 防護電路 [1], [3].

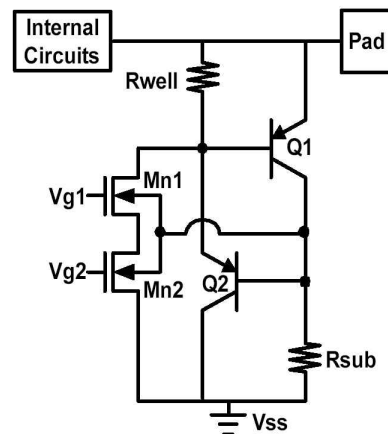


圖 3. *SNTSCR* 元件的等效電路圖 [2], [4].

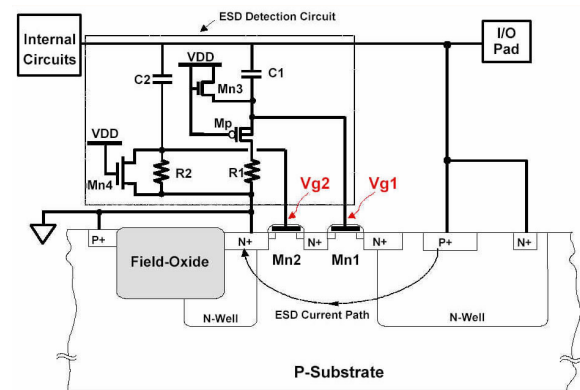


圖 4. 適用於混合式電壓輸出入界面電路的 *ESD* 防護電路 [2], [5].