

光電訊號讀取技術研究

Researches on the Read-Out Techniques of
Optoelectrical Signal

吳重雨

Chung-Yu Wu

NSC 90-2623-7-009-014

光電訊號讀取技術研究

Researches on the Read-Out Techniques of Optoelectrical Signal

計畫編號：90D013

執行期間：90年1月1日至90年12月31日

計畫主持人：吳重雨

協同主持人：季法文

共同主持人：黃弘一

執行機構：私立輔仁大學電子研究所

中華民國九十年十二月三十一日

光電訊號讀取技術研究

Researches on the Read-Out Techniques of Optoelectrical Signal

年度報告

圖表式目錄	-----	1
一、前言	-----	3
計畫預定	-----	5
二、成果報告	-----	6
第一部份：時間延遲積分式的概念及原理	-----	6
第二部份：類比讀出電路	-----	10
第三部份：數位控制電路	-----	15
第四部份：讀出電路的模擬及測試	-----	18
三、結論與討論	-----	21
參考文獻	-----	22

圖表式目錄

- 圖一：焦平面(Focal-Plane-Array)之架構圖
- 圖二：時間延遲積分式(Time-Delay-Integration)的操作原理
- 圖三：類比細胞元讀出電路方塊圖
- 圖四：類比細胞元讀出電路
- 圖五：光二極體(photodiode)
- 圖六：光二極體(photodiode) 之特性曲線
- 圖七：偵察電路
- 圖八：讀出細胞元的操作波形
- 圖九：讀出細胞元的細部分解描述
- 圖十：取樣保留電路
- 圖十一：多工器
- 圖十二：32×4 類比讀出電路
- 圖十三(a)-(b)：光二極體的擺設方式
- 圖十四：數位邏輯電路
- 圖十五(a)-(b)：FPA 和 TDI 之單一電容積分模擬波形
- 圖十六：TDI 之四個電容積分模擬波形
- 圖十七：取樣保留電路模擬波形
- 圖十八(a)-(b)：數位控制電路模擬波形
- 圖十九(a)-(b)：TDI 讀出電路輸出放大波形圖
- 圖二十(a)-(b)：TDI 和 FPA 讀出電路輸出波形圖
- 圖二十一：TDI 讀出電路之佈局擺設圖
- 圖二十二：TDI 讀出電路之佈局圖
- 圖二十三：測試板

圖二十四：低頻數位輸出訊號 S/H 補數之測試波形

圖二十五：低頻類比讀出訊號之測試波形

圖二十六：

圖二十七：

表一：讀出電路規格表

一、前言

低溫紅外線訊號讀出電路技術目前已趨於成熟，藉由高敏感的光電元件來偵測其微小的紅外線訊號，為因應於光電訊號的讀出，我們將進行匹配之電路研究與發展，同時結合讀出電路、偏壓、雜訊降低及數位控制電路等。

以目前國內外已提出之相關技術關於讀出電路有 Source-Follower per Detector (SFD)[1]-[2]、Direct-Injection(DI)[3]-[5]、Gate-Modulation Input(GMI)[6]、Buffer-Direct Injection(BDI)[3]-[7]、Capacitive Trans-impedance Amplifier(CTIA) [8] -[9]、共緩衝直接注入讀出 (Share-Buffered Direct-Interjection) [10]-[11]，以及緩衝式匣調變讀出 (Buffered Gate Modulation Input) [12]等新型讀出電路。

為了能發展比先前技術更加能降低雜訊及提高訊號雜訊比之改良電路，本計畫的研究採用不同於以往使用焦平面(focal-plane-array)之架構[13]-[15]來實現讀出電路，而是利用掃描的形態來偵測紅外線訊號，同時加入時間延遲積分式的概念[16]-[17]來降低雜訊和提高訊號雜訊比，另一方面針對光電元件的不正常工作，本研究亦有深入的探討，如何在光電元件發生錯誤的情形下，其讀出電路依能正常工作。在發展中所完成之類比與數位控制子電路將予以元件化，並建立基本資料庫，可隨時提供新型影像讀出電路設計之需要，同時讀出電路的設計與佈局應具有可擴大性，如此才可利於電路設計技術之轉移與延續，並可減少重複設計的浪費與節省新一代電路研發時程。為因應高密度與高性能的大型積體電路技術(VLSI Technology)與系統需求，此光電訊號讀出與處理電路將使用已成熟穩定之 TSMC

One-Poly Four-Metal N-well $0.35 \mu\text{m}$ 之製程進行電路設計、模擬印證與下線製造。

本計畫配合中山科學研究院材料研發中心光電元件與技術發展現況，研究發展能與新一代的紅外線訊號讀出電路結合，並工作於任溫之新型光電訊號讀取與處理電路，期能應用於軍事或工業上之各種領域中。

◎ 本期計畫預計目標

- Format : 288 × 4
- Detector Type : n-on-p photovoltaic
- Dynamic range : > 77db
- Readout Speed : 2Mbits/sec
- Linearity : > 98%
- Non-uniformity : < 1%

◎ 本期計畫執行內容

- 發展新型讀出電路，並結合時間延遲式之概念以降低雜訊干擾及提高訊號雜訊比。
- 完成整個讀出電路（包括類比讀出單元、數位控制電路以及輸出級）之設計、模擬、佈局與下線製作。
- 進行新一代的讀出電路之量測、驗證讀出功能及成果，並累積經驗以便下期更大之格式設計。
- 針對量測之結果加以改良部份電路，以求最佳化設計。
- 建立單位細胞元以期往後設計之可重覆使用性，減少成本。

二、計畫成果報告

在本報告的說明中，我們將其內容大致分為四個部份來一一講解，分別是時間延遲積分式的概念及原理、類比讀出電路、數位控制電路以及讀出電路的模擬及測試。

第一部份：時間延遲積分式的概念及原理

在先前的讀出電路架構中，多半採用的概念大多是以焦平面的原理，逐一將訊號讀出，也就如圖一所示，先利用行選擇器去控制第一行的影像將被讀出，再逐一選擇各列的的影像點，當第一行的影像逐列被讀出後，再選擇第二行將其各列之影像讀出，如此反覆直到一整個畫面全部被讀取為止。其中不難發現畫面的解析度是隨著 M 行×N 列有關，亦解析度和面積成正比，同時在訊號的讀出過程中只限於逐點讀出而形成一個畫面，如此的架構導致訊號雜訊比無法提升，因此為了解決的降低面積及提高訊號雜訊比之效能，本計畫採取時間延遲積分式的概念去實現讀出電路。

時間延遲積分式的最主要概念就是利用多個光電元件去偵側同一個影像點，目的就是要增加單一個影像點的積分時間，以便降低雜訊對訊號的影響，同時也可以增加訊號雜訊比。我們舉一個例子來比較和焦平面的讀取方式有何不同，假設在焦平面中紅外線影像的解析度為 320×240 像點，最低影像輸出速度為每秒 30 張畫面，則焦平面中每一個影點所選取的時間為

$$\frac{1}{30 \times 320 \times 240} = 0.434 \mu S \quad (2.1)$$

，也就是焦平面讀出電路晶片所需要的最低積分時間，但對於 320×240×4 像點之時間延遲積分式架構中則只需要

$$\frac{1}{30 \times 320 \times 4} = 24 \mu S \quad (2.2)$$

4 為光電元件的個數，從 (2.1) 和 (2.2) 項可知時間延遲積分式的架構其積分時間較長，一般而言採用電流積分的讀出電路架構需要較長的積分時間，而積分時間越長其雜訊抑制的效果就越好。因此，一次只選取一個影像點是無法達到規格的，所以必須取用同時選取多個像點又能針對單一像點做多次積分才行。

若我們考慮在同一個最低讀出速度時脈下，比較焦平面和時間延遲積分式之不同，亦可看出本架構的讀出速度也可以和焦平面相同，在同為 2.3MHz 的操作速度下，雖單一個像點的電流積分時間為 0.434μs，但由於時間延遲式是一次讀出一整列的像點，因此在讀出速度不變下，積分時間變為 0.434×240=115μs，明顯看出，採用這種讀出電路架構，電流積分的時間和焦平面的單一像點選取架構相比，大幅提升了 240 倍。

爲了能更加了解時間延遲積分式的操作原理，吾人將以圖二來做說明：從圖二中可以很清楚地看到有四個光二極體，這四個二極點即是用來接收紅外線訊號的元件，在此若和傳統的 linear array[18]（只使用單一個光二極體來接收紅外線訊號）做比較，其使用四個光二極體不但可以增積分時間，同時又可以防止光二極體損壞時所發生的暗點或亮點現象。時間延遲積分式之所以會被命名如此，最主要是和操作時的現象有關，操作如下：

當物體(object)的紅外線照射於第一個光二極體(D1)上時，紅外線的光能量會使光二極體二端形成偏壓，其聚集的能量若大於 P-N 接面的能隙(energy band gap) ，此時會激發出電子電洞對(electron-hole pairs)而產生一個逆偏光電流再經由積分電路在積分時間 T1 內去形成影像點。當經過一個時間 τ 的延遲(Delay)後，其物體光線便移至下一個光二極體(D2)上，再次經由積分時間 T2 形成影像點，然而在同一積分時間 T2 內，下一個物體也在 D1 上形成了另一個影像點，也就是說，不同的物體的影像點可以在同一時間內同時積分處理，同理，再經過了一個延遲時間後，物體便會在第三個光二極體(D3)上，經由積分時間 T3 形成積分量，而下一個物體便由原來在 D1 上積分，而移至第二個光二極體(D2) 上積分 T3 的時間，此時，下下一個物體便在第一個光二極體(D1) 上也積分一個 T3 的積分量。以此類推，當同一個物體已被積分四次之後，影像就會被累加在一起而讀取出來。至於其餘不同的物體也同相地各自累加於不同的電容上，如此反覆動作的模式我們可以根據圖二，歸納出下列的式子：

$$T1 \text{ (diode1)} \Rightarrow \text{object(1)} \Rightarrow v1(1)$$

$$T2 \text{ (diode1)} \Rightarrow \text{object(2)} \Rightarrow v1(2)$$

$$\text{(diode2)} \Rightarrow \text{object(1)} \Rightarrow v2(1)$$

$$T3 \text{ (diode1)} \Rightarrow \text{object(3)} \Rightarrow v1(3)$$

$$\text{(diode2)} \Rightarrow \text{object(2)} \Rightarrow v2(2)$$

$$\text{(diode3)} \Rightarrow \text{object(1)} \Rightarrow v3(1)$$

$T4(\text{doide1}) \Rightarrow \text{object}(4) \Rightarrow v1(4)$

$(\text{doide2}) \Rightarrow \text{object}(3) \Rightarrow v2(3)$

$(\text{doide3}) \Rightarrow \text{object}(2) \Rightarrow v3(2)$

$(\text{doide4}) \Rightarrow \text{object}(1) \Rightarrow v4(1)$

這樣的模式便因為時間及延遲的前進形成了所謂 TDI(Time-Delay-Integration)的名詞。

總之，在 TDI 的操作模式下，我們必須注意幾點：

第一，同一個物體的積分量無論四次積分的長短，其總合必須累加在同一個電容上。

第二，物體在第一次讀出的時間必須經由四次的積分時間後，之後下一物體的讀出只需要一次的積分時間。

第三，同一積分時間內，電路必須能夠同時處理來自於不同物體的紅外線訊號。

第四，電路的設計不會因為光二極體的損壞而影響到 TDI 的正常操作。

第五，光二極體的損壞雖會影響積分量的累積，例如：同一強度的訊號可能在不同行中有不同的積分量（錯誤的光二極體所導致），但在最後訊號讀出後時或訊號處理時，其內部電路能夠有能力判別並利於後級處理時，平均訊號的動作。

第六，訊號雜訊比會因為光二極體的多寡而成一個關係式：此關係式表示訊

號會因光二體的數目而成正比，至於雜訊則和光二體的數目成開根號的關係，例如以四個光二極體去架構成的 TDI 其理想的訊號雜訊比為焦平面架構中的兩倍。

最後我們便根據這樣的原理及原則去設計一個可降低雜訊、增加積分間及提高訊號雜訊比的紅外線讀出電路。

第二部份：類比讀出電路

首先，我們針對類比讀出單元加以說明。類比部份的方塊圖如圖三所示，圖四為類比細胞元讀出電路，其包括有光二極體、注入輸入級、控制切換電路、積分電路、取樣及保留電路和輸出多工器。這些子電路各自都有所屬的功能：

- A.光二極體(D1-D4)用來接收紅外線訊號來源。
- B.注入輸入級(BDI Circuit)用來增加注入效率、提高偏壓的穩定性以及降低輸入雜訊的影響。
- C.偵測電路(Test)用來處理光二極體損壞時所發生的問題。
- D.控制切換電路(Switch Circuit)在於決定那一個光電流必須積分在那一個電容上，以及決定積分時間的長短，同時亦滿足 TDI 的操作原理。
- E.積分電路(Integration circuit)目的在於將光電流訊號轉換成類比電壓訊號。
- F.取樣及保留電路(Sampled/Hold Circuit)的目的在於能增加積分的效率，也就是說積分和取樣保留兩者的動作可視為獨立，因為 Hold 之後的資料已經

和是否還在積分無關；

G.多工選擇電路(Nx4 MUX) 的目的在於能減少 Pad 的數目。

下列吾人針對上述分項做細部說明：

□ 光二極體(D1-D4)

基本的光二極體(photodiode) 其結構類似於一個 P-N 接面[19]-[21]，如圖五：

不同於一般二極體的操作，乃在於正當光線照射於 N-Type 的介面上時，其聚集的能量若大於 P-N 接面的能隙(energy band gap)，此時會激發出電子電洞對(electron-hole pairs) 而產生一個逆偏電流。當光能量不足以產生電流時，其光二極體的效應就類似於高阻抗，相反地，當光能量很強時，其光極體的效應就類似於低阻抗，特性[22]就如圖六所示，因此當光二極體損壞時，可能狀態便是等效於開路(高阻抗)或閉路(低阻抗)情形，當然也有可能是在不穩定的狀態，也就是同一強度的光能量下卻未反應出相當的光電流。在此我們所使用的光二極體材料為 HgCdTe 所製成[23]-[24]，主要原因是因為此材料對於紅外線的感光能力較優於其它的材質。

□ 注入輸入級(BDI Circuit)

緩衝直接注入式(Buffered Direct Injection)的電路[3]-[7]，主要是利用一個有限增益 A 的放大器增加光電流的注入效率(injection efficient) 如式，同時又可達到穩定偏壓的好處如式。

$$\eta_{in} = \frac{(1 + A) g_m R_D}{1 + (1 + A) g_m R_D}$$

R_D is the internal resistance of detector

$$V_{\text{detector}} = \left(\frac{A}{1+A} \right) V_{\text{com}} - \frac{V_{th}}{1+A}$$

V_{th} is threshold voltage of injected MOSFET M_{BDI}

一般而言，光二極體在接收到紅外線光源時，其產生的光電流通常並非百分百注入到積分電容上，因此可能會產生微小的積分誤差，所以在輸入級的設計中，注入效率就變得很重要，另一方面偏壓的控制度亦會影響到光電流量的大小，其中控制電壓最好和製程因素無關或是其影響量很小。

□ 偵測電路(Test)

加入的偵測電路可以使損壞的光二極體不會影響到讀出電路的正確操作，主要的精神就是將積分路徑切斷，也就是並不作積分動作，由於光二極體本身皆具有上述所描述的特性，因此藉由外測電路或探針可以得知那一個光二極體有損壞，再透過本電路即可讓損壞的光二極體不被操作，同時也不影響整個讀出電路。圖七所示即為偵察電路，在操作上：起初先將輸出 reset 至 GND，之後在得知那一光二極體損壞後，列和行的解碼器會解碼選擇損壞的光二極體電流路徑上，此時輸出點被充電到 VDD，來關閉 PMOS(即連接注入輸級和控制切換電路的 MOS 電晶體)，切斷積分路徑，在此之後無論列和行的解碼訊號如何變化，其輸出訊號將永遠被鎖在 VDD 的電位，也就是說積分的路徑永遠不會被導通。當然在訊號上可能會少掉一次的積分量，但整體而言，訊號仍可透過其它三次的積分讀出，所以

在後級影像處理上較難出現亮點或暗點；若考慮訊號在後級處理上，可能做平均的動作，此偵測電路亦有可行性，方法則是只選擇出某二個較強壯的光二極體，而其餘二個光二極體無論好壞皆視為損壞的元件，如此一來，每一行平均就只有二個好的光二極體，同時在積分量上亦只有二次，所以在後級處理上就可以實行平均訊號的動作了。

□ 控制切換電路(Switch Circuit) 和積分電路(Integration Circuit)

控制切換電路是由四組訊號共十六個開關所組合而成。每一組訊號皆控制四個不同的開關，其目的就是用來模擬 TDI 操作時的時序問題，同時決定積分時間的長短，至於積分電路則是由一個重設 PMOS 和一個電容所組成，一共有四組。細部的操作動作如下所述：起初我們先將四個積分電容上的電壓充電至 VDD，之後當物體的紅外線照射於光二極體(D1)時，激發出的光電流會經由注入輸入級的電路，經由偵測電路的判別而流至控制切換電路中，此時 turn on ϕ_1 的訊號，迫使光電流積分於 C1 上，經過一個時間的延遲後，物體的訊號移至 D2 上，而下一個物體的紅外線訊號則落於 D1 上，此時的 ϕ_2 訊號被 turn on，使得物體的光電流訊號再一次積分在 C1 上，累加上一筆的積分量，而下一個物體則被積分於 C2 上，不同於焦平面的操作，同一個物體只被積分一次，在此設計我們將同一個物體積分多次並累加，目的在於提高訊號雜訊比。

在經過三個時間延遲之後，第一個物體的訊號將完整地積分四次並累加在 C1 上，隨著時間的經過，對於物體掃描的連續性，可以從類比讀出電路中四個積分

電容上得到不同物體的積分量，進而將訊號讀出。圖八和圖九分別是讀出細胞元的操作波形以及細部分解描述。可看出除了第一個物體需要四個積分時間的讀出外，其餘各物體的讀出則只需要一個積分時間即可的性質。

□ 取樣及保留電路(Sampled/Hold Circuit)和多工選擇電路(Nx4 MUX)

當電容上的積分量已達四次的積分後（假設光二極體沒有損壞下），資料會經由取樣保留電路將資料送至多工器上，再將資料輸出到接腳上；取樣保留電路如圖十所示：當 S/H 的訊號為邏輯“0”時，資料會取樣至電容上，當 S/H 為邏輯“1”時訊號則保留在電容上，這樣的動作可使得積分和 S/H 兩者之間的動作視為獨立。值得一提，在訊號未被取樣前，由於開關本身存在有載子注射(Charge Injection)的效應，可能會影響到電容上所積得的電壓量，因此加入一源極追隨器來阻隔載子注射的影響。至於圖十一的多工器中以包含的源極追隨器亦有此功能，同時也可作為類比的輸出級來推動接腳上的負載。多工器的目的則是用來減少接腳的使用，事實上，假設 32×4 個細胞元讀出電路下，其資料輸出應該有 32 筆資料的同步輸出，因此若讀出電路結合類比數位轉換器時，就可以不用多工器了。

上述即為類比讀出的細胞單元，其中都必包括四個光二極體、四個輸入注入級、一組控制切換關開、四個積分電路和一個取樣保留電路，但必須除去多工器，至於在整體的類比讀出電路，以 32×4 的細胞元為例，其架構如圖十二所示，32 即表示有 32 行，而 4 代表細胞元中有四個光二極體，也就是一個影像點有四次的積分量，架構中影像上的解析度即表示成 $32 \times N$ ，N 代表掃描的像素點，N 值的取得

在此有二種方法，一是利用控制透鏡角度的方式，將所需的紅外線光源依 TDI 的原理及積分時間依序照射在光二極體上，並計算在透鏡許可的角度內，其掃描的最大值為多少，即是 N 值，另一個方法則利用機械轉動及固定透鏡角度的方式來計算 N 值，一般而言機械轉動一圈所需時間為一秒而能掃描到的像素點大約為 6400 點，所以如果用機械轉動的方式其解析度為一秒 32×6400 個像素。

事實上真正在讀出影像時，其光二極體和讀出電路的擺設並不會像圖十二所示，因為這樣的擺設方式，在空間上的解析度會變得很差，我們以圖十三來作說明，圖十三(a)中光二極體的擺設就如同圖十二的形式，可以清楚地看到行和行之間的空間是沒有任何光二極體的，也就行和行之間的影像點並不會被偵測到，反觀圖十三(b)的擺設，利用左右交錯的方式去彌補行和行之間的空缺，如此一來空間上的解析度明顯地被提升，不過在後級的處理上可能需要做影像移位的動作[25]或是先將資料存入記憶體中再處理，不過總而言之，如此的擺設方式不但可增加空間上的解析度，同時又可增加佈局上的對稱性，以降低製程因素的影響。

類比讀出電路的功能在於能夠將紅外線照射在光二極體上時，所產生的光電流加以經由積分電路而轉換成不同的電位，至於其中的開關切換則是利用時間延遲積分式的原理來控制，因此數位的控制電路便大大的影響了整個讀出電路的動作，之後我們便是要說明如此複雜的控制訊號是如何被產生的。

第三部份：數位控制電路

在數位控制單元部份，波形如圖八所示，主要的功能是利用不同的邏輯合成

去產生所有必須的控制訊號，我們設計的方式是利用計數器去產生除頻的各種訊號(A、B、C、D、E 和 F)來作為主訊號來源，其中值得注意的是，本設計的數位 master clock 有二組，一為頻率 2MHz 的 clock 而另一則是積分時間 3 倍之 clock，例如積分時間若為 32 μ s 則其中的一組 clock 則為 0.1MHz，再經由下列函數式(2.3)

$$\phi 1 = A + \bar{A} * B + \bar{A}(\overline{CD + C * D}) \quad (2.3)$$

可以輕易地得到波形中的 $\phi 1$ 控制訊號， $\phi 1$ 的函數中訊號 A 就是由 0.1MHz 的 clock 除頻為二所得之訊號，訊號 B 即為 0.1MHz 之 clock 訊號，至於訊號 C、D、E 和 F 則為 2MHz 之 clock 分別經由除四、除八、除十六及除三十二所得到，在產生 $\phi 1$ 後可經由移位器分別去產生和 $\phi 2$ 、 $\phi 3$ 和 $\phi 4$ 等其餘三個訊號。這四個訊號即是切換控制電路中的四組控制訊號，目的是用來決定積分時間的長短以及積分路徑的導通，並且符合 TDI 的操作原理。

而其他的訊號則為取樣和重設的控制，相同地，本設計的產生方式亦是由之前的 A、B、C、D、和 E 等五個訊號源來產生，可由下列的方程式得到我們要的結果，

$$\begin{aligned} S1 &= A + \bar{A}(B + C + D + E) \\ \text{Reset1} &= A + \bar{A}(B + C + D + \bar{E}) \\ S2 &= A + \bar{A}(\bar{B} + \bar{C} + \bar{D} + E) \\ \text{Reset2} &= A + \bar{A}(\bar{B} + \bar{C} + \bar{D} + \bar{E}) \end{aligned}$$

$$S3 = \bar{A} + A(B + \bar{C} + D + E)$$

$$\text{Reset3} = \bar{A} + A(B + \bar{C} + D + \bar{E})$$

$$S4 = \bar{A} + A(\bar{B} + C + \bar{D} + E)$$

$$\text{Reset4} = \bar{A} + A(\bar{B} + C + \bar{D} + \bar{E})$$

其中可以發現隨著輸入訊號的不同而產生不同的控制，但所用的邏輯架構卻只有一種，如圖十四所示。如此的設計不但可以得到想要的結果，同時也簡化了電路的複雜性及在佈局上的困難，因為大部份的電路都具有可重覆性（只需改變輸入訊號而已）。舉個例子，若要得到 S1 的訊號，那麼輸入訊號即為 A、B、C、D、和 E，若要得到 Reset1 的訊號，則輸入為 A、B、C、D、和 E 的補數，以此類推就可以得到所有的控制訊號了。到目前為止所得到的四組 Sn 和 RESETn 訊號（n 為 1 到 4），目的在於正確地讀取電容上已積分四次的電壓值，在取樣後則必須將電容上的電位重新充電至 VDD，以便重新處理，因此四組積分電容就必須要有四個取樣及重設的控制訊號。

至於波形中 S/H 之訊號則由下列方程式所構得，

$$S / H = (F + S)$$

$$S = S1 \cdot S2 \cdot S3 \cdot S4$$

S/H 的訊號主要是用來保留之前所取樣到訊號，並在保留之時間內將訊號經由 2MHz 的多工器控制——輸出至接腳上。

在數位控制單元中，除了上述的訊號控制電路外，尚還有決定光二極體是否損壞，是否該切斷積分路徑的列和行解碼器。在行解碼器中則是取用 5 對 32 之解

碼，用來選擇那一行的四個光二極體，而列解碼器則考慮以左右交錯的光二極體擺設方式，加以取用二組 2 對 4 之解碼，分別來控制左邊和右邊的四個光二極體。

第四部份：讀出電路的模擬及測試。

在電路的模擬上，我們分為類比細胞元讀出電路、數位控制電路以及整個讀出電路分別做分析。

在類比細胞元讀出電路的模擬當中，為了可以更加明顯地看出本架構在 TDI 的操作原理下，是經由四次積分效果的現象，因此特地和先前技術，焦平面架構中單一影像積分一次的效果比較，圖十五(a)為單一影像點積分一次的結果，而圖十五(b)則為本架構經由四次積分所得到的結果，明顯地看出雖同在一定的積分時間下，圖十五(a)一次積分完畢，結果卻造成讀出的速度變慢，訊號雜訊比也不好，若採用圖十五(b)的作法，則分為四次積分來處理訊號，如此讀出速度不但可以增加四倍，訊號雜訊比亦可以提升至兩倍。從更詳細的圖十六中更可看出四個電容在時脈上積分的波形以及被取樣的狀態，除了第一次取樣是需要四個積分時間外，其餘的訊號讀出就只需要一次的積分時間就夠了。為了驗證取樣保留電路的正確性，圖十七的波形為積分電位在取樣後所維持的電壓。

在數位控制電路上，由於只是邏輯波形上的不同，因此就設計的考量上，本模擬測得的功率耗損大約為 67mW，至於波形模擬如圖十八(a)為四組 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 和 $\phi 4$ 的控制訊號，圖十八(b)為四組取樣及重設的訊號。整體而言，本設計的

數位 master clock 為 2MHz，而另一組為 0.1MHz。

在整體的讀出電路中，我們比擬強度不一的光電流（0.2nA~2nA）訊號輸入，去觀察掛有負載 15pF 的輸出變化，圖十九(a)為在光二極體正常工作下，其電壓訊號讀出的放大波形圖，隨不同訊號的輸入，可以看出有不同電壓的輸出，波形中的最小解析可達到 0.03V，所以本電路亦可容忍正負 0.015V 的雜訊。圖十九(b)為光二極體在不正常工作下，其電壓訊號讀出的放大波形圖，即假設某一個光二極體發生錯誤，再透過偵測電路來切斷積分路徑，使得電路能工作正常(不會有 VDD 或 GND 的電壓出現)。因此在波形上可發現和圖十九(a)有一個地方不同（積分量只有三次）。

圖二十(a)為整個讀出電路的讀出波形，若和圖二十(b)中焦平面輸出訊號相比較，TDI 的輸出是一次輸出 N 行像素點的資料量，而焦平面架構的輸出只有一個像素點，也就是這種現象使得 TDI 的架構更能使積分時間加長，更能降低雜訊干擾，更適用於電流轉換電壓的讀出方式。

為了能更詳細地了解整個讀出電路的細部規格，吾人列出表一來說明，在紅外線影像讀出規格中，我們將考量幾點常見的要件：

第一：線性度---輸入電流訊號轉換成輸出電壓的關係。

$$\text{Linearity} = \left(1 - \left| \frac{V_{lin} - V_{dri}}{V_{lin}} \right| \right) \times 100\%$$

V_{lin} 為正常線性轉換時的電壓值， V_{dri} 為輸入電流範圍內最大外差的飄移轉換電壓。

第二：動態可測範圍---能測得物體遠近的最大範圍。

$$\text{Dynamic Range} = \frac{\text{Well Capacity}}{\text{Noise}}$$
$$= 20\log\left(\frac{V_{\max}}{V_{\min}}\right) \text{ (dB)}$$

第三：最大飽和電荷量---正比於動態可測範圍。

$$\text{Well Capacitor} = \frac{V_{\max} \cdot C_{\text{int}}}{q}$$

第四：Pixel 面積及總面積---成本考量及解析度。

第五：資料讀出率(最小積分時間)---後級處理的考量。

$$\text{Dataratio} = \frac{1}{M \times N \times L}$$

M：Scanning 的列總像素/面，本電路假設 M=320

N：Scanning 的畫面數/秒，通常 N=24

L：積分點數/物體，就本電路而言 L=4

第六：最小操作速度---一秒內能輸出畫面數之電路 Scanning 的頻率。

$$\text{Speed (min)} = \frac{1}{U \times N}$$

U：畫面解析度=X*Y

N：Scanning 的畫面數/秒，通常 N=24

在佈局的擺設上爲了提高影像在空間上的解析度以及製程的對稱性，其 Floor plane 如圖二十一所示，其中爲了提高空間上的解析度，在電路上 Diodes 的擺設以左右交錯的方式來提高 Diode 和 Diode 之間空間上的解析度，因此在輸出上就會有左半和右半二個輸出點。圖二十二爲整個紅外線影像讀出電路佈局圖，本電路是

採用 0.35um 1P4M n-well 之 CMOS 製程。最後，在包含 Pad 情況下，本 32 x4 個細胞元讀出電路在 0.35 μ m 的製程下只需要 2.0 mm x 1.8 mm。

在測試上，爲了提高測試時資料的正確性以及考慮資源在現實上所能提供的範圍，因此本研究特地製作了一塊測試板如圖二十三以示，其中分別就減少電源供應器或偏壓供應時造成的雜訊而設計出一個濾波器，此濾波器可過濾高頻及低頻時所造成的雜訊，另一方面爲了實現光二極體的光電電流輸入訊號，本測試板利用高阻值電阻（產生極小的電流訊號）來比擬訊號來源。至於選擇器則是用來選擇損壞的光二極體，以切斷積分路徑。

在測試的平台儀器中，利用函數產生器產生 2MHz(200KHz)的方波輸入，觀測示波器上數位輸出及類比 OUT 的波形。爲評估電路的正確性，在測試的過程中，我們將分別就高頻（2Mhz）和低頻（200Khz）的操作頻率下，對讀出電路加以分析，量測。在低頻的測試結果中，其數位輸出訊號 S/H 補數如圖二十四所示，可以清楚看到取樣的波形，而取樣後的類比輸出電壓則爲圖二十五所示，根據不同的四組電流輸出，可以對應出輸入對輸出的線性關係。其線性度=90%

爲了量測動態可測範圍，我們將不提供電流輸入，而直接觀察輸出的微小變化，即爲雜訊量，再根據動態可測範圍的定義求出 Dynamic ratio = 50db，而輸出最大飽和量爲 2.7V。圖二十六爲低頻類比讀出雜訊訊號。

三、結論與討論

本設計的研究成功地將 TDI 的概念運用於紅外線影像的讀出，不但能改善訊

號雜訊比和降低雜訊干擾，同時透過偵測電路，又能防止光二極體損壞時，所造成的暗點或亮點。另一方面建立類比單位細胞元的概念，期能運用於往後電路的可重覆性，以減少成本。

在整個影像系統中，本研究只是前級的部份，而後級處理上，則是透過類比轉數位器[26]-[28]將前級（本研究的輸出電壓）的結果轉換成數位訊號，再存入記憶體中由 DSP 來做最後的影像處理。因此在前級的考量上，其線性度、雜訊以及動態可測範圍就變得很重要，所以未來的讀出電路勢必簡單化且兼具降低雜訊的電路架構。

參考文獻

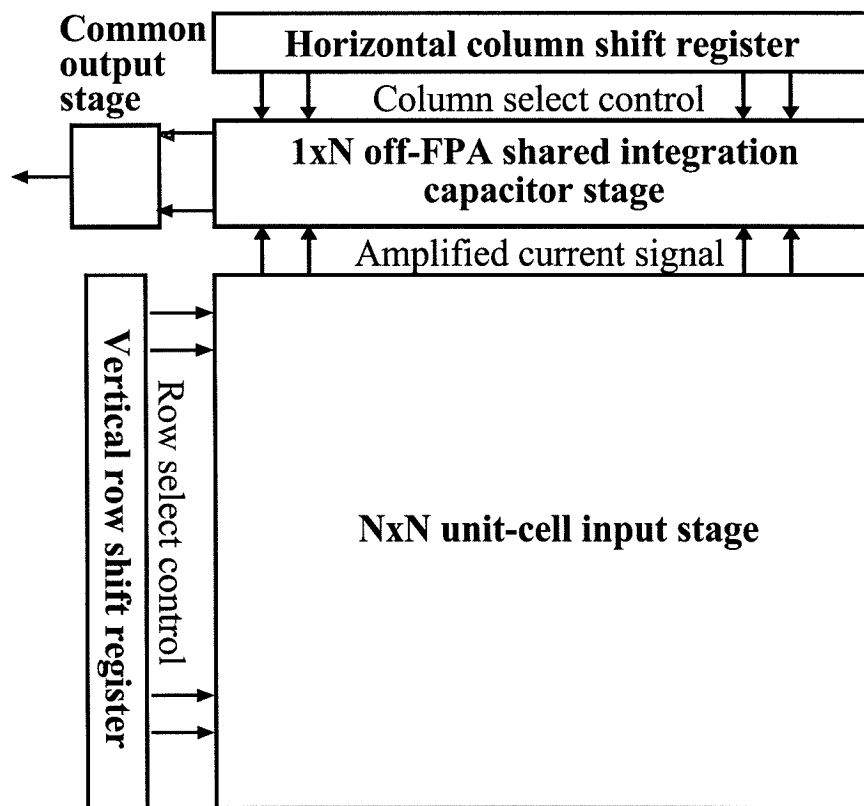
- [1] A. M. Fowler, R. G. Probst, J. P. Britt, R. R. Joyce, and F. C. Gillett, "Evaluation of an indium antimonide hybrid focal plane array for ground-based infrared astronomy," *Opt. Eng.*, vol. 26, pp. 232-240, 1987.
- [2] N. Lum, J. Asbrock, R. White, R. Kelchner, L. Lum, L. Pham, C. McCreight, M. McKelvey, R. Jr. McMurray, W. Forrest, and J. Garnett, "Low-noise, low-temperature, 256*256 Si:As IBC staring FPA," in *Infrared Detectors and Instrumentation, Proc. SPIE*, vol. 1946, pp. 100-109, April 1993.
- [3] N. Bluzer and R. Stehlik, "Buffered direct injection of photocurrents into charge coupled devices," *IEEE Trans. Electron Devices*, vol. 25, no. 2, pp. 160-166, 1978.
- [4] J. T. Longo, D. T. Cheung, A. M. Andrewheung, A. M. Andrews, C. C. Wang, and J. M. Tracy, "Infrared focal planes in intrinsic semiconductors," *IEEE Trans. Electron Devices.*, vol. 25, no. 2, 1978.
- [5] K. Chow, J. P. Rode, D. H. Seib, and J. D. Blackwell, "Hybrid infrared focal-plane arrays," *IEEE Trans. Electron Devices.* vol. 29, no. 1, 1982.
- [6] L. J. Kozlowski, W. V. McLevige, S. A. Cabelli, A. H. B. Vanberwyck, D. E. Cooper, E. R. Blazejewski, K. Vural and W. E. Tennant, "Attainment of High Sensitivity at Elevated Operating Temperatures with Staring Hybrid HgCdTe-on-Sapphire Focal Plane Arrays," *Opt. Eng.*, vol. 33, no. 3, pp.704-715, 1994.
- [7] P. Norton, "Infrared image sensors," *Opt. Eng.*, vol. 30, no. 11, pp. 1649-1660, 1991
- [8] L. Kozlowski, S. Cabelli, R. Kezer, and W. Kleinhans, "10x132 CMOS/CCD readout with 25 μ m pitch and on-chip signal processing including CDS and TDI," in *Infrared Readout Electronics, Proc. SPIE*, vol. 1684, pp. 222-230, 1992.
- [9] C. Staller, L. Ramiirez, C. Niblack, M. Blessinger, and W. Kleinhans, "A radiation hard, low background multiplexer design for spacecraft imager applications," in *Infrared Readout Electronics, Proc. SPIE*, vol. 1684, pp. 175-181, 1992.
- [10] Chih-Cheng Hsieh, Chung-Yu Wu and Tai-Ping Sun , "A New Cryogenic CMOS Readout Structure for Infrared Focal Plane Array," to be published in *IEEE Journal of Solid-State Circuits.*.
- [11] Chih-Cheng Hsieh, Chung-Yu Wu, Far-Wen Jih and Tai-Ping Sun, "Focal-Plane-Arrays and CMOS Readout Techniques of Infrared Imaging

- Systems,” to be published in IEEE Trans. on Circuits and Systems for Video Technology.
- [12] Chih-Cheng Hsieh and Chung-Yu Wu, “A New CMOS Readout Circuit Design for the IR FPA with Adaptive Gain Control and Current-Mode Background Suppression,” submitted to IEEE Journal of Solid-State Circuits.
- [13] E. R. Fossum and B. Pain, “Infrared readout electronics for space science sensors: state of the art and future directions,” in *Infrared Technology XIX*, Proc. SPIE 2020, pp. 262-285, 1993.
- [14] D. H. Pommerenig, D. D. Enders, and T. E. Meinhardt, “Hybrid silicon focal plane array development: An update,” in *Proc. Soc. Pho-Opt. Instrum. Eng.*, vol. 267, pp. 23-30, 1981.
- [15] J. C. Carson, “Application of advanced “Z” technology focal plane architectures,” in *Proc. Soc. Pho-Opt. Instrum. Eng.*, vol. 930, pp. 164-182, 1988.
- [16] Martin, et al., “Time Division Multiplexed Time Delay Integration,” *Infrared Detectors and Array*, vol.930, pp.26-43, 1988.
- [17] Mottin et al., “Device for Reading Detector Arrays with TDI Effect,” *Infrared Detectors and Array*, U.S.A. patent no. 5,828,408, Oct.27, 1998.
- [18] M. Tartagni, E. Franchi, R. Guerrieri, and G. Baccarani, “A photodiode Cell for Applications to Position and Motion Estimation Sensors,” *IEEE Transactions on Infrared Electronics*, vol. 43 No.1, pp.151-157, Feb., 1996.
- [19] L. Goldminz, B. Sabbah, Z. M. Friedman, and Y. Nemirovsky, “Mercury-cadmium-telluride photovoltaic and photoconductive focal-plane arrays,” in *Optical Engineering*, vol. 32, pp. 952-957, May 1993.
- [20] H. Zogg, A. Fach, C. Maissen, J. Masek, and S. Blunier, “Photovoltaic lead-chalcogenide on silicon infrared sensor arrays,” in *Optical Engineering*, vol. 33, pp. 1440-1449, May 1994.
- [21] H. Zogg, A. Fach, J. John, J. Masek, P. Muller, C. Paglino, and S. Blunier, “Photovoltaic IV-VI on Si infrared sensor arrays for thermal imaging,” in *Optical Engineering*, vol. 34, pp. 1964-1969, July 1995.
- [22] S.C.H. Wang, G. Dudoff, S. Jost, J. Roussis, J. Voelker, M. Winn, and T. Wyman “High-performance longwave infrared HgCdTe scanning focal plane arrays for surveillance applications” in *Infrared Technology*, Proc. SPIE vol.2225, pp. 335-349, 1994.
- [23] G. Parish, C.A. Musca, J. F. SILIQUINI, and J. Antoszewski “A monolithic dual-band HgCdTe infrared detector structure” *IEEE Electron Device Letters*, vol. 18, no. 7, pp.352-354, July 1995.
- [24] *Bajaj, J* “HgCdTe infrared detectors and focal plane arrays” *Optoelectronic*

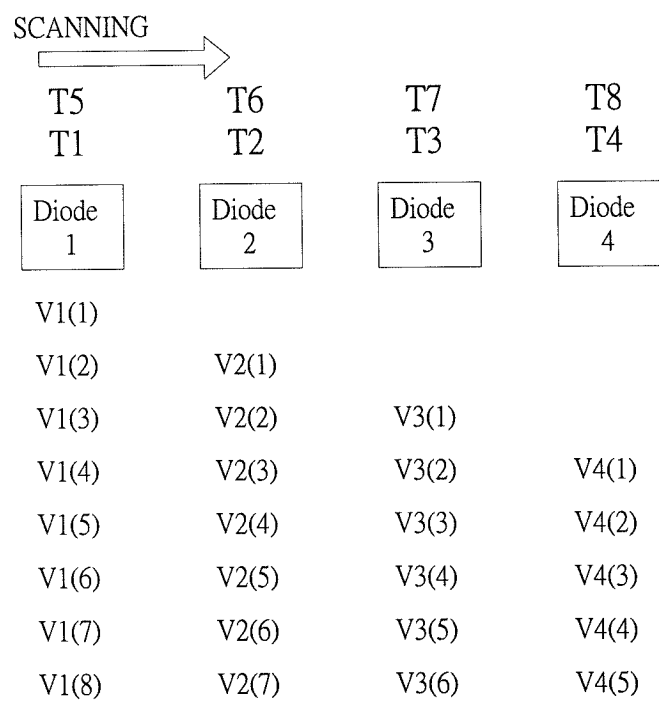
and Microelectronic Materials Devices, 1998. Proceedings. 1998 Conference on, 1999 Page(s): 23 –31.

- [25] D.G. Elliman, PhD, CEng, MIEE “ Shift invariant neural net for machine vision” IEE Proceedings vol. 137, no. 3, pp183-187, June 1990.
- [26] C. Jansson, U. Ringh, K. Liddiard, “On-chip analog-to-digital conversion suitable for uncooled focal plane detector arrays employed in smart IR sensors”, in *Smart Focal Plane Arrays and Focal Plane Array Testing, Proc. SPIE*, vol. 2474, pp. 72-87, Apr. 1995.
- [27] W. J. Mandl, “Focal plane analog-to-digital conversion development,” in *Smart Focal Plane Arrays and Focal Plane Array Testing, Proc. SPIE*, vol. 2474, pp. 63-71, Apr. 1995.
- [28] U. Ringh, C. Jansson, C. Svensson, and K. Liddiard, “CMOS analog to digital conversion for uncooled bolometer infrared detector arrays,” in *Smart Focal Plane Arrays and Focal Plane Array Testing, Proc. SPIE*, vol. 2474, pp. 88-97, Apr. 1995.

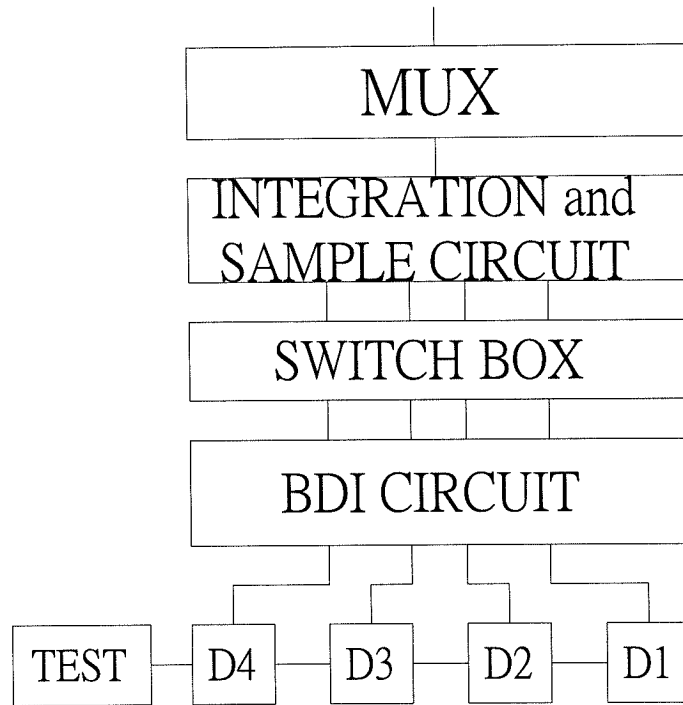
圖式



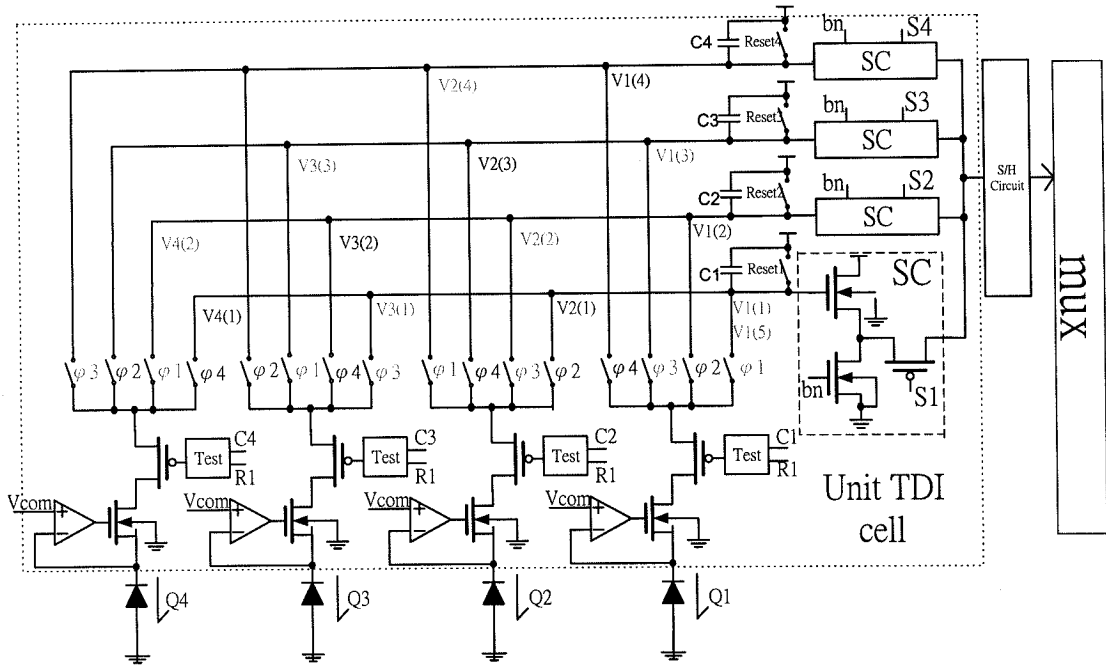
圖一 焦平面(Focal Plane Array) 讀出架構



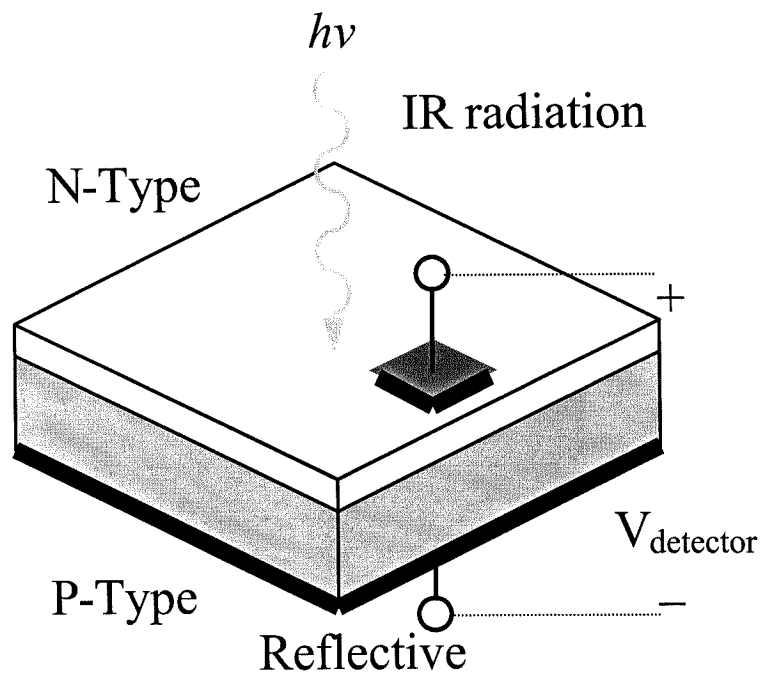
圖二 時間延遲積分式(Time-Delay-Integration)的操作原理



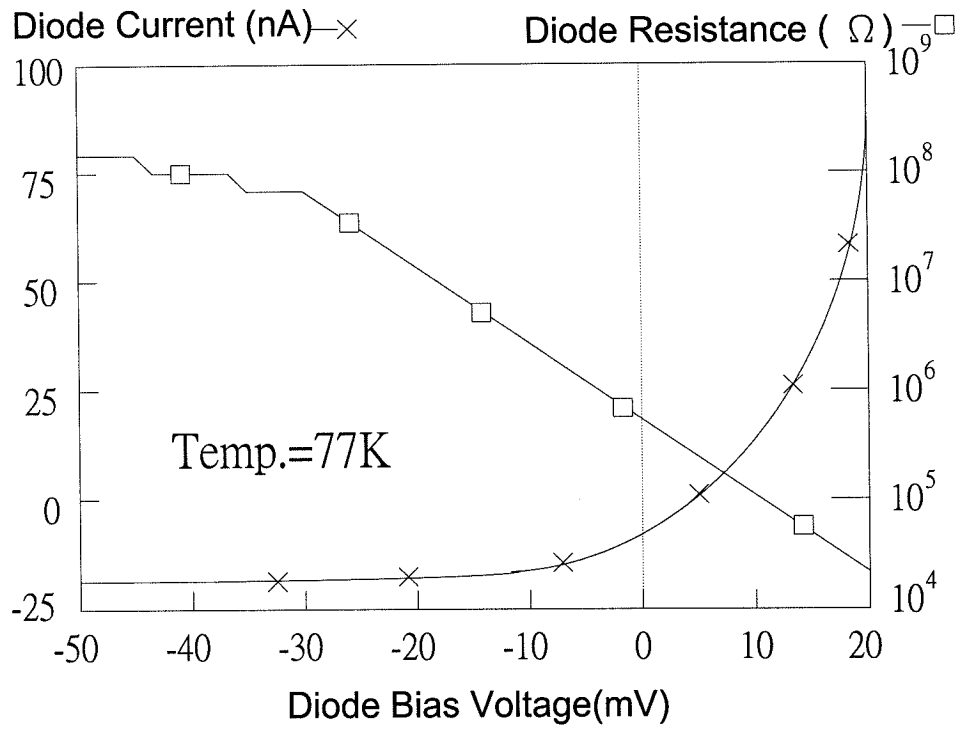
圖三 類比細胞元讀出電路方塊圖



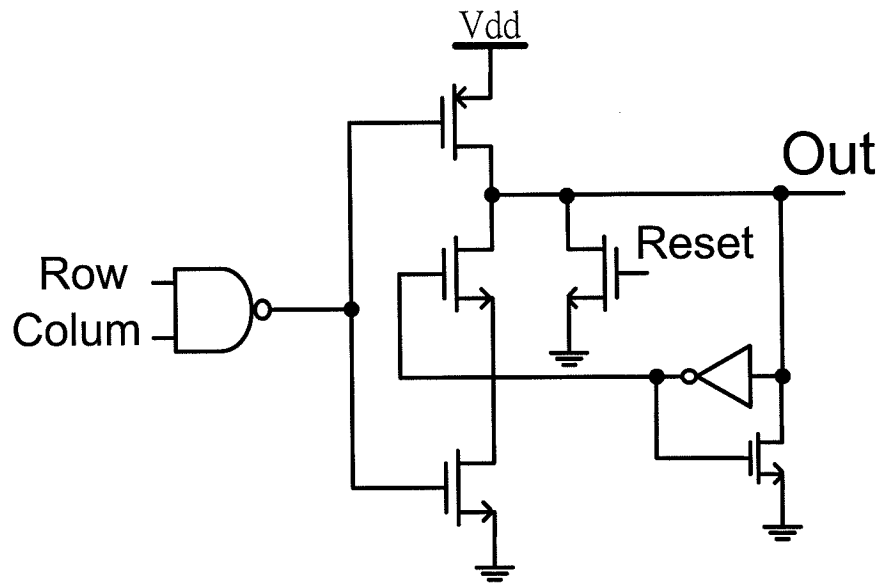
圖四 類比細胞元讀出電路



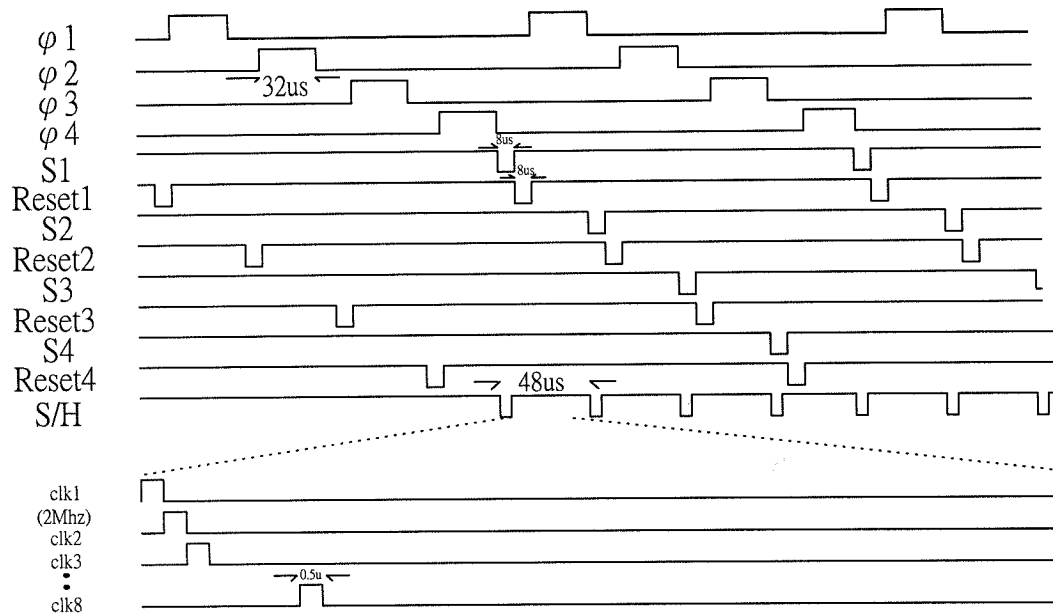
圖五 光二極體(photodiode)



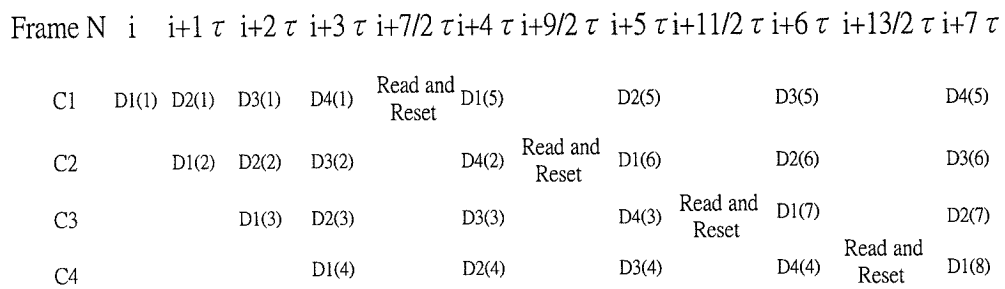
圖六 光二極體(photodiode) 之特性曲線



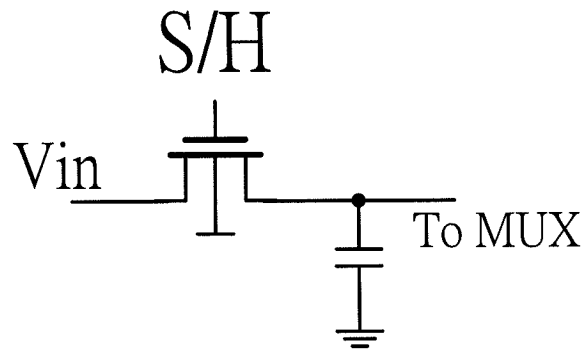
圖七 偵察電路



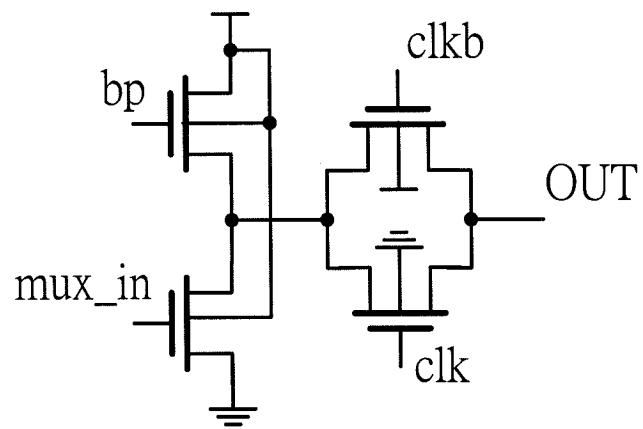
圖八 讀出細胞元的操作波形



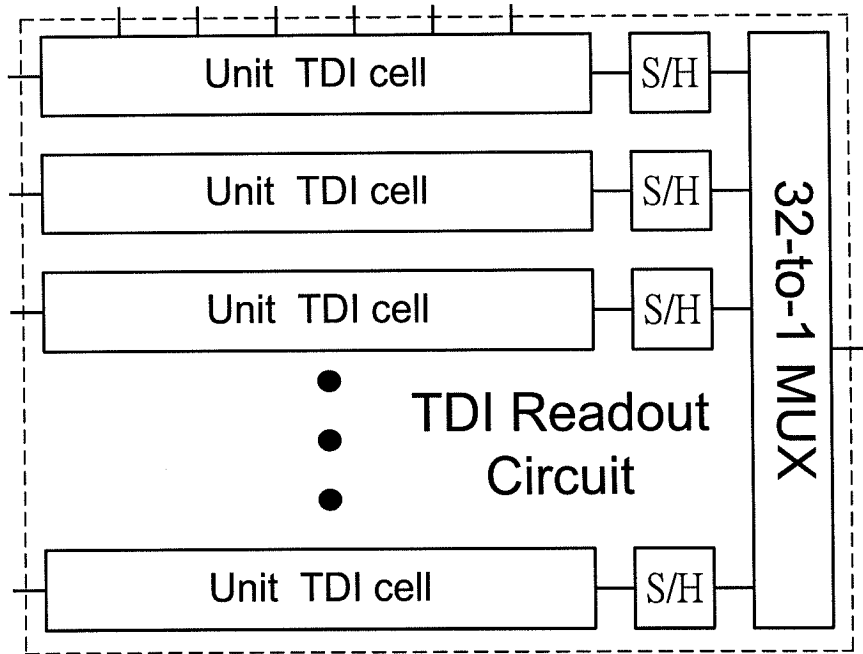
圖九 讀出細胞元的細部分解描述



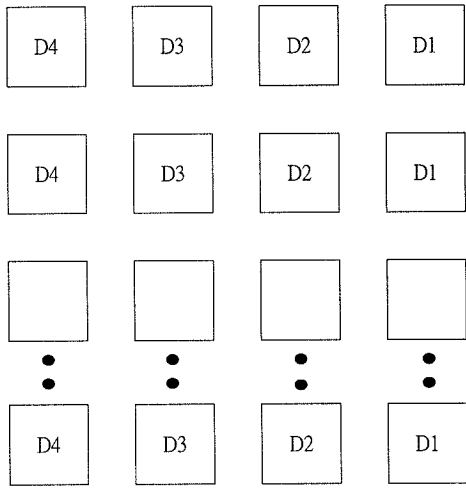
圖十 取樣保留電路



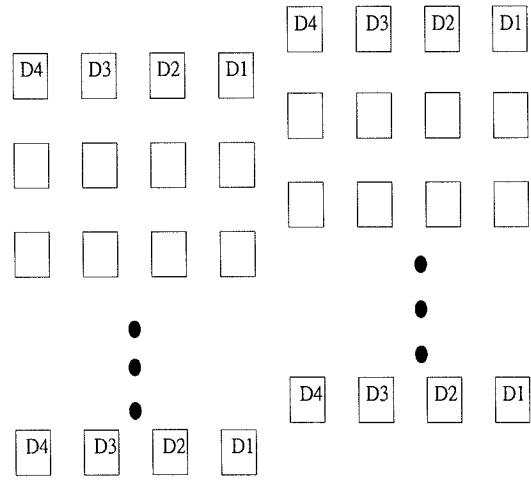
圖十一 多工器



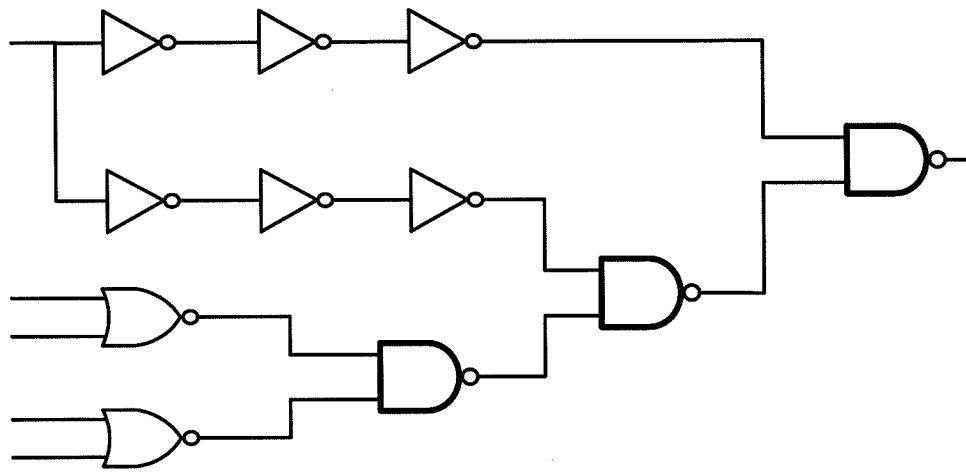
圖十二 32x4 類比讀出電路



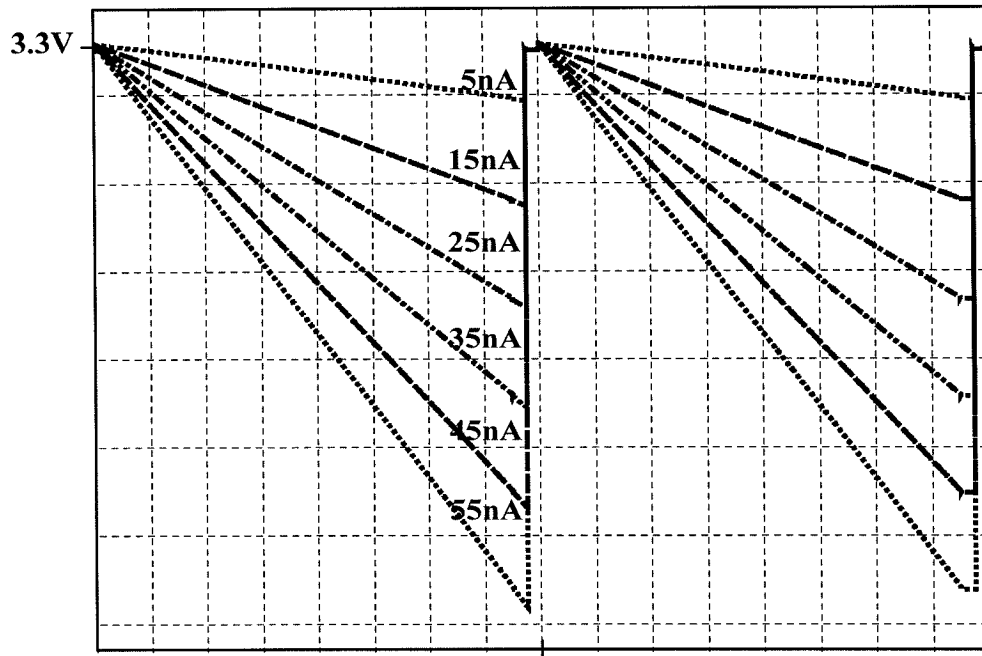
圖十三(a) 光二極體的擺設方式



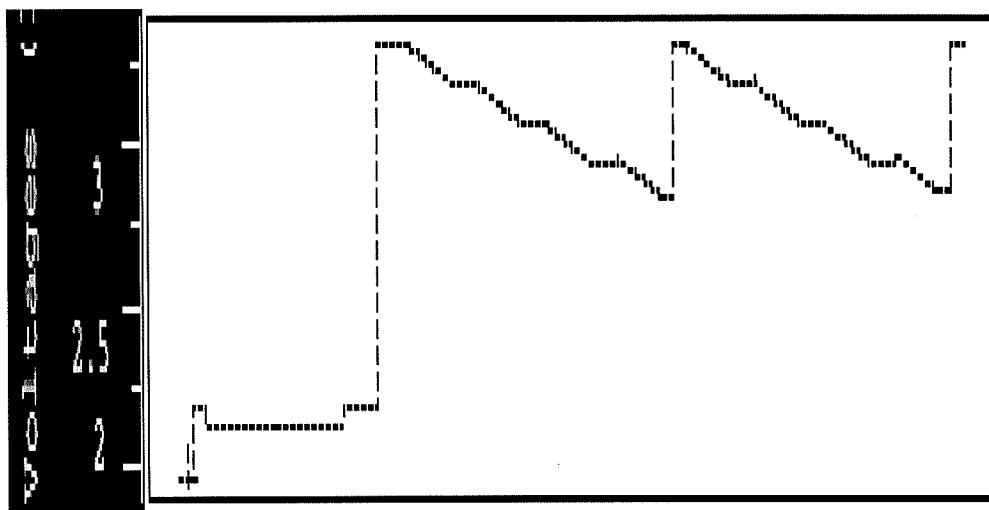
圖十三(b) 光二極體的擺設方式



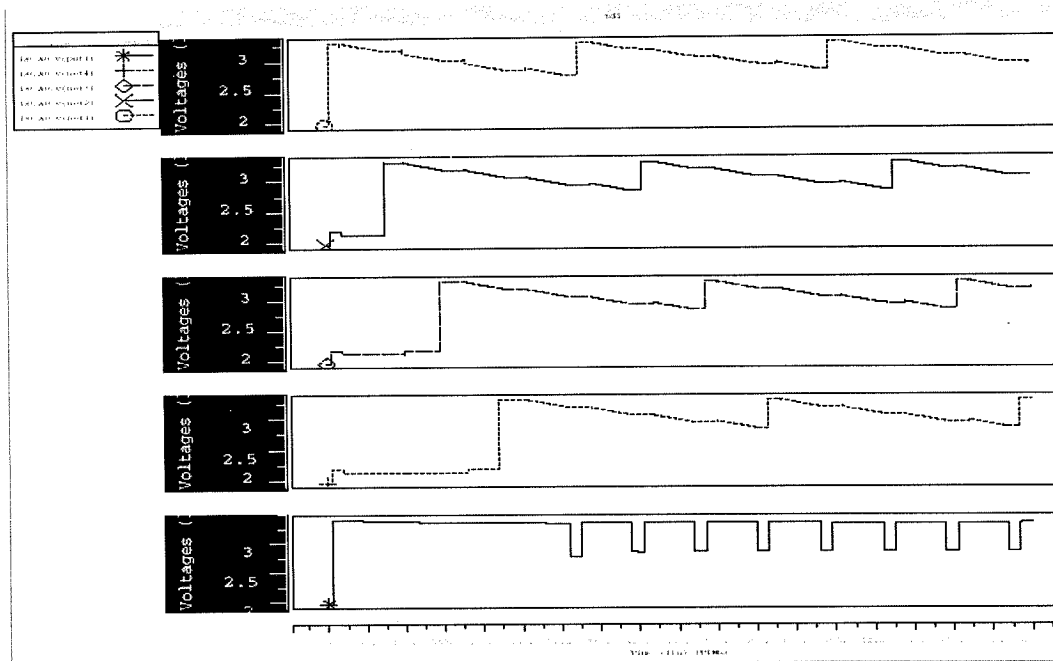
圖十四 數位邏輯電路



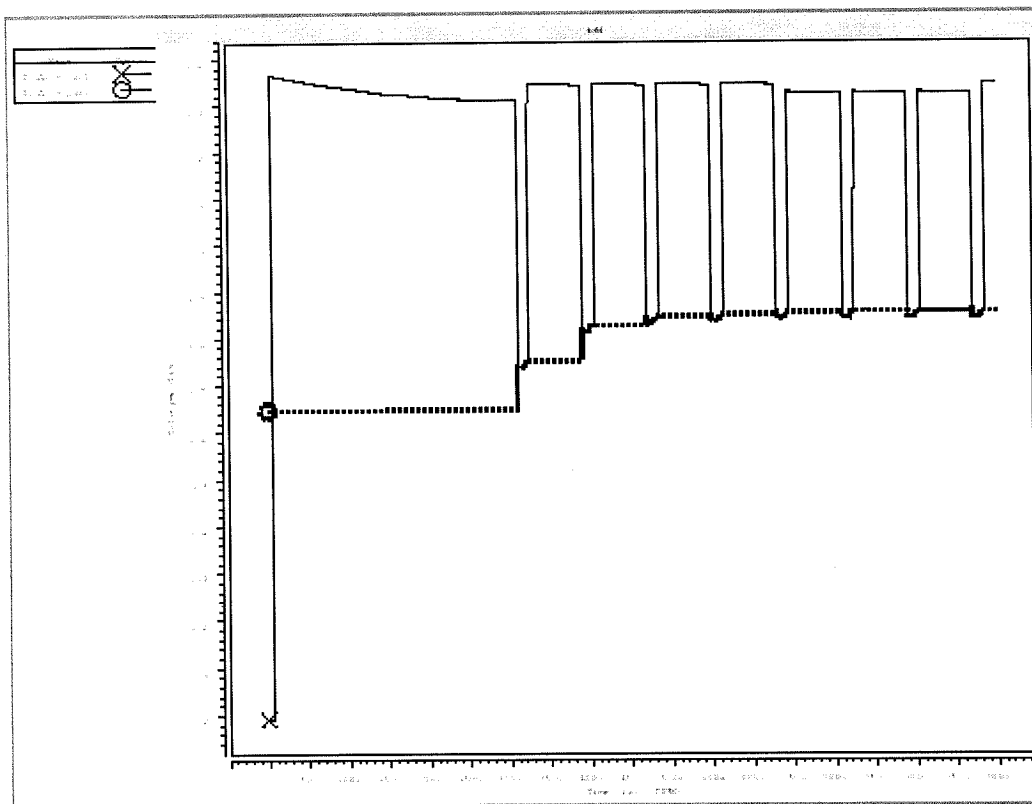
圖十五(a) FPA 單一電容積分模擬波形



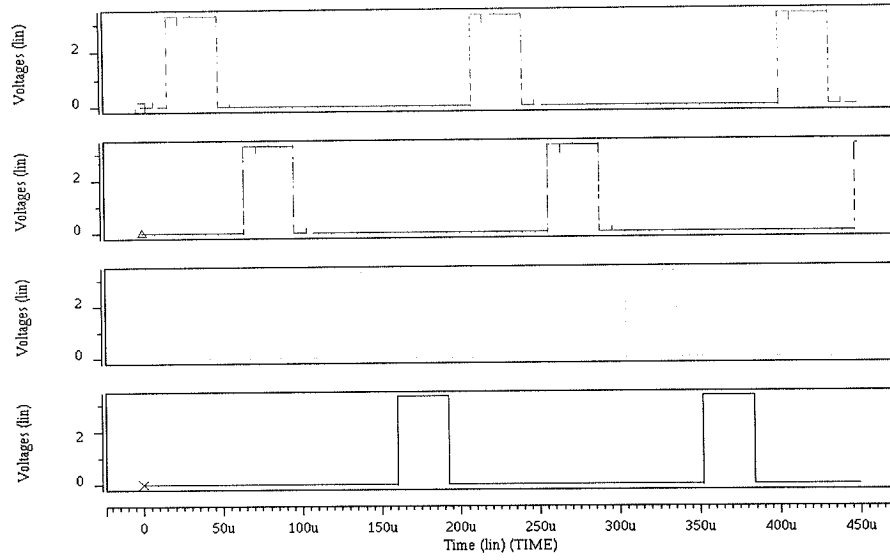
圖十五(b) TDI 單一電容積分模擬波形



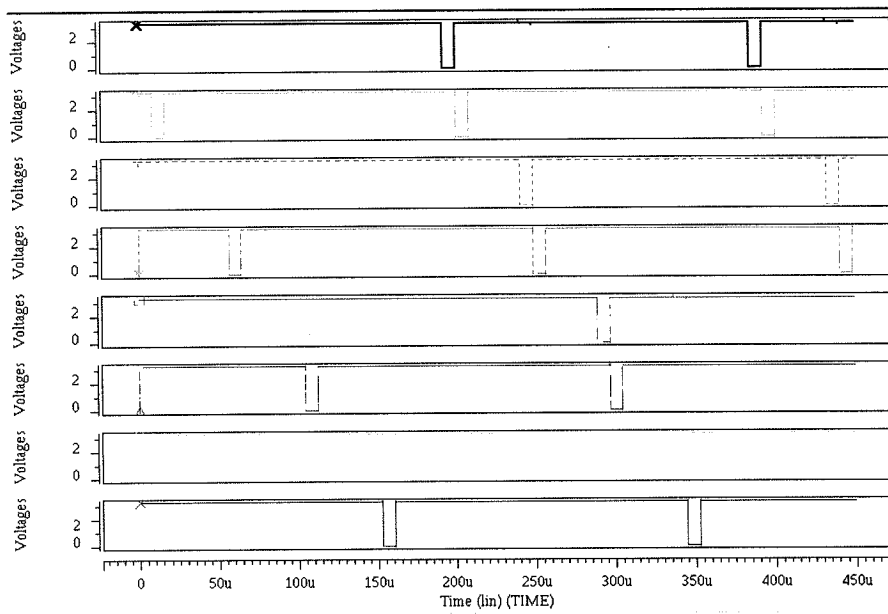
圖十六 TDI 之四個電容積分模擬波形



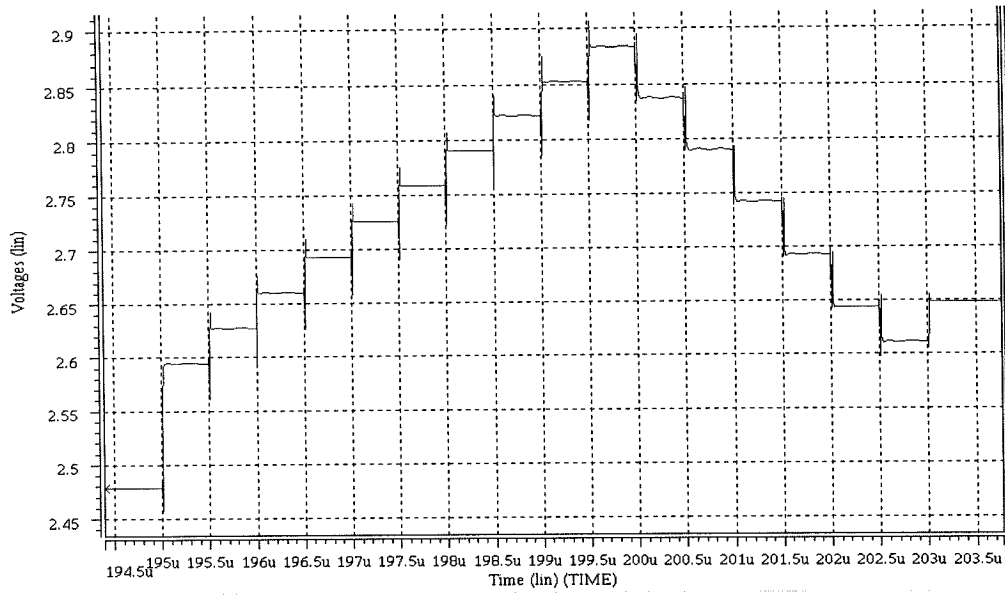
圖十七 取樣保留電路模擬波形



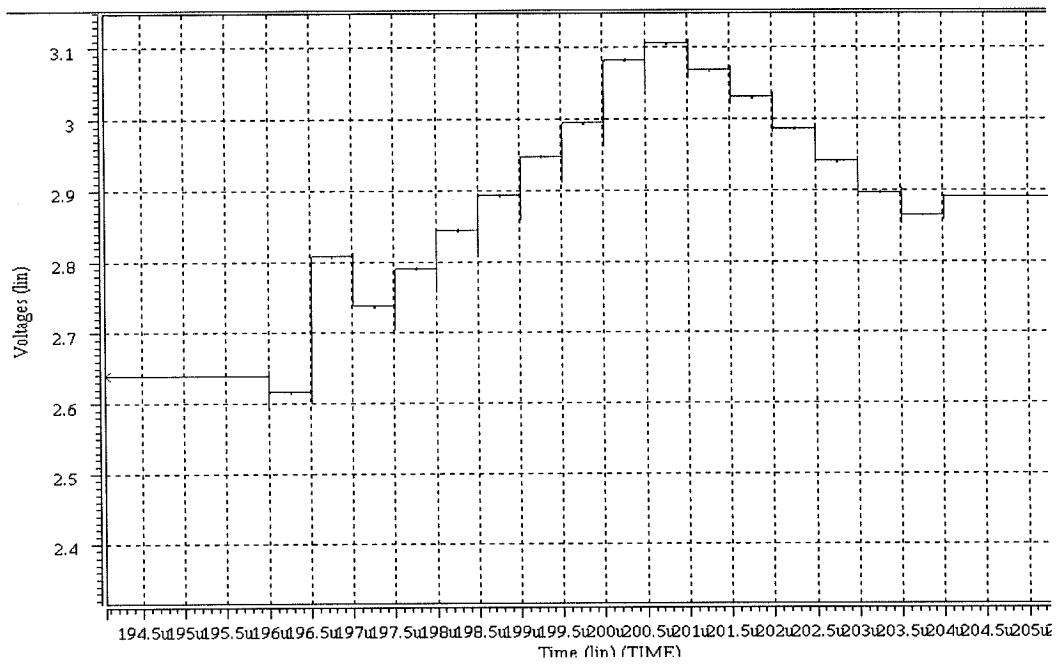
圖十八(a) 數位控制電路模擬波形



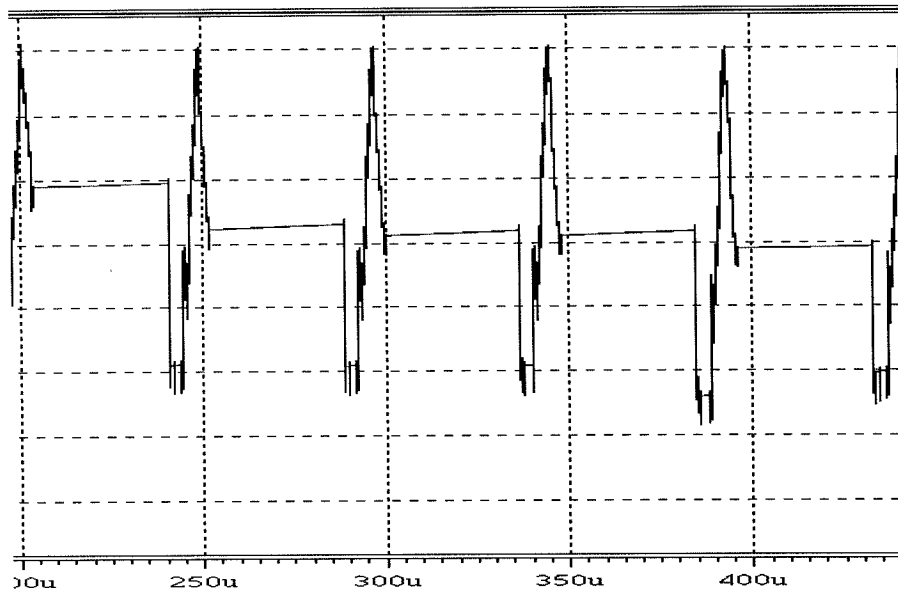
圖十八(b) 數位控制電路模擬波形



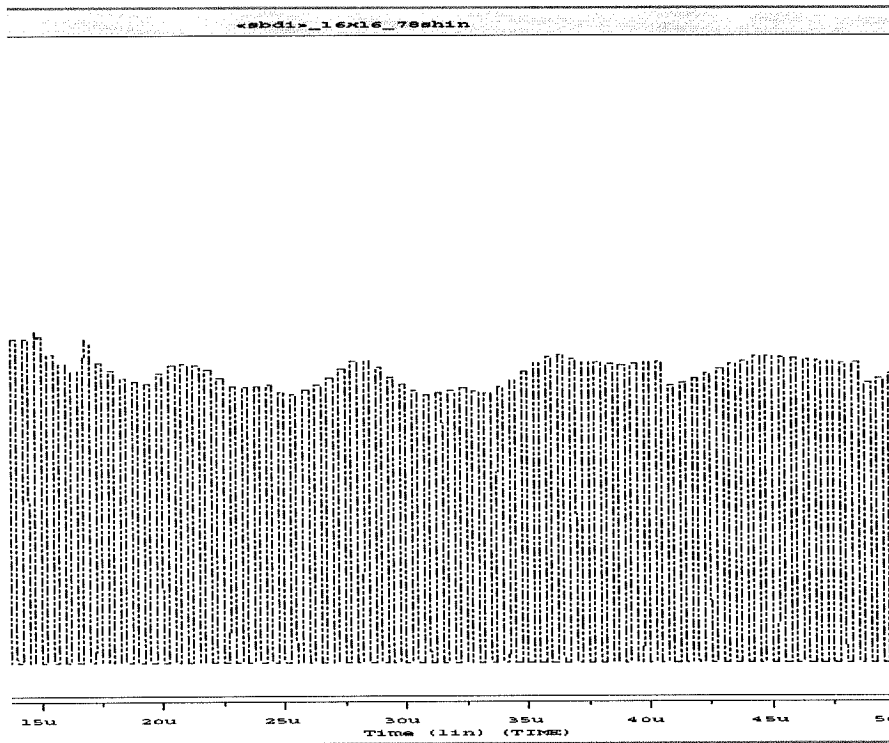
圖十九(a) TDI 讀出電路輸出放大波形圖



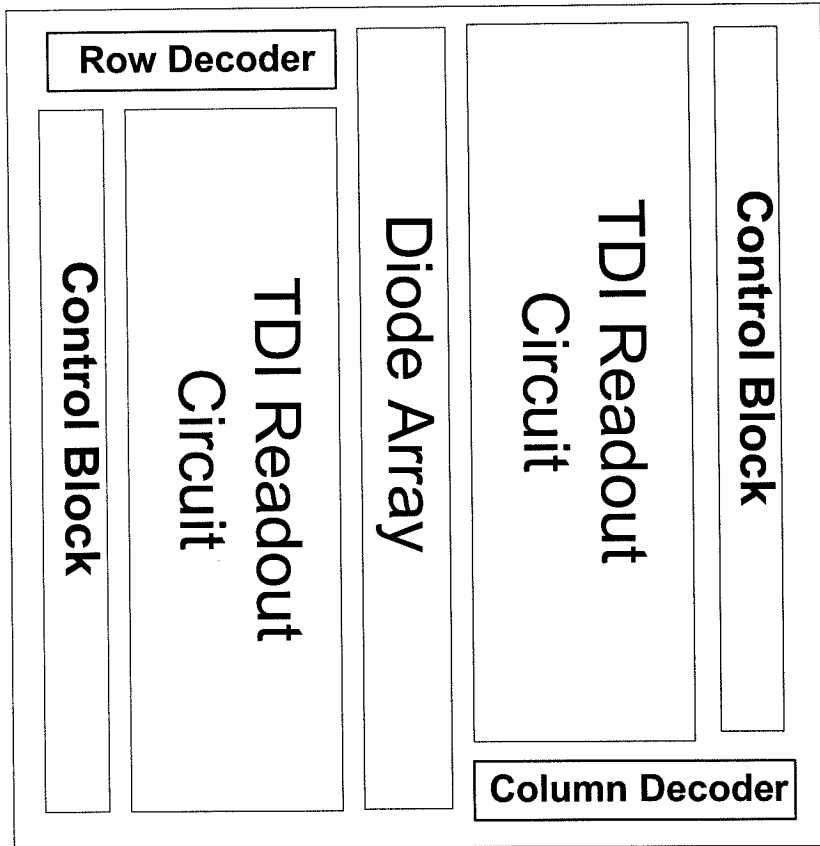
圖十九(b) TDI 讀出電路輸出放大波形圖



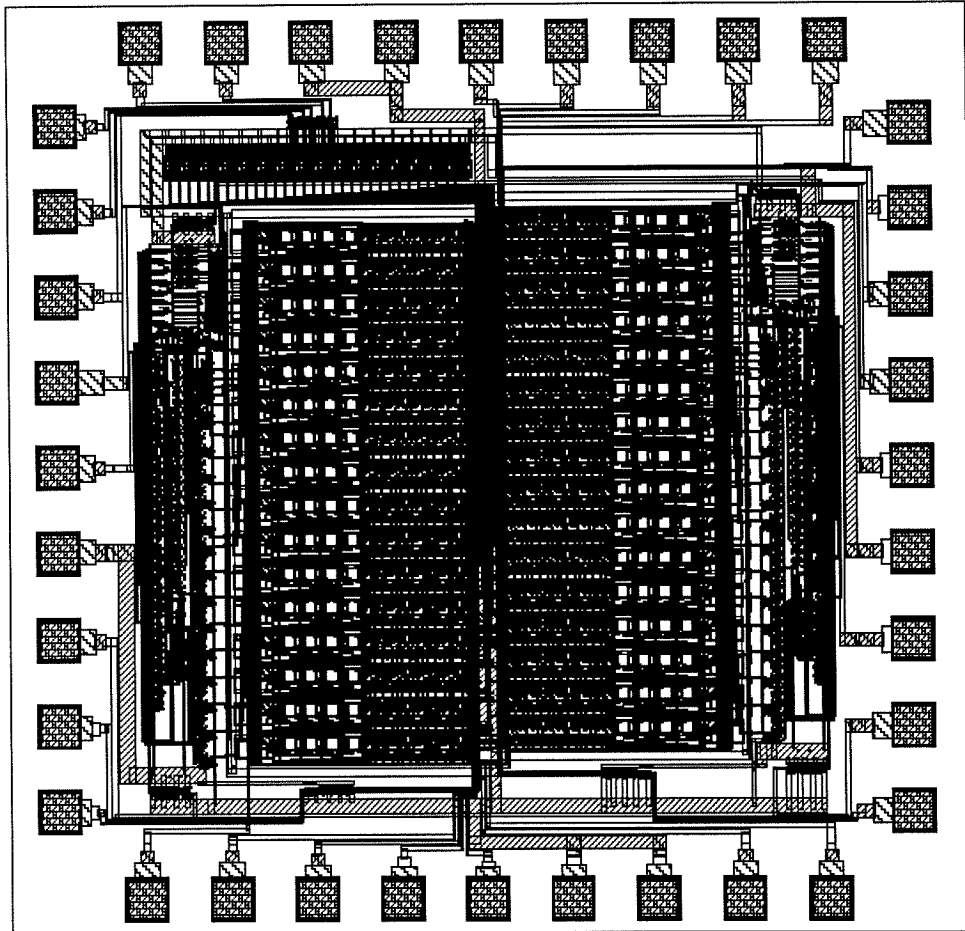
圖二十(a) TDI 讀出電路輸出波形圖



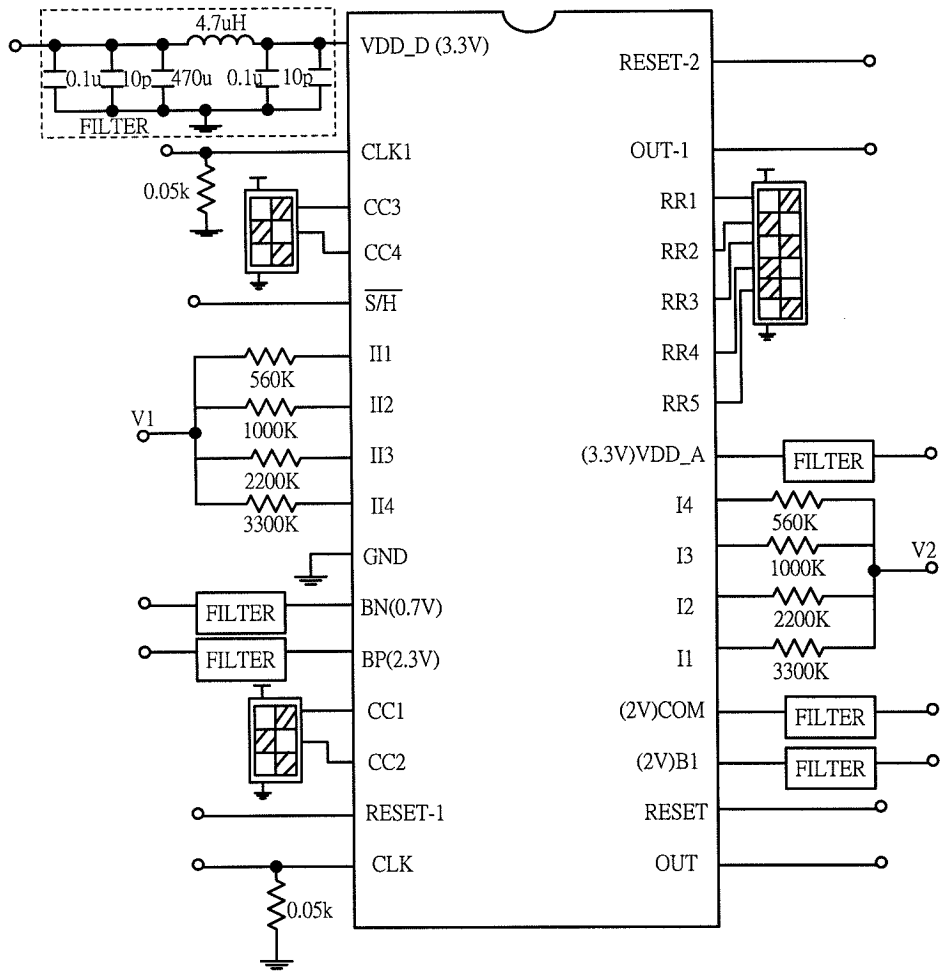
圖二十(b) FPA 讀出電路輸出波形圖



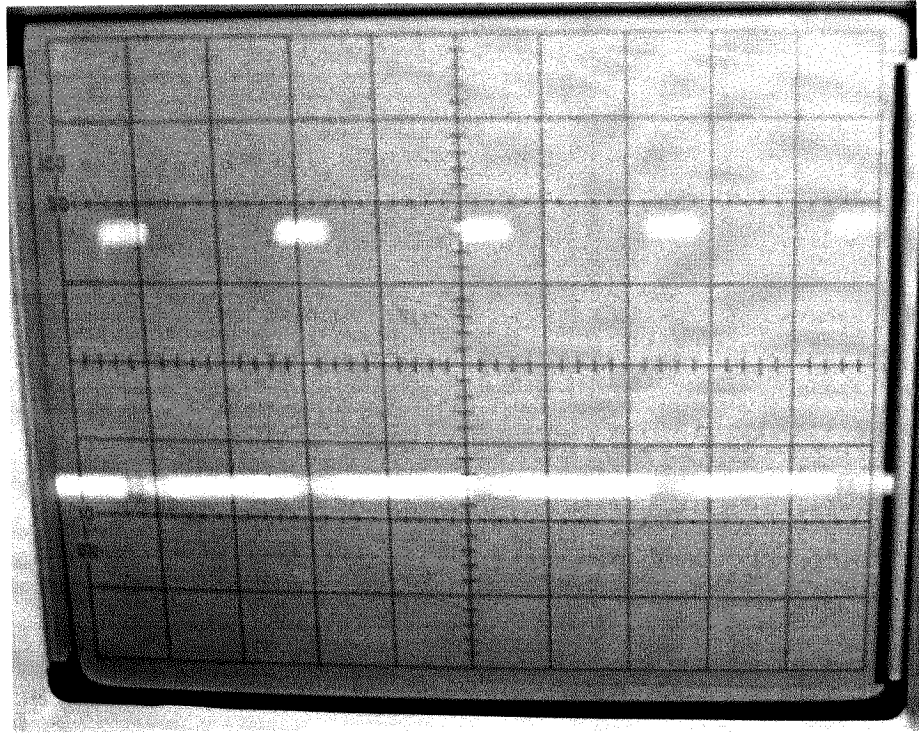
圖二十一 TDI 讀出電路之佈局擺設圖



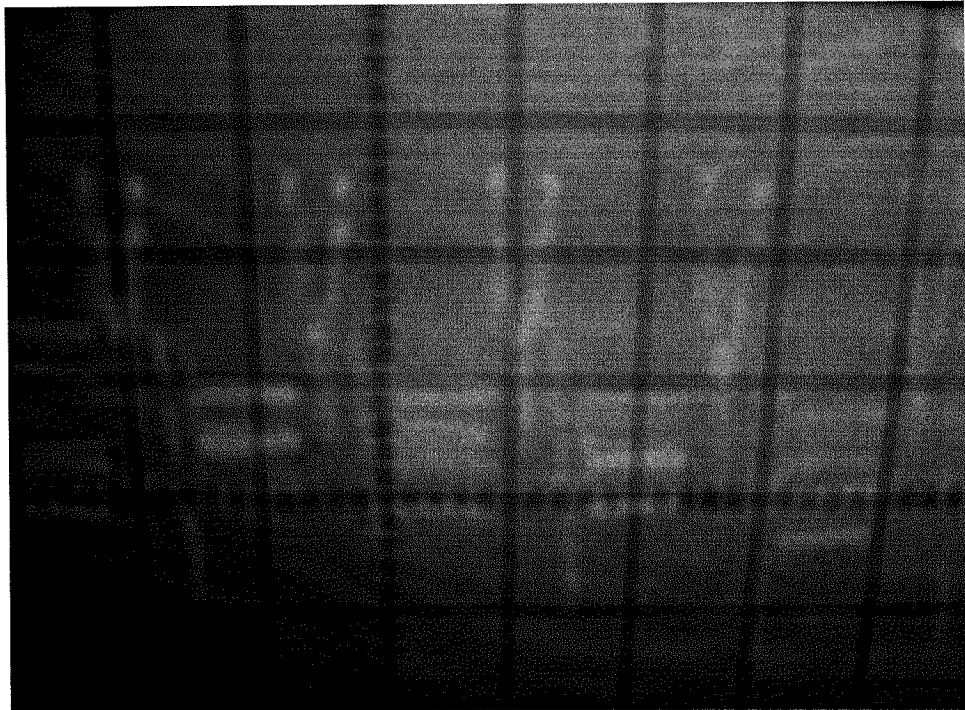
圖二十二 TDI 讀出電路之佈局圖



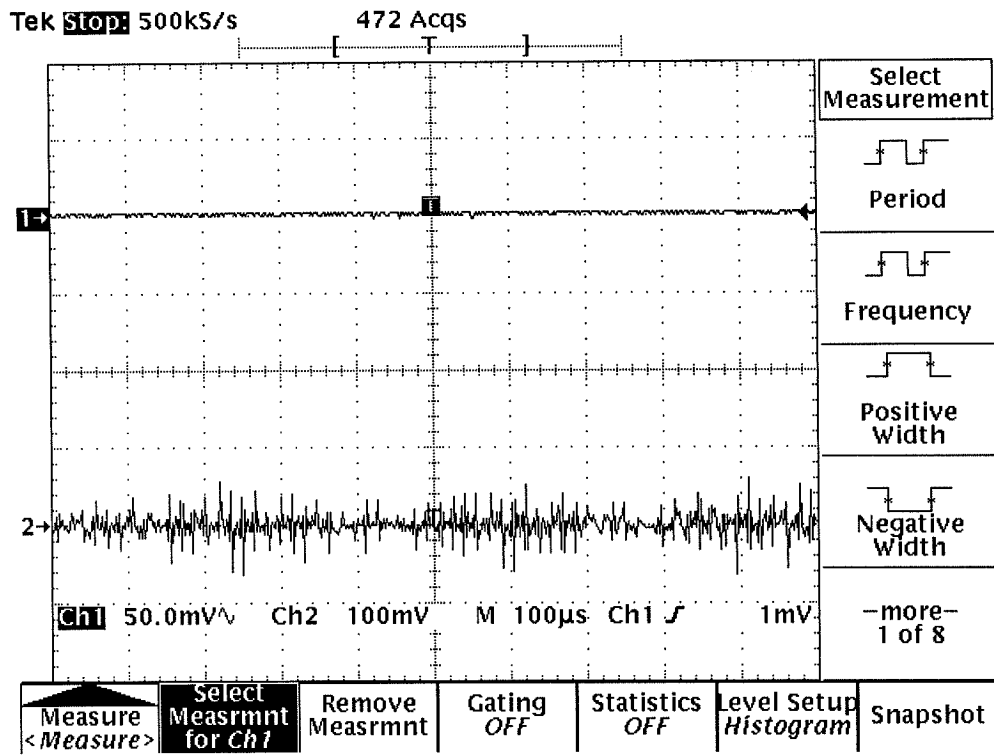
圖二十三 測試板



圖二十四：低頻數位輸出訊號 S/H 補數之測試波形



圖二十五：低頻類比讀出訊號之測試波形



圖二十六：低頻類比讀出訊號

表式

Table 1
Test and Measure Result for the Fabricated TDI
mode 32x4 Readout Chip

Power supply	3.3 Volts
Pixel pitch	30x30 μm^2
Chip size	2100x1800 μm^2
Dynamic range	70dB
Maximum output swing	2.7 Volts
Maximum charge capacity	$1.1 \times 10^7 e^-$
Maximum readout speed	2MHz
Data ratio	32 μS
Linearity	98 %
Average Power dissipation	100 mW
Operating temperature	77° K
Technology	0.35 μm n-well CMOS

表一：讀出電路規格表