

行政院國家科學委員會補助專題研究計畫成果報告

液晶監視器影像訊號擷取介面積體電路

計畫類別： 個別型計畫      整合型計畫

計畫編號：NSC90-2215-E-009-109-

執行期間： 2001年 8月 1日至 2002年 7月 31日

計畫主持人：吳錦川教授

共同主持人：無

計畫參與人員： 碩士班 蔡淑惠 陳相志

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子工程學系

中華民國

92年

1月

10日

## 一、 中文摘要

**關鍵詞：**最小轉換差動訊號,鎖相迴路,延遲鎖定迴路

### **Abstract:**

本篇報告主要提出一個液晶顯示器傳送介面所使用的傳送接收器,所採用的是 TMDS 的規格,電路實現主要以 PLL,DLL 為主要的區塊.

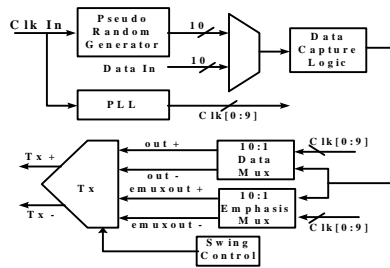
**Keywords:** TMDS,PLL,DLL

## 二、 緣由與目的

隨著微處理計算能力的不斷提升,可靠高速序列連結的效能需求也越來越重要。其乃由於許多數位系統的效能被不同模組間的介面傳輸頻寬所限制住(例如:處理器與記憶體介面、PC 與周邊介面等)。一個完整的傳輸系統,包含傳輸器、通道與接收器三個主要部分。在傳輸器與接收器兩處的共同特色為:此兩硬體單元皆需要多相位產生器。一般的多相位產生器有兩種主要的作法:相位鎖定迴路與延遲鎖定迴路。降低其時脈抖動以產生準確的時間參考為此兩者共同一致的目標。此組 TMDS 介面接收器上之多相位產生器主要是設計給 PC 上顯示卡至 LCD panel controller 之介面應用,以期符合其所需要的傳輸速率,而由於其主要是用於 LCD 顯示器,因為可能有不同之顯示模式,我們應考慮不同之圖素頻率,對所傳輸之 clock rate 與 data rate 來設計每一個硬體單元。此傳送器和接收器使用 TSMC 0.35um 的數位製程及 3.3V 的電壓,傳輸頻率從 250Mbps 至 1.65Gbps。

## 三、 結果與討論

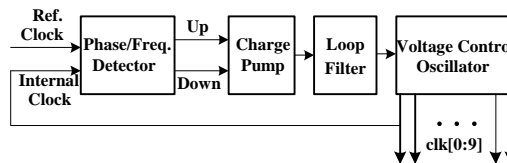
### 3.1 傳送器設計原理與架構



圖一. 傳輸器基本架構圖

整個傳輸器的架構如圖一所示。傳輸器各部分組成架構簡介如下：

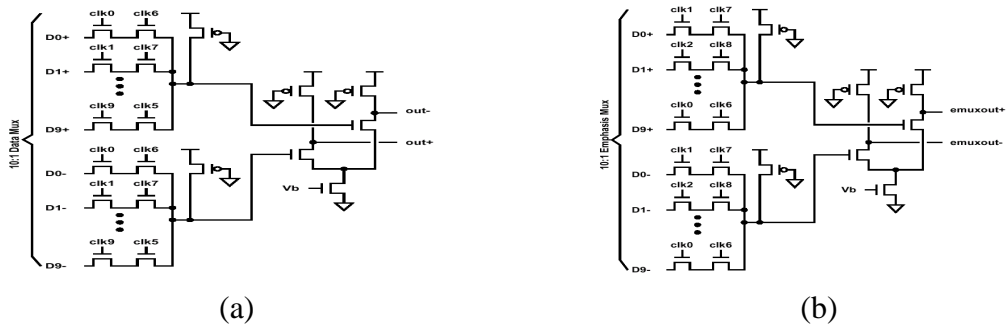
(a)鎖相迴路(PLL)：我們是採用電荷幫浦式(charge pump)的鎖相迴路來做設計，其主要包括相位頻率偵測器、電荷幫浦、低通濾波器、電壓控制振盪器，如圖二所示。其基本原理是輸入訊號與回授回來的訊號經過相位頻率偵測器後，由於這兩個訊號有相位差，使電荷幫浦產生電流對低通濾波器做充電或放電，改變控制振盪器的控制電壓，進一步調整震盪器輸出之頻率，再回授給相位頻率偵測器，經由此迴路的負回授作用，最後將使輸出訊號的相位鎖住參考訊號的相位，並產生十組相位供十對一多工器使用[1]。



圖二. 十個相位的鎖相迴路時脈產生器架構圖

(b)並列串列轉換器：如圖三所示，此電路包含兩部分：(a)為 Data 多工器，(b)則為預先強調(Emphasis)多工器。其中 Data 多工器訊號延遲一週期，並反轉(inverted)後，則為預先強調(Emphasis)多工器的輸出訊號。當訊號傳輸的速度很快，且訊號 high-to-low 與 low-to-high 的轉換頻繁時，傳輸器輸出的振幅往往會減小，因此預先強調多工器能偵測現在即將傳輸的訊號與前一訊號之間的關係，以調整傳輸線驅動器端的電流大小，使振幅維持在一定的範圍內，不至於有太大的變動[2][3]。

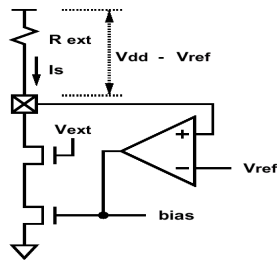
多工器電路輸出切換的速度取決於電流對輸出端的負載電容充放電的速度，為了增加切換速度，偏壓電流不能太小，但是大電流會減少輸出的振福，因為其輸出要送到輸出驅動器，故輸出端的振福不能太小，因此只能把輸入端的 NMOS 的寬度(W)增加，由於是十組併聯的輸入端，故對輸出來說，十顆 MOS 的汲極(Drain)電容併聯起來是很可觀的，故增加輸入端的 NMOS 的尺寸會使輸出端的電容更可觀，因此最接近輸出的 NMOS 寬度要小一點，其他 NMOS 的寬度用大一點，但要考慮輸入端的驅動能力，不能太大。



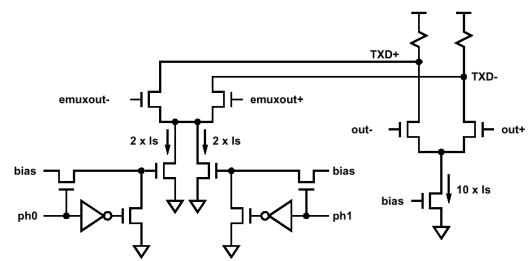
圖三. 十對一多工器電路

(c) 傳輸線驅動器及輸出振福調整電路：由於傳輸器的輸出是接到一對 50 歐姆的末端電阻，我們希望振福大小在 400mV 到 600m 之間，如圖四所示，我們利用輸出振福調整電路，控制電路的電阻值及  $V_{ref}$  電壓，以得到所需輸出端的振福大小，其中  $I_s = \frac{V_{DD} - V_{ref}}{R_{ext}}$ 。

圖五為傳輸線驅動電路，除了原本  $10 \times I_s$  的電流源外，訊號  $ph0$  與  $ph1$  可切換增加  $2 \times I_s$  與  $4 \times I_s$  的電流，以提供訊號在高速傳輸的情況下使用，避免輸出振幅衰減[4]。



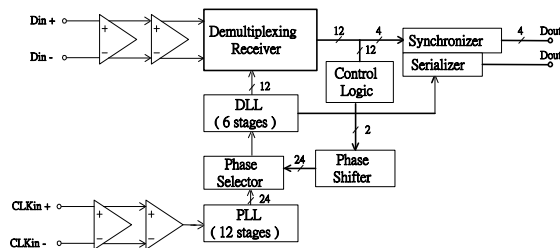
圖四. 輸出振福調整電路



圖五. 傳輸線驅動器

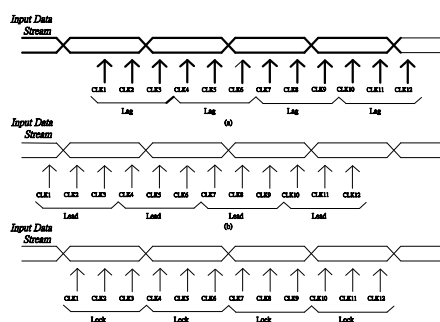
### 3.2 接收器設計原理與架構

在接收器設計方面，首先將電路分成 PLL 與 DLL 區塊，分別設計與最佳化，如此一來也方便除錯。由於壓控延遲單元是影響相位產生器輸出的關鍵，因此需考慮四個 corner 與溫度對其輸出的影響。在獲得  $K_{VCO}$  與  $K_{VCDL}$  兩個迴路參數後，先對線性近似模型作針對所要求工作頻率上的迴路參數設計，根據參數設計完成每個組成單元後，再對每一要求的輸入頻率作一閉迴路 HSPICE 模擬的驗證。



圖六 Receiver Block diagram

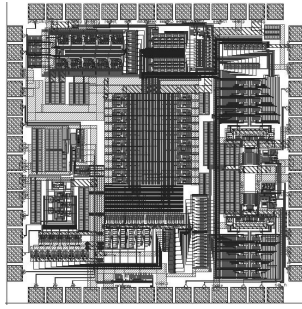
在此我們使用 tracking clock recovery receiver 的架構配合三倍 oversampling 的方式來達成可靠的傳輸需求。基本 Block diagram 如圖六所示，它由 demultiplexing receiver、phase selector、control logic、phase shifter、一個 DLL、一個 PLL 和兩組 interface circuit 所組成。因為要作到三倍 oversampling 所以在這邊考慮以四個 serial bits 時間為週期長度，在此週期長度中產生均勻的 12 個相位來提供取樣之使用。所以我們需設計 6 級的 DLL，而之所以作十二級的 PLL 以產生 24 個相位以供選擇是因為如此可加倍每次迴路調整鎖定相位的解析度。整個系統的基本運作原理如圖七所示：當取樣訊號落後資料串某種程度時，資料轉態將在第二與第三個取樣相位間發生，這樣將觸發控制邏輯電路並促使其送一 UP 信號給 phase shifter/selector 以從 PLL 中挑前一相位供鎖定用。反之亦然，這樣調整的機制將一直重覆直到偵測不到資料轉態為止。在此同時，系統達到穩定的鎖定狀態。



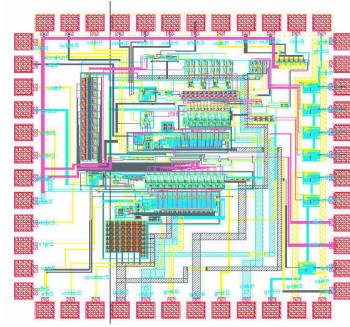
圖七 tracking mechanism

當系統達到鎖定狀態，取中間相位所取到資料位準即可決定所送資料。此外，我們也將資料回復後的結果作一同步處理再作串列輸出，以供作 BER 比對之用。在此我們是採用 charge pump 形式的 PLL 來做設計，其主要包括 phase/frequency detector、charge pump、low pass filter、voltage controlled oscillator、frequency divider 所構成。其基本原理是輸入訊號與回授回來訊號經過 PFD 後，由於其相位差，而使 charge pump 電路產生電流對 low pass filter 做充電或放電，因而改變振盪器的控制電壓，進而能改變輸出之頻率，再經由除頻器後回授給 PFD，經由此迴路的負迴授作用，最後將使輸出訊號的相位鎖在參考訊號的相位，利用此特性將可以產生出我們所需要的 2.5 倍時脈頻率輸出。在 DLL 的部分則採用類似的負迴授電路架構，其不同於 PLL 處乃在於 VCO 被置換成 VCDL(voltage controlled delay line)，其他還有 loop filter 和 charge pump 在設計上也有所不同，另外值得注意的是 DLL 的參考訊號是同時輸入給 PFD 與 VCDL 所使用，有別於 PLL 的架構。

### 3.3 晶片佈局



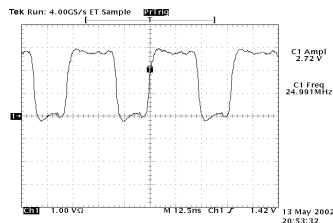
圖八 Transmitter Chip Floorplane



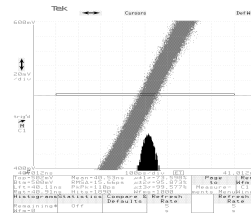
圖九 Receiver Chip Floorplane

### 3.4 量測結果

傳輸器的量測部分首先我們使用任意波形產生器 AWG-520 產生我們所需的訊號，至於傳輸器輸出的部分則先透過一組差動 probe 將訊號先轉成單端輸出後，再接到示波器上觀察波形，關於抖動的量測，則是利用 Digit Signal Analyzer 來完成。鎖相迴路的量測結果如圖十和圖十一所示，當輸入時脈為 25MHz 時，量測結果顯示鎖相迴路輸出訊號的方均根抖動和峰值抖動分別為 15.66ps 和 110ps，消耗功率則為 20mW。圖十二則是傳輸器輸出位元速率為 250Mb/s 的量測圖，輸出單端振幅為 400mV，總消耗功率為 200mW。

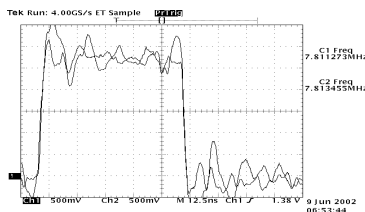


圖十. 25MHz 的 PLL 輸出訊號

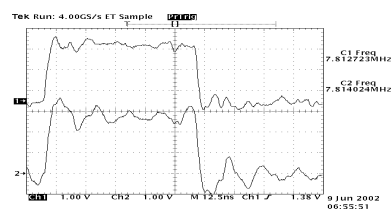


圖十一. 25MHz 的 PLL 抖動量測圖

CLK1 與 CLK14 的(a)重疊(b)展開波形 CLK5、CLK7、CLK9 與 CLK11 的(c)重疊(d)展開波形，(a)(b)(c)(d)皆在 62.5 MHz 輸入情況下。由圖十二可看出：DLL 輸出頻率與輸入頻率不同，這是因為輸出皆除頻八倍以方便量測之故，由(a)與(b)可看出參考輸入與最後一級的輸出的確達到鎖定情況。

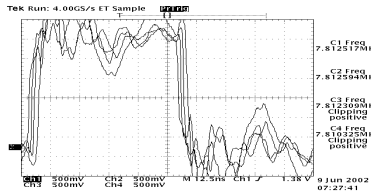


(a)

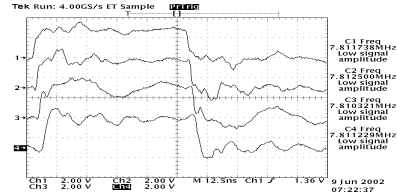


(b)



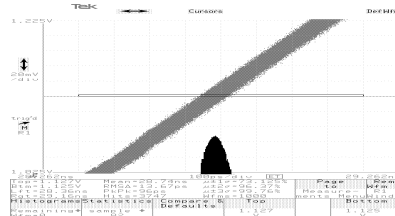


(c)



(d)

圖十二

圖十三 CLK7 輸出的抖動量測結果  
(280MHz input case)

#### 四、 成果計畫自評

本計畫今年是最後一年,而本計畫也部份完成當初的期望,整個 function 是正常,只是可能因為一些小地方因為經驗不足導致沒有辦法達到整個規格的要求,經驗累積起來之後,再做相關的應用電路,應該都不成問題.

#### 五、 參考資料

- [1] F. M. Gardner, "Charge-Pump Phase-Lock Loops," IEEE Transactions on Communications, Vol. COM-28, pp. 1849-1858, November 1980.
- [2] W.J. Dally, et al., "Transmitter Equalization for 4-Gbps Signaling," 1997 IEEE Micro, pp.48-56
- [3] Ming-Ju Edward Lee, William Dally, Patrick Chiang, "A 90mW 4Gb/s Equalized I/O Circuit with Input Offset Cancellation," 2000 IEEE ISSCC, pp.252-253
- [4] Alan Fiedler, Ross Mactaggart, James Welch, Shoba Krishnan, "A 1.0625Gbps Transceiver with 2x-Oversampling and Transmit Signal Pre-Emphasis," 1997 IEEE ISSCC, pp.238-239
- [5] J. G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-based techniques," IEEE Journal of Solid-State Circuits, vol. 31, pp. 1723-1732, November 1996.