

行政院國家科學委員會專題研究計畫成果報告

無線通訊之時空域信號處理(3/3)

Space-Time Signal Processing for Wireless Communication (3/3)

計畫編號：NSC 90-2219-E-009-004

執行期限：90年8月1日至91年7月31日

主持人：林大衛 交通大學電子工程學系 教授

計畫參與人員：林郁男、陳威宇、蔡頌翎、張佑榕、賴侑呈、何玉屏、林孟亭 交通大學電子工程學系 研究生

一、摘要

本計畫為期三年，研究無線傳輸技術，含一般時空域信號處理技術、寬頻分碼多重進接(WCDMA)上鏈傳輸信號處理技術、及3GPP WCDMA上鏈傳收系統中若干組件之數位訊號處理器實現。本報告大要簡述三年之成果，其中較著重第三年。在一般時空域信號處理方面，我們研究了時空域維特比等化器及其訓練數列之設計與效能。在WCDMA上鏈信號處理方面，我們研究了平行式與接續式干擾消除，及其與天線陣列信號處理結合之架構與檢測效能；我們亦研究了3GPP WCDMA的碼框同步信號之效能。在3GPP WCDMA上鏈傳收組件之數位訊號處理器實現方面，我們實現了多工與解多工、展頻調變、無線通道模擬、接收濾波、及接續式干擾消除等組件，並將這些組件與其他子計畫實現之組件連結成數個子系統。我們亦試作了使用天線陣列之平行式干擾消除。

關鍵詞：3GPP 寬頻分碼多重進接、時空維特比等化、時空域信號處理、平行式干擾消除、接續式干擾消除、數位訊號處理器實現

Abstract

In this three-year project, we have researched into wireless transmission technologies, including general space-time signal processing techniques, WCDMA uplink transmission signal processing technologies, and DSP implementation of 3GPP WCDMA uplink transceiver components. This report briefly highlights the major research results of the three years, with more emphasis on the third year. On general space-time signal processing, we have researched into the design of space-time Viterbi equalizer and its associated training

sequence, as well as the resulting performance. On WCDMA uplink signal processing, we have considered parallel interference cancellation (PIC) and successive interference cancellation (SIC), as well as their combination with antenna array signal processing, including the subjects of receiver structure and detection performance. We have also studied the performance of 3GPP WCDMA's frame synchronization patterns. On DSP implementation of 3GPP WCDMA uplink transceiver components, we have realized multiplexer and demultiplexer, spread-spectrum modulator, wireless channel simulator, receiver filter, and SIC receiver. And we have linked these components with the components realized by other projects to form several subsystems. We have also attempted a PIC receiver under an antenna array.

Keywords: 3GPP WCDMA, Space-Time Viterbi Equalization, Space-Time Signal Processing, Parallel Interference Cancellation (PIC), Successive Interference Cancellation (SIC), DSP Implementation

二、計畫緣由與目的

本計畫為期三年，研究無線傳輸技術，含三項子題，即一般時空域信號處理技術、寬頻分碼多重進接(WCDMA)上鏈信號處理技術、及3GPP WCDMA上鏈傳收系統中若干組件之數位訊號處理器實現。其主要目的在與其他子計畫共同研究WCDMA上鏈傳輸之技術，並共同完成一個3GPP WCDMA收系統之數位信號處理器(DSP)實現。本報告大要簡述三年之成果，其中著重第三年。

一般時空域信號處理之研究係在前二年進行，其中我們探討有關時空域維特比

等化器之傳輸系統設計與效能。我們探討了訓練數列的設計以及傳輸信號的結構之設計。我們也研究了等化器長度的選擇，因為我們發現在雜訊影響下，等化器中的通道響應估計精確度與其設定之通道長度有關，且非愈長愈好。我們又提出一個結合時空域濾波與時空維特比等化的雙級式混合接收器架構，並研究其效能。

WCDMA 上鏈信號處理技術之研究，在三年中皆有進行。其中我們考慮平行式干擾消除(PIC)與接續式干擾消除(SIC)技術，及它們與天線陣列信號處理之結合。我們又提出片元間插式直接序列分碼多重進接(chip-interleaved DS-CDMA)並研究其傳輸效能。我們亦研究 3GPP WCDMA 的碼框同步信號之特性與效能。

3GPP WCDMA 上鏈傳收組件之 DSP 實現，係在後二年進行，特別是第三年。其中我們實現了多工與解多工、展頻調變、無線通道模擬、接收濾波、及接續式干擾消除等組件，並將這些組件與其他子計畫實現之組件連結成數個子系統。我們亦試作了使用天線陣列之平行式干擾消除。

三、結果與討論

A. 一般時空域信號處理

在此部分研究中，我們使用一個時空域維特比(Viterbi)等化器當接收端的信號處理核心。我們設計了一個最小誤差量的訓練數列(min-norm training sequence) [1],[2]，使等化器中通道估計的誤差能減到最低。電腦模擬無線傳輸的結果也驗證了數列的優點。但是這種數列，到目前為止仍無法經由規則的方法產生，只能直接對大量或所有可能的數列作搜尋而得。所以我們發展出一套類似牛頓法的搜尋方式，以快速獲得最佳或近似最佳的數列。以長度為 29 的 QPSK 數列為例，我們所尋得的數列的通道估計誤差量只比一個理論上的下限(未必能有數列達到此下限)多約 5.8%，可算是非常接近最佳狀況[3]。

我們也研究等化器長度的選擇。因為在有通道雜訊時，通道響應估計的精確度與在做通道估計時所設定之通道長度有關。此設定之通道長度並不是越長越好，是與雜訊強度有關。通道估計之精確度會影響接收品質，而等化器長度又會影響等化器複雜度。我們研究了通道長度的選擇與接收品質的關係[2]。

最後，我們提出一個結合時空域濾波與時空域維特比等化的雙級混合式接收器架

構。這種新架構在不同同頻干擾與白色雜訊能量比時，均有不錯的效能，故為一個相當強健(robust)的架構[4]。

B. WCDMA 上鏈傳輸信號處理

我們首先考慮 PIC 和 SIC，及其與天線陣列信號處理結合的效果。

由於 3GPP 規格中，在 Q channel 中定義了 pilot symbols，所以我們可以利用之來估測陣列向量及路徑係數而用於 2-D rake 的架構上。完整的接收器架構如圖一所示。由模擬結果可知，在未使用天線陣列的情況下，由於初始訊號的正確率未達一定標準，所以 PIC 無法提供消除干擾的效能。若以天線陣列提高初始正確率，再搭配 PIC，則可得較佳結果[5]。PIC 本身有幾種決策方式，其中硬式決策具硬體實現上的優勢，然而其效能仍未有完整之分析。我們試進行分析，並已有初步結果[6]。

關於 SIC，由於接收器乃以接續的方式來消除干擾並檢測用戶資訊，所以各用戶所受的干擾是不等量的。因此，系統指派給用戶的功率也應不同。我們提出了基於最小化平均錯誤率及最小化最大錯誤率二原則的兩種不同之功率分配機制[7]。

在傳統的分碼多重進接方式中，其符元長度往往不超過通道的 coherence time，故其上鏈同頻干擾量在一個符元區間約為固定。但若我們將展頻片元(chips)打散，使其分布在一個超過 coherence time 的時間區間，就應可使不同用戶之通道相關程度降低，而降低同頻干擾。故我們提出片元間插式直接序列展頻方法，將屬於同一個符元的片元散開來。結果發現此系統在多用戶的淡化通道下有很好的效果[8]。圖二為部分數據。

我們又研究 3GPP WCDMA 的碼框同步信號。該信號是在 Q channel 中傳送，每一碼框(150 位元)中可有 3/10 至 8/10 之量(即 45 至 120 位元)。該信號以 15 位元為一組，共有五種組合，其中一組全為 1，另四組為一個極長數列(m-sequence)的幾種形式；後者合稱為碼框同步字元。我們研究該信號在硬式決策之後以數列相關數值做碼框同步的效能。在加成性白高斯雜訊之下的理論分析結果與模擬結果相當吻合。在多徑淡化通道中的效能則尚無法作相似的理論分析，故僅以計算機模擬方式研究之。以 3GPP 標準中所列的參考通道所做的模擬結果顯示，此種通道中的位元錯誤率可能很高，以致若要避免高錯誤同步機率，則

應該設定一個相關數值得門檻，使不可靠的相關數值被丟棄，雖然這樣會增加無法判定是否同步(indecision)的機率[9]。圖三為部分數據。

C. 3GPP 上鏈傳收組件之 DSP 實現

在 DSP 實現部分，本計畫主要採用 Innovative Integration 公司(II)的 Quatro62 及 Quatro67 個人電腦插板。每一插板各裝置 4 顆德州儀器公司(TI)的 DSP，前者為(TMS320)C6201 定點晶片，後者為 C6701 浮點晶片。插板在通訊方面提供了 FIFO Link 用以做 DSP 間的資料傳輸，另提供了 FIFO Port 用以做跨板子的傳輸。

我們將所實現的傳輸組件分置在四塊插板上，其中第一塊做多工(只用一顆 DSP，其他 DSP 給其他子計畫使用)，第二塊做展頻調變、無線通道模擬、及接收濾波(各用一顆 DSP)，第三塊做 SIC(使用三顆 DSP 做三用戶信號之接收)，第四塊做解多工(只用一顆 DSP，同第一塊板)。以上各組件，大部分均可用定點運算完成，但無線通道模擬部分則以使用浮點運算較方便，故第二塊板為浮點板，其他為定點板。多工與解多工之實現，及其與若干其他子計畫實現之組件的整合，可參[10]。目前執行一個 10 ms 的碼框所需的時間，多工為 2.35 ms，解多工為 2.15 ms。

為了通道模擬能較精確，也為了接收端的碼追蹤(由另一子計畫負責)能有較佳效能，我們使用四倍片元率來模擬通道響應以及做接收端的取樣。表一呈示傳輸濾波方面(含展頻調變、無線通道模擬、及接收濾波)的執行速度，可看出展頻調變約達即時執行速度(若降低傳輸濾波器效能要求就可即時執行)，接收濾波則可即時執行。無線通道模擬之計算量極大，完整的模擬遠超過一顆 DSP 的運算能力(即約每秒 333M 乘法)，但表一顯示在通道固定的情況下，大部分參考通道的模擬都可達即時執行[11]。

SIC 接收器方面[12]，目前不含天線陣列處理功能，否則以現有 DSP 的運算能力亦有困難。我們以一塊插板來實現三用戶信號的檢測器。其中使用一顆 DSP 負責由上一插板接收信號並完成碼擷取的工作，其他三顆則各自負責一個用戶信號的檢測，從第一個用戶至第三個依序進行。表二是目前的速度。由於前兩個用戶需執行干擾消除的工作，其運算量非常大，所以用一顆 DSP 難以達成即時執行速度。若要

提昇速度，可考慮使用多顆 DSP 來共同處理一個用戶的信號。

目前傳輸濾波板與 SIC 接收板可連結形成一個實體層子系統，如圖四所示。

除以上組件外，我們在第二年還使用另一種個人電腦插板，試作了一個包含天線陣列處理功能的 PIC 接收器[13]。該插板為 Blue Wave Systems 的 PCI6600，其上裝置 TMS320C6701 浮點 DSP 二顆。此插板的跨板通訊速率較前述 II 的插板慢得多，不符通道模擬與接收濾波等組件之即時溝通之所需，故最後未用於需作高速跨板通訊的地方。此實現中，除 PIC 接收器外，亦建構了簡單的展頻運作及簡單的一對多(多天線接收)通道。以上展頻和通道運算使用一顆 DSP，而 PIC 接收器則使用另一顆。該實現的結果，在一天線一路徑的情況下，亦可達即時執行速度；在多天線多路徑的狀況下，則不足。不過該實現是較初步的成果，今年(第三年)用 II 的插板重新實作的傳收組件，其效率遠勝於去年，參上述及表一、二。

四、計畫成果自評

研究內容與原計畫相符程度：大體相符，在一個大主題下完成兩種性質之研究，即理論與演算法性質之研究，及實作性質之研究。由於係多年期計畫，第二年以後之研究內容有根據較早期的成果加以調整。此為研究中常見之現象。

達成預期目標情況：創新之發現、理論之推導、計算機模擬軟體之建立、實驗原型之建立、人才培育。

成果之學術與應用價值等：學術價值高，許多成果已公開發表。應用價值方面，最重要者為 DSP 實現之成果，可為 3GPP WCDMA 傳輸系統開發之參考。

綜合評估：本計畫獲得一些具有學術與應用價值的成果，符合三年期總計畫之 WCDMA 上鏈傳收系統研究與 DSP 實現之目標，並達人才培育之效。自評為「佳」。

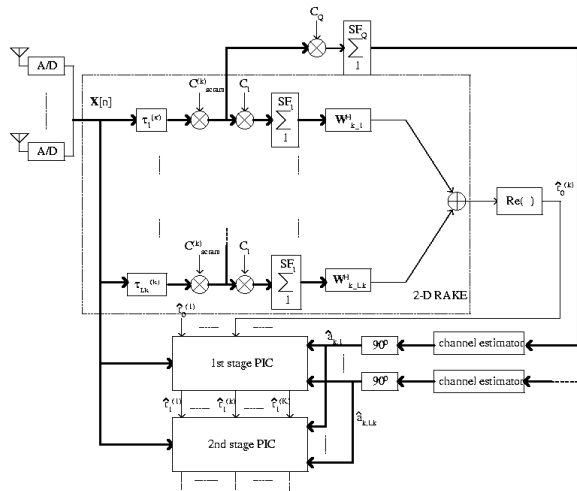
五、參考文獻

- [1] C.-S. Chou and D. W. Lin, "Training techniques of space-time Viterbi equalizer for high speed mobile communication," in *Proc. IEEE Int. Symp. Circuits Syst.*, vol. II, pp. 89-92, May 2000.
- [2] C.-S. Chou and D. W. Lin, "Signal design and receiver dimensioning for space-time Viterbi equalization," *IEE Proc.-Commun.*, vol. 148, no. 3, pp. 132-138, June 2001.
- [3] C.-S. Chou and D. W. Lin, "Training sequence and memory length selection for space-time

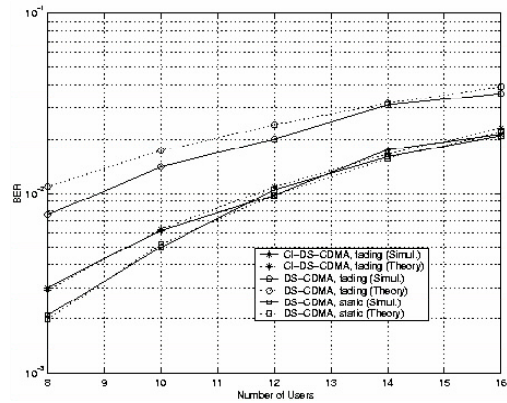
Viterbi equalization”, *J. Communications and Networks*, vol. 2, no. 4, pp.361-366, Dec. 2000.

- [4] C.-S. Chou, “Signaling and receiving techniques for wireless communications,” Ph.D. dissertation, Dept. Electronics Engineering, National Chiao Tung University, July 2001.
- [5] Y.-N. Lin and D. W. Lin, “Performance comparison of several parallel interference cancellation techniques under the 3GPP WCDMA specifications,” in *Proc. Asia Pacific Conf. Commun.*, pp. 257-261, Nov. 2000.
- [6] Y.-N. Lin and D. W. Lin, “Analysis of hardlimiting parallel interference cancellation (PIC) for synchronous CDMA communication,” in *Proc. IEEE Int. Symp. Circuits Syst.*, pp. V-13—V-16, May 2002.
- [7] Y.-N. Lin and D. W. Lin, “On optimal power distribution for successive interference cancellation for wideband CDMA,” in *Proc. IEEE Workshop Signal Processing Advances Wireless Commun.*, pp. 38-41, Mar. 2001.
- [8] Y.-N. Lin and D. W. Lin, “Multiple access over multipath fading channel employing chip-interleaving code-division direct-sequence spread spectrum,” to appear in *IEICE Trans. Commun.*
- [9] Y.-C. Lai and D. W. Lin, “A study on uplink frame synchronization in 3GPP WCDMA,” *Nat. Symp. Telecomm.*, Nantou, Taiwan, ROC, Dec. 2002.
- [10] W.-Y. Chen, Y.-N. Lin, and D. W. Lin, “Study and DSP implementation of 3GPP WCDMA uplink multiplexing and channel coding methods,” *Nat. Symp. Telecomm.*, Nantou, Taiwan, ROC, Dec. 2002.
- [11] S.-L. Tsai, Y.-N. Lin, and D. W. Lin, “Study and DSP implementation of 3GPP Wideband-CDMA transmission signal processing and wireless channel simulation,” *Nat. Symp. Telecomm.*, Nantou, Taiwan, ROC, Dec. 2002.
- [12] Y.-j. Chang, Y.-N. Lin, and D. W. Lin, “DSP implementation of successive interference cancellation (SIC) receiver for 3GPP WCDMA uplink transmission,” *Nat. Symp. Telecomm.*, Nantou, Taiwan, ROC, Dec. 2002.
- [13] J.-H. Her and D. W. Lin, “DSP implementation of CDMA receiver based on parallel interference cancellation,” in *Proc. Int. Symp. Commun.*, paper 1.4, Tainan, Taiwan, ROC, Nov. 2001.

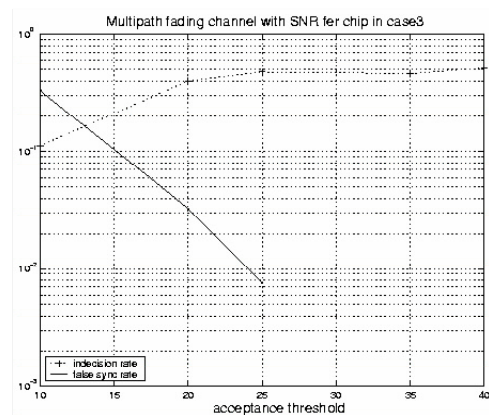
六、圖表



圖一：陣列天線 PIC 接收器的架構



圖二：間插展頻與傳統展頻之傳輸效能比較，其中展頻比為 32，通道徑數為 4



圖三：誤同步及無法判斷同步之機率與相關數值接受門檻之關係。通道為 3GPP 參考通道 case 3，SNR=-10 dB，同步信號量為 5/10

