

# 用於多媒體系統晶片之模組設計與功能協調 (3/3)

## Module Design and its Function Coordination for Multimedia System on Chip

計畫編號：NSC 89-2218-E-009-078

執行期限：89 年 8 月 1 日至 90 年 7 月 31 日

主持人：任建葳 國立交通大學電子工程學系

參與人員：林泰吉、鐘啟睿、周漢良、蕭允泰

### 一、中文摘要

本計畫的目標在於多媒體系統晶片中核心矽智財(silicon IP)的發展及功能模組之間的協調。第三年完成的項目包括了系統晶片中時脈訊號及暫存器子系統的低功率設計、包裝於BVCI介面中，用於MPEG-4的輪廓編碼器IP及用於JPEG-2000的EBCOT熵編碼器IP，另外我們也提供一個完整的設計環境，將以DSP為基礎的內嵌式系統實現在以一個簡單處理器為主控器的異質(heterogeneous)計算平台上，並且自動產生協同處理器及所需的介面與轉換器。

關鍵詞：多媒體核心技術、輪廓編碼器、EBCOT熵編碼器、異質計算平台

#### Abstract

This project is to develop silicon IP cores and study the coordination among them. In this third year, we have studied low-power clocking techniques and register file design for the SoC. We have also developed two useful IP cores – the shape encoder and the EBCOT entropy encoder for MPEG-4 and JPEG-2000 standards respectively. Finally, we have also proposed an integrated design environment (CASCADE) for DSP applications on a simple controller-hosted heterogeneous computing platform, which generates appropriate coprocessing datapaths and their interfaces automatically.

**Keywords:** multimedia core, shape encoder, EBCOT coder, and heterogeneous platform

### 二、計畫緣由與目的

在電腦、通訊及消費性電子等3C領域中，單晶片系統(System on Chip – SoC)的設計是未來的趨勢。針對多媒體系統晶片的高設計及驗證複雜度，目前解決方案為已經驗證且可重複使用的矽智財和以平台為基礎的設計方法。本

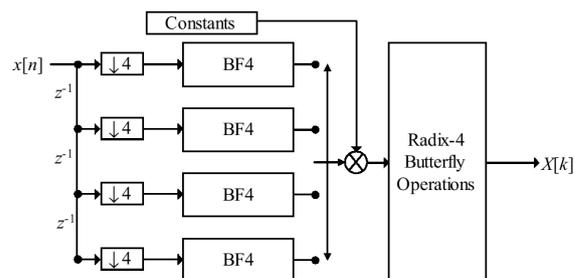
計畫主要是探討系統晶片中各功能模組的設計及驗證方法和各功能模組間互相協調的方式。設計一個愈趨複雜的系統晶片時，各獨立的功能模組之間的協調與系統中共同資源的分享就必須即早的考慮，使硬體能充分利用並減小模組間的介面緩衝器。

本篇報告將針對今年度計畫工作項目分項敘述與討論。包含用於多媒體系統晶片中的(1)低功率時脈及暫存器組，(2)用於MPEG-4的輪廓編碼器，(3)用於JPEG-2000的EBCOT熵編碼器，及(4)可重組及延伸架構的DSP設計環境。

### 三、研究方法及成果

#### (1) 低功率時脈及暫存器組 (Low Power Clock and Register File)

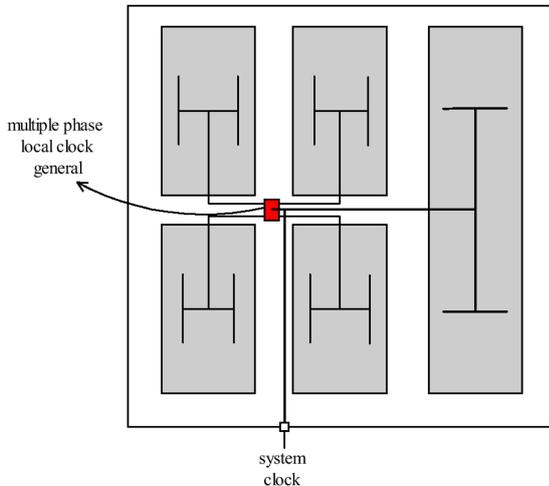
時脈(clock)子系統(subsystem)和記憶體子系統是超大型積體電路(VLSI)中兩個主要消耗功率的單元。這個功率消耗領先的情況會隨著製程快速進步且元件不斷的縮小而越來越明顯，因為時脈訊號的速度持續不斷地向上攀升，並且越來越多的應用整合大量的記憶體進系統級的單晶片中。我們在這個計畫中針對這兩個子系統的消耗功率建立初步的模型並且分別加以探討。



圖一 多率快速傅立葉轉換

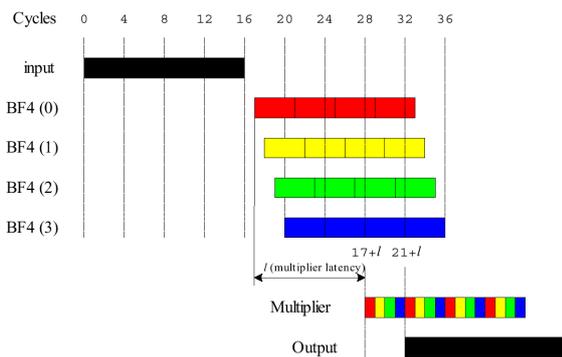
我們認為依各個區塊的運算特性劃分為不同的時脈區域(clock domain)，並分別供給其需要

的時脈訊號可以大幅降低時脈子系統的功率逸散(power dissipation)。我們將這個想法實際應用在一個多率(multirate)的快速傅立葉轉換(FFT)架構中，圖一是一個十六點的分成四個低頻的快速傅立葉轉換的架構圖。



圖二 時脈訊號的佈局

我們給予五個不同的區塊各自所需要的時脈訊號，其線路的佈局及操作的時序圖分別表示於圖二及圖三。在晶片大小約略相同的情況下，我們降低了時脈子系統約五成(47% ~ 51%)的功率消耗，相當於省下了整個架構上大約兩成(14% ~ 28%)功率。

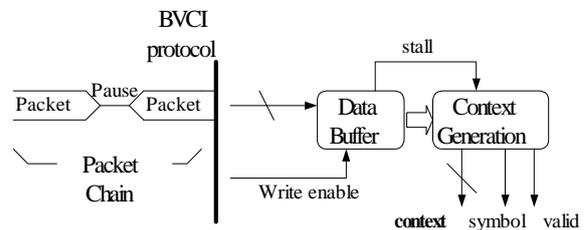


圖三 時序圖

記憶體分割(memory partitioning)是個常用的省電方法，我們運用這個方法在低功率暫存器組(register file)的設計中。暫存器組分割可以有效的降低功率但需付出一些額外的代價(overheads)，於是我們提出了一個簡單的模型，不需事先佈局(layout)就可以精確預估最佳分割的大小，我們的實驗結果和實際的佈局後模擬(post-layout simulation)完全吻合。

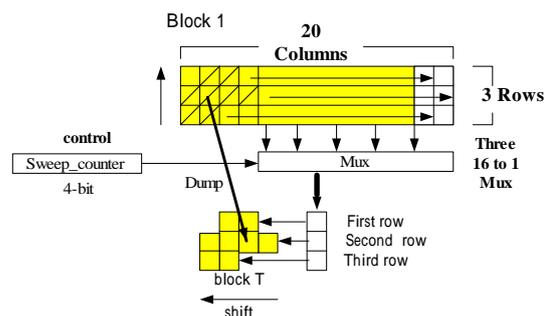
## (2) 用於 MPEG-4 的輪廓編碼器 (Shape Encoder for MPEG-4)

新一代的視訊標準 MPEG-4 相對於目前流行的 MPEG-1, 2 及 H.261, 263 最大進步就是以物件(object)方式處理多媒體訊號並提供互動(interactive)的能力。在影像處理方面，其關鍵並且使之成為可能(enabling)的技術輪廓(shape)訊號及其相關編碼方式。在 MPEG-4 中每個物件的輪廓訊號是以區塊為單位，利用訊號位置的相關性進行查表(Context-based Arithmetic Encoding - CAE)。輪廓編碼可分為三個主要的步驟 - (1) 產生 context, 也就是依據固定的樣板去發掘出空間上多餘(redundant)的資訊、(2)查機率表及(3)算數編碼(arithmetic encoding)，後兩者因為已經有許多的應用，也有不少相當有效率的實現方式，所以我們把重心放在第一個步驟上。



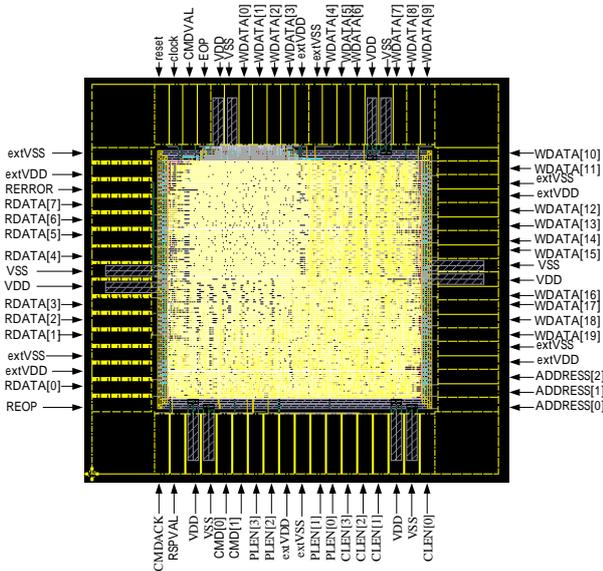
圖四 輪廓編碼

圖四是我們所提出的輪廓編碼架構圖，為了方便與其他的模組做溝通，我們使用 VCI OCB (On-Chip Bus)的標準介面規格，第一部份必須從主控端收取、儲存資料，並且將資料依樣板讀取產生 context，主要的設計方向是減少控制訊號的複雜度及儲存資料的暫存器。相對於一般移位暫存器(shift register)的實現方式，我們採用了多工器配合靜態的暫存器來減少資料的轉變，進而降低動態功率(dynamic power)的消耗，圖五是我們所提出的 context 產生器。



圖五 以多工器為基礎的 context 產生器

我們已將上述所提的輪廓編碼器實作及驗證完成，目前正進行實體的晶片驗證(已經 CIC 下線)。我們採用 .35  $\mu\text{m}$  , 1P4M 製程，利用 Synopsys Design Compiler 合成及 Avant! Apollo 完成 physical 設計。圖六為我們的晶片線路佈局。晶片面積大小為  $2.512 \times 2.424 \text{mm}^2$ 。其時脈達 62.5 MHz (post-layout simulation) , 平均消耗功率為 66 mW。

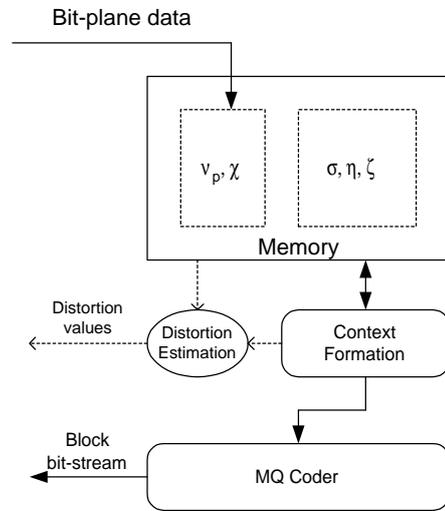


圖六 輪廓編碼晶片佈局圖

### (3) 用於 JPEG-2000 的 EBCOT 熵編碼器 (EBCOT Entropy Encoder for JPEG-2000)

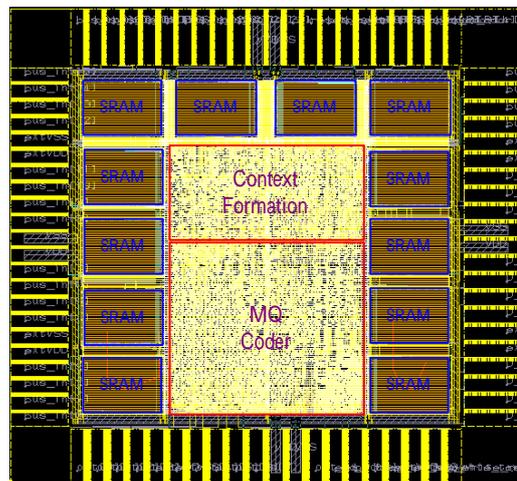
JPEG 為目前在電腦、通訊、消費性電子等 3C 產品領域中最廣範使用的數位影像壓縮標準。在其推出了將近十年之後，其下一代新的標準 JPEG-2000 整合了最新發展的技術，並針對了現今及未來應用的需求提供了更高的壓縮率、在低位元率(bit-rate)時提供更佳的影像品質。JPEG-2000 計算主要的兩部份是前級的離散小波轉換(DWT)與後級的 EBCOT，EBCOT 包含了區塊編碼(block coding, 如圖七)與分層的位元階層資料流的產生(layered bit-stream generation)，而運算量主要都集中在前者。它將一張張的 bit-plane 分別利用其相對應的位元係數模型(coefficient bit modeling)做查表的算術編碼(context-based arithmetic coding)。EBCOT 主要都是位元層次的運算，市面上的處理器是以一個字元(word)為運算最基本的單位，而無法有效率的處理

EBCOT。在這個計畫中我們便設計了一個符合 JPEG-2000 標準的矽智財(silicon IP)來有效率的處理 EBCOT 的運算,而這個 IP 也非常容易的與一般的處理器或是其他 JPEG-2000 的 IP (e.g. DWT IP)結合使用。



圖七 區塊編碼器

為了易於 VLSI 的實現，我們修改了 EBCOT 演算法降低了 4Kb 的記憶體需求。提高平行度為硬體加速器最有效的提升速度方式，我們探討了 EBCOT 中區塊編碼四種平行度的可能性。最後我們採用了 pixel-skipping 的技巧來提升 pixel 之間的平行度。針對 EBCOT 算術編碼單元 – MQ- coder，我們使用管線化架構提升系統的 throughput，並提出以下兩種新的方法來有效地提高系統的時脈 – Variable-cycle Code-register Re-normalization 及 Multi-cycle Flushing。

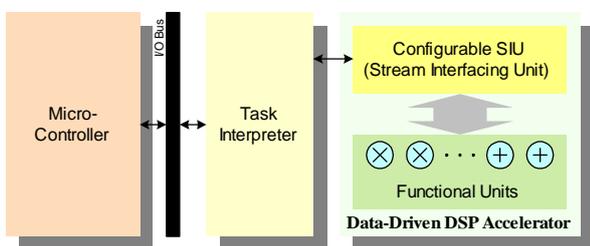


圖八 EBCOT 晶片佈局圖

我們已將上述所提的 EBCOT 架構實作完成並通過驗證,目前正在進行晶片驗證(已經由 CIC 下線)。我們採用 .35  $\mu\text{m}$ , 1P4M 製程, 利用 Synopsys Design Compiler 合成及 Avant! Apollo 完成 physical 設計。圖八為我們的晶片線路佈局圖。晶片面積大小為  $3.345 \times 3.313 \text{mm}^2$ 。其時脈最高可達 142 MHz (post-layout simulation), 當其工作頻率設定在 100 MHz 時, 壓縮三十張  $256 \times 256$  4:4:4 彩色影像僅需 0.5 秒, 而壓縮三十張  $512 \times 512$  4:2:0 彩色影像也只需要 0.92 秒。也就是說, 我們所設計的 EBCOT IP 可以適用於大多數 JPEG-2000 的應用, 如 Motion JPEG-2000。

#### (4) 可重組及延伸架構的 DSP 設計環境 (Configurable and Scalable DSP Environment)

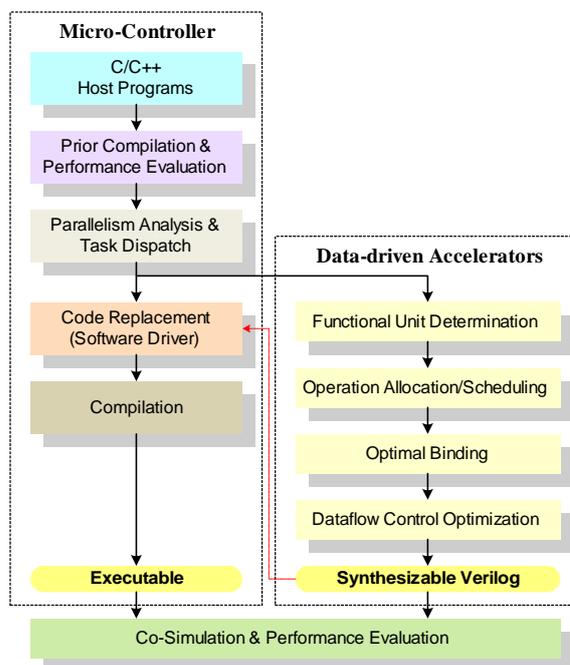
現今的消費性產品越來越多樣化, 而運算量也高達無法有效益的實現在單一的微處理器上, 系統中較重要的部份通常都會有特殊架構的硬體來加速。隨著系統晶片的設計日益複雜, 工程師也傾向使用一些已驗證過或直接採購一些硬體模組來降低產品的風險, 最重要的是, 提前產品的上市。問題是, 要整合這些現有但規格不一的硬體模組是一個頗麻煩的工作, 而且因為對於規格的認知差異, 常常出現人為的錯誤。再者, 因為這些現有的模組不是針對將要生產的產品所設計, 難免會有些規格不合, 或是不需要、多餘的設計。



圖九 DSP 基本運算平台

我們延續了上一年度介面設計的計畫, 針對大部份的 DSP 為基礎的內嵌式系統提出了一個如圖九的基本運算平台, 並發展了一套設計環境, 讓工程師仍然使用 C 及原先熟悉的軟體流程來發展新的產品。此環境我們將之稱作 CASCADE (Configurable and Scalable DSP Environment), 它依照選定的微處理器及規格所訂定的速度表現, 將工作由軟體端支配至硬

體端執行, 而硬體加速器的多寡及其內部平行的功能模組皆依規格而自動產生, 所以不會有硬體規格不符合的狀況。另外, 硬體和軟體部份都溝通介面也是自動化產生, 避免人為的疏失而發生錯誤。



圖十 CASCADE 設計流程

圖十是 CASCADE 設計的流程, 它緊密地和微處理器的設計環境結合, 可以讓熟悉微處理器的工程師快速的上手, 就如同原來純粹軟體的環境一般, 我們也同時提供了 FPGA 環境來做軟硬體的共同模擬驗證設計的正确性。我們已經成功的使用 CASCADE 設計出一個標準 JPEG 的編碼器在 ARM7-TDMI 為主控器的計算平台之上。CASCADE 自動產生了以四個乘加器為核心的加速硬體, 將原來純粹以軟體實現的系統有效的加速 623% 來符合我們所給定的規格, 使之能夠應用在我們的視訊處理系統中。

#### 四、結論與討論

本計畫已順利完成各項預期工作項目。其中部分研究成果已發表一篇於國際會議論文中, 其他部分仍陸續整理投稿於國際會議和期刊中。

#### 五、參考文獻

略