

低溫薄膜電晶體相關絕緣層之製備研究 (III)

The Study on Thin Dielectrics Preparation Technology for Low Temperature TFTs

計畫編號：NSC 89-2218-E-009-069

執行期限：89 年 8 月 1 日至 90 年 7 月 31 日

主持人：李崇仁 國立交通大學電子工程系教授

一、中文摘要

在本計畫中,我們沿續上一年度的計畫進一步利用 N2O 電漿處理來改善氮化矽層的可靠度,以得到一高品質之薄絕緣層.此外,我們亦研究氧化層長或沉積於垂直方向的絕緣特性,得到高品質之垂直氧化層,並以之作成一垂直薄膜電晶體,確立了垂直薄膜電晶體的可行性.

關鍵詞：N2O、氮化矽、垂直、垂直元件、薄膜電晶體

Abstract

In this project, we use N2O plasma to improve the nitride films to get a high quality thin insulator film by following the previous year's result. Besides that, we make a research on oxide growth or deposited on vertical sidewall of poly films. We get an excellent vertical oxide performance. Then we use this insulator to form a vertical polysilicon TFT.

Keywords: N2O, nitride, vertical, vertical TFT

二、計畫緣由與目的

在薄膜電晶體(TFT)的製造上,低溫閘極氧化層的開發是一個極為關鍵的所在.在我們過去的實驗裡,成功的利用 N2O 電漿處理[1]~[3]可以提高氮化矽層的可靠度.此外,在本階段的計畫中,我們近

一步地研究在垂直方向成長高品質的高低溫氧化成層,並做出垂直式的複晶矽薄膜電晶體,以因應未來元件的發展及應用.

三、實驗方法

在 N2O 電漿處理的研究上,我們利用低壓爐管在 N+複晶矽薄膜上成長超薄氮化層,其厚度分別為 40 及 30 埃.隨後我們利用 N2O 電漿對此氮化層做回火的動作.回火的功率分別為 20、50 及 100 瓦.當回火完成後,我們在其上蓋覆複晶矽並參雜磷隨後進行電容的製造程序.

在垂直式製程的研究上,我們分別利用爐管及 PECVD 在已蝕刻好的複晶矽薄膜側邊成長及沉積氧化層,研究其氧化層特性,並進一步製成 TFT,研究其可行性.

四、實驗成果

A. N2O 電漿處理

圖一為 30 埃的氮化層經過不同的電漿處理的 Ebd 偉伯分佈:20W 5'代表利用 20 瓦的 N2O 電漿處理五分鐘,以此類推...小括號中的數字代表利用 CV 所量出來的電性厚度.由本圖可以發現利用 N2O 電漿處理可以有效的改善氮化矽層的電特性,此外,與傳統的回火方式最大的不同點在於回火後所增加的厚度並不會隨著淡化層厚度的增加有太大的改變,所以,可以很容易的控制氧化淡化層的厚度.

圖二為 40 埃的氮化層經過 50 瓦 5 分鐘的回

火之後，我可以有效的改善氮化矽層的電特性。圖三（正電壓）及圖四（負電壓）為 30 埃的氮化層經過不同的電漿處理的 TDDB 圖，我們依然可以發現經過處理之後薄膜的可靠度可以大大的增加。圖五（正電壓）及圖六（負電壓）為 40 埃的樣本，我們依然可以發現相同的結果。

綜合上述結果，我們可以發現 N₂O 電漿處理可以提高氮化矽層的可靠度，且此致層極易控制回火後的膜厚，十分適合超薄絕緣層的製作。而經過其他物性分析後，我們可以推測此改善是由於氧及氮離子對氮化矽層中的不良鍵結做修補的作用。

B. 垂直式製程

圖七為實驗中垂直氧化層的結構圖。而圖八、圖九分別為以爐管成長之垂直氧化層之 Ebd、Qbd 分布圖，圖中的橫軸 100、200 及 300 分別代表三種不同氧化層厚度(6.5、10.6、18.2nm)， \gg 及 \ll 代表元件上視圖的形狀。而 control 表示直接成長上去，sa 表示在長氧化層之前，先以濕氧方式長一薄氧化層再加去除，作一犧牲氧化層的動作。Ni 則是在閘極上加上 Ni 的金屬矽化物。結果顯示垂直式氧化層有不錯的崩潰電場表現和相當高的崩潰電荷。氧化層越薄特性越好，而且犧牲氧化層的步驟也有助於提高氧化層的崩潰電荷。

圖十、圖十一分別為以 PECVD 沉積之垂直氧化層之 Ebd、Qbd 分布圖。條件表示同上，而氧化層厚度分別為 10.7、11.8 和 13.9nm。結果顯示低溫的垂直式氧化層就如同在高溫成長時的表現一般，有相當好的電性，甚至比傳統式平面的氧化層更好。原因是由於在複晶矽的垂直方向，擁有較平面方向低的晶格間隙(grain boundaries)。此外在未加上犧牲氧化層的步驟時，圓形的元件會有較佳的表現，這是由於少了尖端電場的效應，但是經過氧化過後，尖銳的突出部分會有被平滑化的效果，因此氧化過的元件，無此效應。

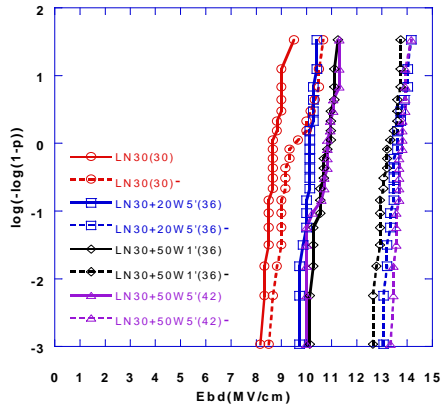
圖十二為利用之前的低溫 PECVD 沉積的垂直氧化層作成之垂直複晶矽薄膜電晶體之導通電性。在未經過特殊或額外的再結晶及電漿處理時，元件以有不錯的電性，電子移動能力也已達到 40cm²/V-s。相信未來薄膜電晶體的應用上有相當的潛力。

五、結論

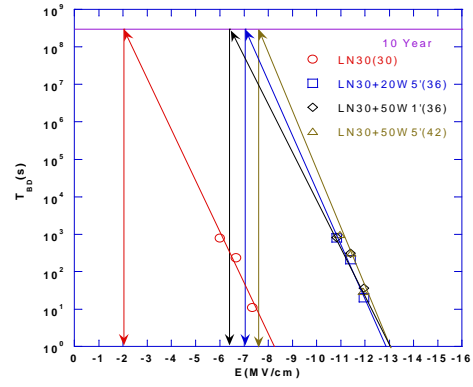
在這次的計畫中，我們找出了利用低溫 N₂O 電漿處理改善氮化層絕緣特性的條件，並成功研究出垂直式複晶矽薄膜電晶體及其中關鍵製程-垂直氧化層的製備。確立了垂直式複晶矽薄膜電晶體的可行性。

七、參考文獻

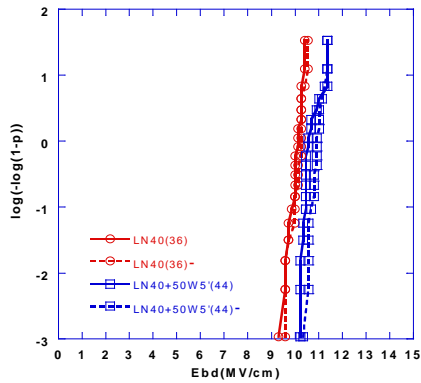
- [1] T. Fuyuki, S. Murakawa, and H. Matsunami, "Initial stage of ultra-thin SiO₂ formation at low temperatures using activated oxygen", *Appl. Surf. Sci. Vol. 117/118, 1997, p.123.*
- [2] M. Hirayama, K. Sekine, Y. Saito, and T. Ohmi, "Low-Temperature Growth of High-Integrity Silicon Oxide Films by Oxygen Radical Generated in High-Density Krypton Plasma," *IEDM 99, p.249*
- [3] C.G. Parker, G. Lucovsky, and J. R. Hauser, "Ultra-thin Oxide-Nitride Gate Dielectric MOSFET's" *IEEE EDL VOL. 19. NO. 4 APRIL 1998.*
- [4] S. D. S. Malhi, P. K. Chatterjee, T. D. Bonifield, J. E. Leiss, D. E. Carter, R. F. Pinizzotto and D. J. Coleman, "Edge-Defined Self-Alignment of Submicrometer Overlaid Devices," *IEEE EDL*, vol. 5, p. 428, 1984.
- [5] Tiemin Zhao, Min Cao, K.C. Saraswat, J.D. Plummer, "A Vertical Submicron Polysilicon Thin-Film Transistor Using a Low Temperature Process," *IEEE EDL*, vol. 15, p. 415, 1994.



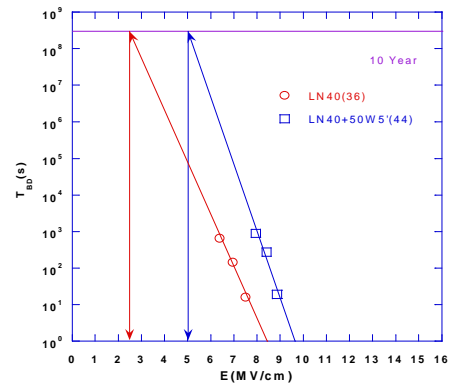
圖一、Ebd distribution for 3nm nitride oxides after N₂O plasma treatment



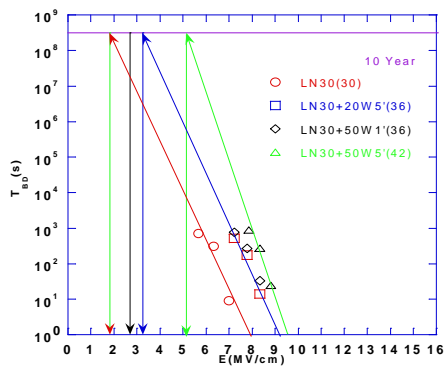
圖四、Negative TDDB distribution for 3nm nitride oxides after N₂O plasma treatment



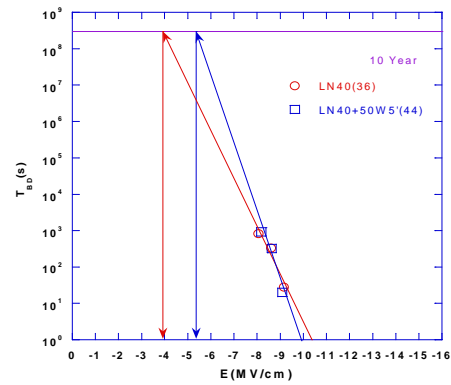
圖二、Ebd distribution for 4nm nitride oxides after N₂O plasma treatment



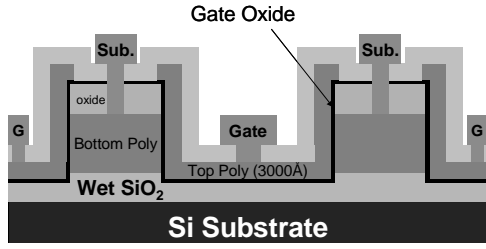
圖五、Positive TDDB distribution for 4nm nitride oxides after N₂O plasma treatment



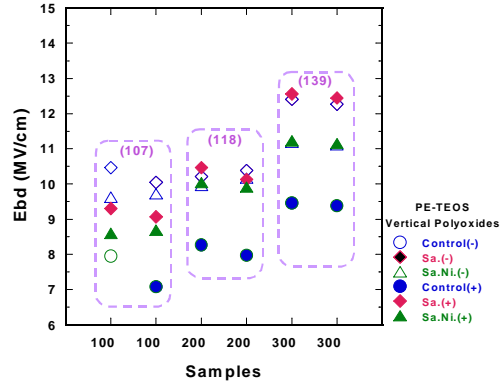
圖三、Positive TDDB distribution for 3nm nitride oxides after N₂O plasma treatment



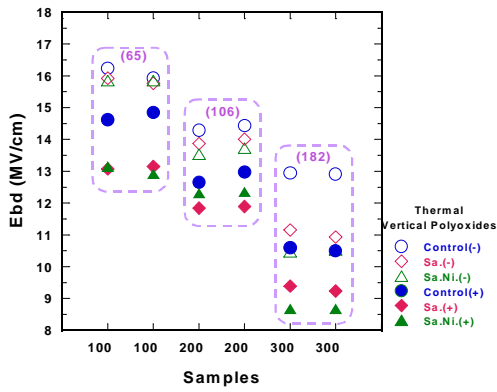
圖六、Negative TDDB distribution for 4nm nitride oxides after N₂O plasma treatment



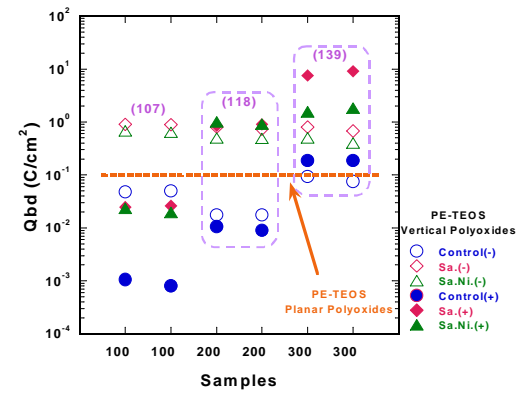
圖七、The cross section of vertical polyoxide structure.



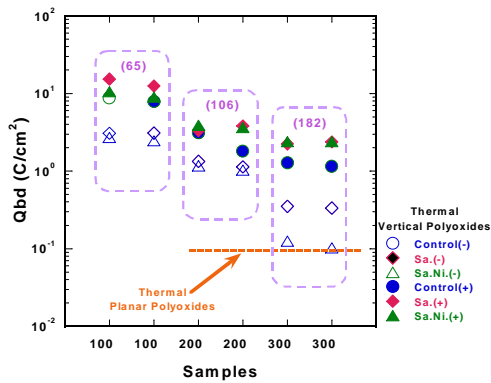
圖十、Ebd distribution for PECVD vertical oxides



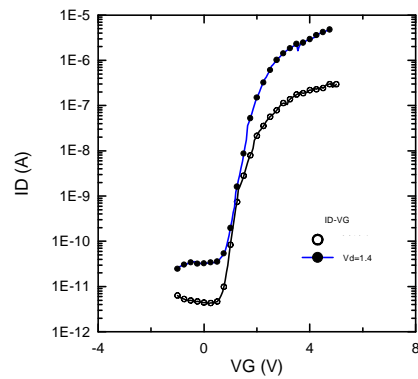
圖八、Ebd distribution for thermal vertical oxides



圖十一、Qbd distribution for PECVD vertical oxides



圖九、Qbd distribution for thermal vertical oxides



圖十二、Id-Vg curves for vertical TFTs