

行政院國家科學委員會補助專題研究計畫成果報告

多媒体系統晶片設計技術之研究 (2/3) 子計畫二：多媒体聲 訊及虛擬實境之超大型積體電路設計

VLSI Design for Multimedia Audio and Virtual Reality

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC89 - 2218 - E - 009 - 079 -

執行期間：89年08月01日至90年07月31日

計畫主持人：陳紹基

共同主持人：

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：交通大學電子研究所

中 華 民 國九十年十月三十日

行政院國家科學委員會專題研究計畫成果報告

多媒体系統晶片設計技術之研究(2/3)-子計畫二 多媒体聲訊及虛擬實境之超大型積體電路設計

VLSI Design for Multimedia Audio and Virtual Reality DSP

計畫編號：NSC 89 - 2218 - E - 009 - 079

執行期限：89年8月1日至90年7月31日

主持人：陳紹基 交通大學電子研究所

計畫參與人員：余銘鋒、李封藝、曲建全、方俊傑、

林孟學、楊俊生、儲青雲 交通大學電子系所

一、中文摘要

在這篇報告中，主要成果除了繼續改善前兩年之研究結果作最佳化之設計外，主要完成如下結果：(1) 提出一簡化之 Phong 著色演算法，其大大減少運算量但仍保有很好之效能；(2) 提出新演算法之架構設計其具有快速且低複雜度之優點；(3) 一個低複雜度快速之取 \log 運算電路架構；(4) 一個低複雜度、快速之取 anti-log 及指數運算電路架構；(5) 一個適用於一般濾波及 3-D 聲訊濾波之低功率乘及累加器及(6) 一個適用於一般濾波及 3-D 聲訊濾波之高效能 FFT 處理模組。

關鍵詞：三維繪圖、著色運算、快速傅立葉轉換、快速濾波

Abstract

This project accomplishes several results including: (1) a low-complexity high-performance modified mixing Phong shading algorithm; (2) a new Phong shading processing core, based on the new shading algorithm, which has low complexity and high speed; (3) a low-complexity \log function unit; (4) a low-complexity anti-log function unit; (5) a low-power multiplication-and-accumulation unit for general and 3-D audio processing, (6) an efficient FFT structure for fast convolution of 3-D sound effect synthesis.

Keywords: 3-D graphic, Rendering operations, FFT, Fast filtering

二、計畫緣由與目的

本計畫緣起於多媒体信號處理及通訊技術快速進展及其無窮之市場經濟規模及潛力，其實現有賴諸多關鍵技術之突破，特別是系統晶片之開發，由於多媒体演算法愈趨複雜，運算量龐大，電路相對的愈難設計，因此模組化電路 IP 設計觀念為必要之設計方式，有鑑於此本計畫即在開發可重複使用之多媒体 IP 關鍵模組。本計畫為為期三年“多媒

體系統晶片設計技術之研究總計畫”之子計畫二“多媒体聲訊及虛擬實境之超大型積體電路設計”，偏重於三維聲訊及虛擬實境的電路模組設計，諸如高功能濾波器、乘法器、FFT 運算器、幾何轉換器、著色器等等均為本研究之設計目標，今年為全程計劃之第三年。

三、結果與討論

在這次的國科會計畫中，我們主要研究成果如下所述。

(1) 簡化之 Phong 著色演算法，其大大減少運算量但仍保有很好之效能。H 測試 [5] 大大的降低 Phong shading 運算。其可偵測亮點，若一基本圖點通過測試則其進行 Phong shading，反之以 Gouraud 著色法進行之。此法簡稱為混合著色法，其適用於軟體實現但硬體上則不切實際。為了要解決此法之複雜度，[6] 僅考慮 H 測試之第一種狀況，也就是其僅測試多邊型頂點之 $\vec{N} \cdot \vec{H}$ 值是否大於某一門檻值。於此我們進一步將反射模型 (reflection model) 中之 specular 項分開以減少計算量。換言之，對於通過 H 測試之點，我們以 Phong shading 計算 specular terms 同時以 Gouraud shading 計算其它項。演算法留程圖如題一所示。

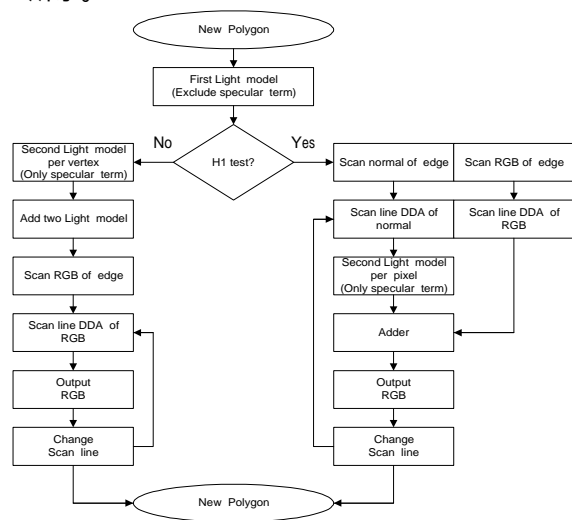


Fig. 1. Flow chart for mixing shading

圖二為依此法之 Z-buffer 著色管線化架構圖。

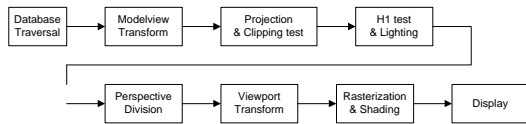


Fig. 2. Z-buffer modified mixing shading

我們更改了 MESA 以模擬新法及其它方法，圖三為模擬結果，表一列出 SNR 值。表二列出複雜度。

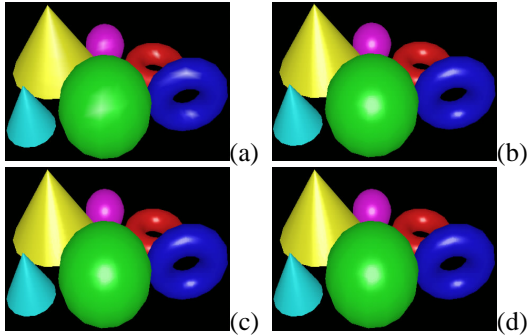


Fig.3. (a)Gouraud shading (b)Phong shading (c)Mixing shading (d)Proposed mixing shading

Table 1. Comparison of image quality

	SNR (dB)
Gouraud shading	13.34
Mixing shading	30.77
Proposed mixing shading	27.20

Table 2. Comparison of complexity

	+	×	÷	√	x^n
Gouraud	0.413	0.097	0.091	0.085	0.05
Phong	1.576	2.022	2.273	1.111	1.238
Mixing	1.393	1.658	1.873	0.983	1
Modified Mixing	1	1	1	1	1

圖表中顯示出新法有極大之複雜度改善，效果亦佳 (2) 提出新演算法之架構設計其具有快速且低複雜度之優點，並含一個低複雜度快速之取 log 及 anti-log 及指數運算電路架構。基於上訴新著色法我們提出一相對之運算模組，如下圖所示

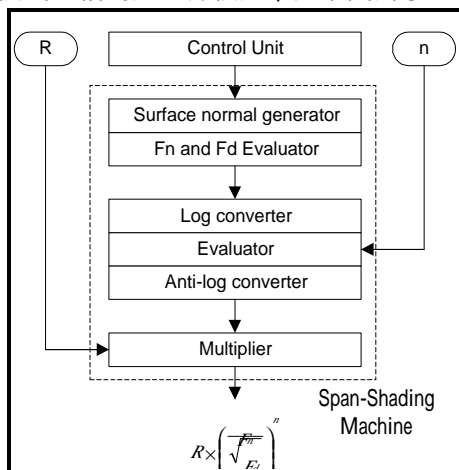


Fig. 4. The block diagram of the shading engine 為了快速及低複雜度實現之考慮我們在 log space 中計算，並改善現有方法。現有的計算方法可以分

成幾類。(1)直接查表法，太耗面積。(2)平行式多項式展開法，面積可減少但須要滿長的計算時間。如[3]。(3)有理數近似法，不須要查表，但是須要更長的延遲時間。如[4]。近年來有不少研究著重在令外一種新的查表法。它利用兩個以上的表及一個多輸入的加法單元來完成。面積比傳統的查表法小，而且運算也較為簡單。如[5]、[6]、[7]。[8]所提出的 symmetric table add Method (STAM)是類似上述的方式，但是充分利用表的對稱性來減少表的大小。我們的方法是根據這篇論文加以改良。須要額外增加幾個幾個全加器的延遲但是可以使表更小。新設計如下所討論。

假設輸入為 x ，有 n 個位元。把輸入分成三部分如圖五。

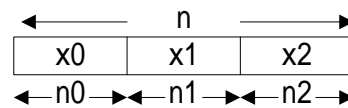


Fig. 5. Dividing the input operand

$$x = x_0 + x_1 + x_2 \quad \text{and} \quad n = n_0 + n_1 + n_2$$

接下來對 $x_0 + x_1 + u_2$ 做二次泰勒展開得到下面的結果。

$$\begin{aligned} f(x) &\approx f(x_0 + x_1 + u_2) + f'(x_0 + x_1 + u_2)(x_2 - u_2) + \frac{1}{2}f''(x_0 + x_1 + u_2)(x_2 - u_2)^2 \\ &\approx f(x_0 + x_1 + u_2) + f'(x_0 + x_1 + u_2)(x_2 - u_2) + \frac{1}{2}f''(x_0 + x_1 + u_2)(x_2 - u_2)^2 \\ &\approx a_0(x_0, x_1) + a_1(x_0, x_1, x_2) + a_2(x_0, x_2) \quad (1) \end{aligned}$$

其中 $u_2 = 2^{-n_0-n_1-1} - 2^{-n-1}$ 是 x_2 的中間值。(1)式中的 $a_0(x_0, x_1)$ 和 $a_2(x_0, x_2)$ 是由查表得到。而 a_1 是由查表 $f'(x_0 + x_1 + u_2)$ 及 n_2 個數值相加，這可以用 Carry Save Adder 的方式合併最後的加法運算，架構圖如下所示

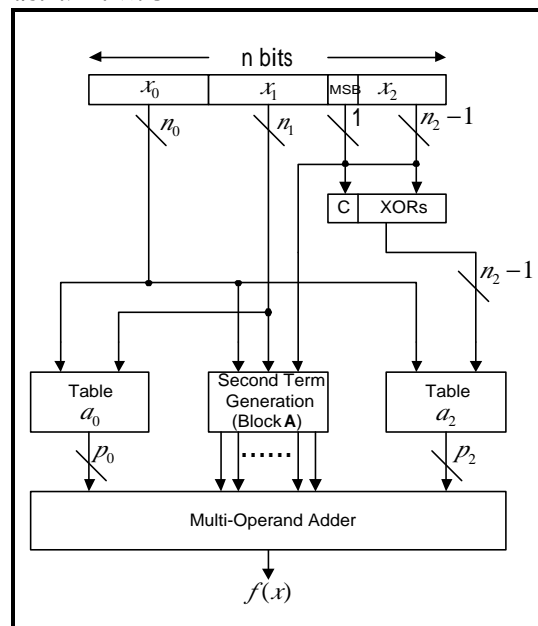


Fig. 6. Block diagram for the Modified STAM

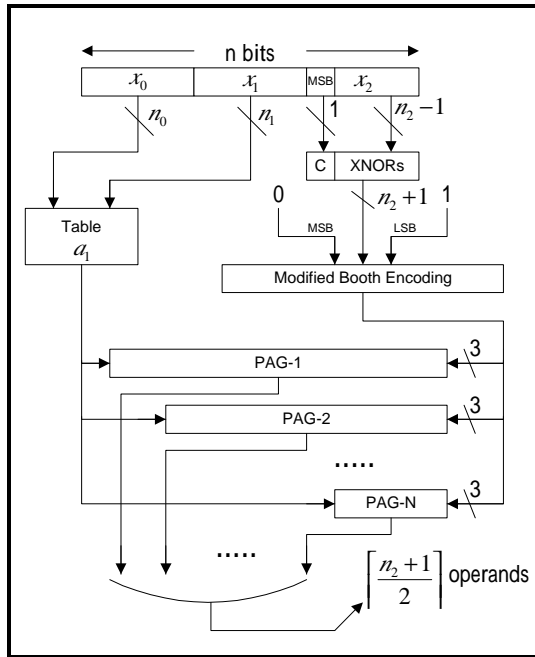


Fig. 7. Architectural of block A
在圖五中 a_2 的表可以利用對稱性來減少一半。

$$a_1(x_0, 2u_2 - x_2) = \frac{1}{2} \cdot f''(x_0 + u_1 + u_2)(2u_2 - x_2 - u_2)^2 = a_1(x_0, x_2)$$

下表列出不同位元述所需之表大小比較數據、加法 Wallace tree 階數及整個 shading engine 速度及面積之表現。

Table 3. Comparison of ROM size

	12	16	20	24	28	32
STAM	4608	26624	135168	700416	3342336	15663104
Proposed STAM	2048	10624	45568	194560	827392	3833856

Table 4. Comparison of Wallace tree level

	12	16	20	24	28	32
STAM	2	3	3	4	4	4
Proposed STAM	4	4	4	5	5	5

Table 5. Performance of the shading engine

Gate count	Clock rate	Fill rate
37662.55	135MHz	67.5MHz

從模擬的數據來看要達到和原始的 STAM 相同的準確度需要的 Table size 可以減少 4/5 左右。有效的改進面積大小但速度快。

(3) 一個適用於一般濾波及 3-D 聲訊濾波之低功率乘及累加器及。

在 $N \times N$ -bits 的乘法器中，首先我們針對乘數與被乘數中 1 的個數做統計，如果個數 $N/2$ 在以上時，做反相後即可得到個數在 $N/2$ 以下的 1。應用在無號數的乘法器上時，在乘法矩陣中 1 平均出現的機率會由原本的 $1/4$ ($1/2$ 機率的 1 和 $1/2$ 的 1 做 AND) 降低至 $1/16$ ($1/4$ 機率的 1 和 $1/4$ 的 1 做 AND) 左右，相信可以大大降低 Switching Activity 而達到低功率的效果。在有號數的乘法器上時，我們並

不採用 Modified Booth Radix-2,-4，當然 Baugh-Wooley 的方法是必要的。由於有 Inverse Polarity 的關係，在乘法矩陣出來的輸出可能是 AB 或 $-AB$ ，因此最後要有一個歸正的動作。 $[A/(A'+1)] * [B/(B'+1)] = [A*B/A'*B'] + [A'/0] + [B'/0] + [0/1]$ 其中 '/' 的選擇，在等式左邊是由前級的判斷電路來做選擇，再產生控制訊號選擇等式右邊的 Term 做相加。考慮到額外的電路是在 Critical Path 上，可能反而加多了對 output 的 Switching 次數，所以初步設計為 3-stage pipeline 架構。第一級為判斷乘數與被乘數中，1 的個數是否在 $N/2$ 以上，如果大於 $N/2$ 的話，在此級反向，並且判斷乘法矩陣相加後是 AB 或 $-AB$ 。第二級把 $[A/(A'+1)]$ 、 $[B/(B'+1)]$ 送到乘法矩陣相加後，得到一個數。第三級做歸正的動作，乘法矩陣的結果歸正為 AB 。

分析在乘法矩陣中 1 出現的次數。在 Table 6 中，IP1 的反向判斷式為所有位元中 1 的個數大於或等於 $N/2$ ，IP2 為不含 MSB 的其它位元中 1 的個數大於或等於 $N/2$ NOV 為 $[A*B/A'*B']$ 這項中 1 的個數，OV 則完整包含了 $[A*B/A'*B'] + [A'/0] + [B'/0] + [0/1]$ 中 1 的個數。所有乘法都不包含應用 Baugh-Wooley 方法後額外必須加上某數的 1 的個數。

Table 6. 各種乘法器 1 出現的個數，平均一次乘法會出現 1 的個數統計

NxN	傳統	IP1		IP2	
		NOV	OV	NOV	OV
2	1.5	0.875	4.93	1.25	4.5
4	5.5	3.55	10.77	3.81	10.06
8	19.5	14.07	26.57	14.04	25.29
12	41.5	29.73	48.46	29.44	46.69
16	71.5	50.91	76.84	50.40	74.65

根據這份統計，我們知道額外的電路產生了更多的 1，這大多是因為在 A' 或 B' 中 1 出現的機率高達 $3/4$ ($1-1/4$)，而在 $[A'/0]$ 、 $[B'/0]$ 中， A' 或 B' 被選擇的機率也高達 $1/2$ 。另外由於應用了 Baugh-Wooley 的方法，在乘法矩陣中 signed bit (左斜最前面的 bit) 和最後一行，它們 1 出現的機率都是 $3/4$ (反向的關係，機率为 $1-1/4$)。所以我們把電路的加法矩陣分為兩部份，把 1 出現機率 $3/4$ 的 $[A'/0]$ 、 $[B'/0]$ 、乘法矩陣中 signed bit 和最後一行獨立出來，另外用一個加法矩陣 Matrix2，原本的為 Matrix1。

統計 1 出現的機率之後，我們還要考慮 Switching 的個數是否降低了，才能比較貼近功率消耗的觀點。而 Switching 的次數在排除掉 Timing 上的 delay 後，很難真正算出 Switching 次數。在電路合成出來之前，我們無法真正去做 Switching 或功率的分析。針對加法矩陣的 Sum 的看的話，我們去計算第 n 位元，由 $n-1$ 傳來的進位次數 m 來看，Sum 應該至少有 m 次的 Switching 次數，由這個部份來大略窺視功率消耗的因素。

Table 7 中 IP1、IP2 與前相同，各個加法矩陣均不包含應用 Baugh-Woolley 方法後，兩行(N-1)-bits 反向的部份。IP1、IP2 均不包含額外的[A'/0] + [B'/0] + [0/1]部份。

Table 7. 各種加法矩陣的進位次數統計，平均一次乘法會在加法矩陣中產生的進位次數

NxN	傳統	IP1 Array1	IP2 Array1
2	1.31	0	0
4	4.566	0.227	0.047
8	16.52	2.939	2.286
12	36.50	11.07	10.13

由 Table 7 的統計中，我們可以大略了解到加法矩陣的主體是可以達到低功率的，其它額外的電路相較於加法矩陣小很多，應該不會有太多額外的功率消耗。唯一的考量是 3-stage 的 pipeline 的 Flip-Flop 造成的面積和功率消耗上可能頗大。

(5) 一個適用於一般濾波及 3-D 聲訊濾波之高效能 FFT 處理模組。提出之新的 FFT 架構如下圖，其與現有 memory based 架構之比較如下表

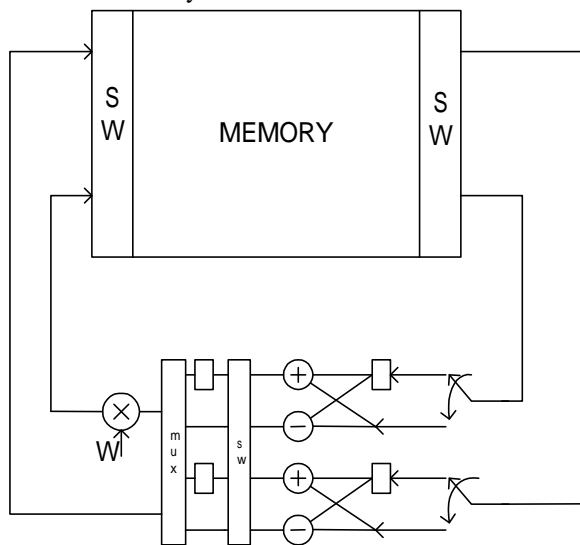


Fig. 8. New memory-based architecture.

本架構將 Butterfly 乘法器透過資料排序及切換器達成共享以增加使用效率並減低複雜度，與現有架構相較具較高之效能。

Table 8. Performance comparison of the new memory-based FFT unit and the existing designs.

PE type	Equivalent Radix-2 BF	BF Registers	No. of Memory access times	Computation time (Unit: clock cycles)	No. of Complex Multiplier	Length
Radix-2 (Single)	1	1	$N \log_2 N$	$N \log_2 N$	1	Power of 2
Proposed architecture	2	4	$N \log_2 N$	$0.5N \log_2 N$	1	Power of 2
Radix-2 ² (single)	2	3	$0.5N \log_2 N$	$0.5N \log_2 N$	1	Power of 4
Radix-2 ³ (single)	3	7	$0.33N \log_2 N$	$0.33N \log_2 N$	1	Power of 8

[9]

四、計劃成果自評

本計畫成果大体上符合預定進度與目標，成果陸續整理發表於會議及期刊中，及申請專利中。

五、參考文獻

- [1] K. Harison, D. Miktchell, and A Watt (1998). "The H-test: a method of high speed interpolative shading". In "New Trends in Computer Graphics, Proc. CG international '88, pp 106-116 Berlin; Springer.
- [2] B. C. Shih, Y. H. Yeh, and C. Y. Lee, "A 40M Pixels/s 3D Graphics Shading Processor", Proceedings of the Tenth VLSI Design/CAD Symposium, 1998, pp.261-264.
- [3] M. J. Schulte and E. E. Swartzlander, Jr., "Exact Rounding of Certain Elementary Functions" in Proceedings of the 11th Symposium on Computer Arithmetic, pp 138-145, 1993
- [4] I. Koren, "Evaluating Elementary Functions in a Numerical Coprocessor Based on Rational Approximations" IEEE Transactions on Computers, vol C-40, pp. 1030-1037, 1990
- [5] H. Hassler and N. Takagi, "Function Evaluation by Table Look-up and Addition" in Proceedings of the 12th Symposium on Computer Arithmetic, pp. 10-16, 1995
- [6] D. D. Sarma and D. W. Matula, "Faithful Bipartite Rom Reciprocal Tables" in Proceedings of the 12th Symposium on Computer Arithmetic, pp. 17-29, 1995
- [7] W. F. Wong and E. Goto, "Fast Evaluation of Elementary Functions in Single Precision" IEEE Transactions on Computers, vol. C-44, pp. 453-457, 1995
- [8] M. J. Schulte and E. E. Swartzlander, Jr., "Accurate Function Approximations by Symmetric Table Lookup and addition" IEEE International Conference, pp. 144 -153, 1997
- [9] L. Jia, Y. Gao and H. Tenhunen, "A Pipelined Shared-Memory Architecture for FFT Processor," Circuits and Systems, 2000. 42nd Midwest Symposium on, Volume: 2, 2000, Page(s): 804 -807 vol. 2.