

行政院國家科學委員會補助專題研究計畫成果報告

多媒體系統中三維繪圖之先進架構研究與模組設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 89 - 2215 - E - 009 - 085 -

執行期間： 89年 8月 1日至 90年 7月 31日

計畫主持人：任建葳

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子工程學系

中 華 民 國 90年 10月 30日

多媒體系統中三維繪圖之先進架構研究與模組設計 (2/2)

Research on Advance Architecture and Module Design for 3-D Graphics in Multimedia System

計畫編號：NSC 89-2218-E-009-085

執行期限：89年8月1日至90年7月31日

主持人：任建葳 國立交通大學電子工程學系

計畫參與人員：李元仲 梁伯嵩 葉文昌

一、中文摘要

本研究計畫探求多媒體系統中，低價格、高效率以及高系統整合的三維繪圖先進架構研究及模組設計。第二年的計畫以第一年之研究成果為基礎，繼續發展三維繪圖之先進演算法。依研發的演算法設計三維繪圖硬體，且用系統階層模擬方法來作驗證，並追求其在多媒體系統及 SoC 系統上的整合性。研究內容共細分為四個項目，第一項研究在於著色子系統之先進演算法的研發與架構設計，以改善現有三維繪圖運算瓶頸。第二項是研究基本運算單元，提昇三維繪圖硬體運算能力。第三項研究是即時多邊型模型的精緻化，提高多邊形模型的精細度。第四項研究是邊緣保留紋理濾波，改善貼圖品質。

關鍵詞：3D 繪圖、索引式著色法、多邊形精緻化、邊緣保留紋理濾波

Abstract

The research project will investigate advance architecture and module design for 3-D graphics with low cost, high performance, and high system integration ability. The project of the second year is based on the research results of the first year to develop advanced 3-D algorithms. The 3-D graphics hardware is then designed according to these algorithms and verified with system-level simulation for multimedia and SoC integration. There are four research topics. The first topic is advanced algorithm and architecture design of shading submodule to solve computational bottleneck. The second topic is the basic operation unit

design. The third topic is on-line polygon refining for 3-D model smoothing. The fourth topic is edge-preserving texture filtering to improve texturing quality.

Keywords: 3D Graphics, Index Rendering, Polygon Refining, Texture Filtering

二、緣由與目的

現今的消費性電子產品及個人電腦產業中，多媒體扮演了越來越重要的角色。在多媒體系統中，視覺的顯示系統分成三個主要領域：視訊處理 (video)，影像處理 (image processing)，和電腦圖學 (computer graphics)。三維繪圖是電腦繪圖中應用越來越廣的分支，它使用 3-D 模型和各種影像處理來產生具有三維空間真實感的影像。在現今的三維繪圖的加速硬體的設計上，有兩項最主要的瓶頸亟待克服：第一項是大量運算需求，而第二是記憶體頻寬的問題。此外使用者不但追求高效率，同時也追求畫面的精緻度。因此本研究計畫包含兩大部分，第一部份是以性能為導向，研究著色子系統之先進演算法，並設計基本運算單元。第二部分是追求最佳的畫面品質，研究即時多邊型模型的精緻化和邊緣保留紋理濾波。

三、研究方法與成果

(一) 著色子系統之先進演算法研究

在傳統的繪圖管線中，不協調的資料流速率造成了資料處理的僵化，這些速率包括了多邊形速率、圖素速率、及螢幕顯像速率。在三維繪圖系統中，因物體前後位置所形成的遮蔽現象使得這些速率差距

更大。為了解決這個情形，我們在第一年的計畫中提出了 Index Rendering 架構 [1][2]，將最後不會出現在畫面上的運算捨棄，來節省運算需求。配合我們研發的 Deferred Lighting 架構 [3][4] 更可以減少 22%-58% 的 Lighting 運算次數。在第二年的計畫中，我們更進一步改良了 Index Rendering 的架構，如圖一。不僅將 Lighting 和 Color setup 單元延後來跳過那些不顯示的多邊形，也同時將著色和貼圖單元搬到螢幕顯示速率的位置來作處理，傳統的 Frame buffer 也用 Index buffer 和 TdbS 取代。我們採用 SystemC 的 Cycle-true 模擬來驗證此一運算上的平衡可以加速 Rendering [5]，與傳統作法做比較，這種架構只需要 73.3% 的外部記憶體，就可以在原始的 87.7%~52.4% 運算時間內完成，在效率與成本上都有大幅度的改進。

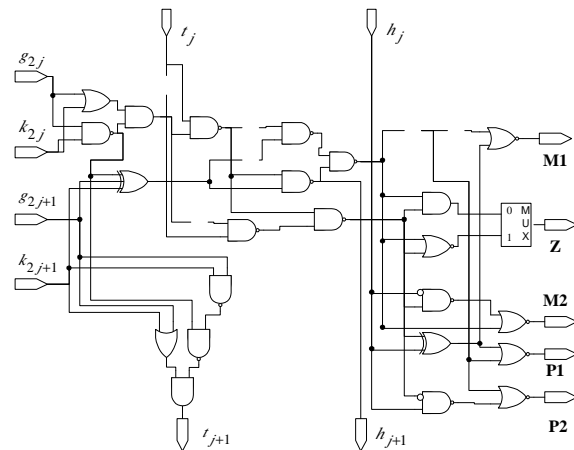
此外，經研究發現，在 Rendering Pipeline 中，由於許多運算最後被捨棄，這些最終無用的指令填塞在 Pipeline 中，如同氣泡一般使得 Pipeline 的使用率無法提高。因此我們研發 Triple Queue 架構 [6]，用以改善 Rendering Pipeline 的硬體使用率，此一架構如圖二。在相同大小的 Queue 中，此架構可提高著色 Rendering 的速度。經過 SystemC 的 cycle-true 模擬驗證，其結果最高可將 Cycle 數降到 52.9%。

(二) 高速運算單元之研究

為求得最佳化的效能，我們提出了加法的演算法。在仔細分析了各式加法的特性和推導加法基本特質後，我們提出一套用來表示加法演算法的運算子和標記方法 [7]。接著我們提出當兩個加法的運算子有不同時到達的情況發生的時候，我們提出新穎的一般化最早到達優先演算法 (Generalized Earliest-First Fast Addition Algorithm) 來縮短進位傳遞加法所需時間 [8]。

而為了進一步降低運算複雜度，我們也研究不同的乘加模組。相對於傳統的乘法累加器 (Multiply-Accumulate)，在其他的狀況之下也會需要先加再乘的運算

(Add-then Multiply)。因此我們也提出新的進位儲存至有號位元的轉換器來加速先加再乘的運算。我們設計的模組如圖三所示，它也整合了一般乘法器中的布斯編碼器 (Booth encoder) 來降低整體運算和所需面積。這樣子的設計可以用非常接近一般乘法器的成本和速度來完成加法和乘法兩個動作 [9]。



圖三. 進位儲存至有號位元轉換器的線路圖，包含修改式布斯編碼器。

(三) 多邊形模型即時精緻化之研究

在現今的三維即時顯像裝置，用多邊形來近似曲面往往因為多邊形數目的不足，造成物體近看時在輪廓部分會有不真實的稜角。在第一年的計畫中，我們提出了一種多邊形即時精緻擬真化演算法 (On-Line Polygon Refining) [10]，能即時產生更精緻的三維模型來去除這種稜角現象。但是在用多邊形近似曲面的過程中，除了物體輪廓需要改進之外，多邊形內部的圖素顏色變化更顯著地影響著曲面的效果。為了呈現更真實的曲面，就必須藉由曲面著色理論的改進來達成。

在第二年的計畫中，我們提出了二次法線曲面內差演算法 (Quadratic Normal Vector Interpolation) [11] 來改進著色系統的精確性，這個新演算法改正了傳統 Phong shading 無法表現三次曲面的情形，使得曲面描畫更為逼真。我們藉由反折點 (inflection points) 的判斷，來決定曲面的曲率型態，在根據曲率型態來調整內差係

數，最後就可得到適當的法線向量，來做 Per-pixel Lighting 運算。這個演算法對於波瀾形曲面有相當大的改進，如圖四所示。

(四) 邊緣保留紋理濾波之研究

紋理貼圖是提升三維繪圖畫質非常重要的一項技術，它將二維影像透過座標轉換來貼在三維物件上，原始影像必須作適當的尺寸調整來適合被貼的物件，紋理濾波就是讓這個重新取樣的動作不會產生很大的失真。

目前的紋理濾波是採用 Trilinear filtering 的作法，但是這種作法沒有考慮影像的內容，所以也沒有特別對影像的物件邊緣(edge)作特別處理，導致邊緣會產生鋸齒狀或模糊化，因此我們提出了邊緣保留紋理濾波 (Edge-preserving Texture Filtering)[12]的理論來改善這個缺點。這個演算法會根據周圍紋理圖素的值來偵測出 edge 方向，然後沿著此方向做內差得到新的圖素顏色值，配合 MIP-map pre-filter 就可以做任意倍率的縮放來適應三維物件。

我們也將這個演算法用硬體實現，來驗證其即時顯像的能力，並且採用 SystemC 的流程來設計[13]，利用高階設計環境來方便做整合模擬，使得在做硬體模擬時可以實際看到畫面效果。

四、結論與討論

本計畫已順利完成計畫書所列之各項預期工作項目。研究成果包括三篇已接受的期刊論文，三篇已投稿之期刊論文及七篇已發表之會議論文。

五、參考文獻

- [1] Bor-Sung Liang, Yuan-Chung Lee, Wen-Chang Yeh and Chein-Wei Jen, "Index rendering: A hardware-efficient architecture for 3-D graphics", *Proc. VLSI/CAD Symposium*, Taiwan, pp.137-140, 1999.
- [2] Bor-Sung Liang, Yuan-Chung Lee, Wen-Chang Yeh, and Chein-Wei Jen, "Index Rendering: Hardware-efficient Architecture for 3-D graphics in Multimedia System", submitted to *IEEE Transactions on Multimedia*.
- [3] Bor-Sung Liang, Wen-Chang Yeh, Yuan-Chung Lee, and Chein-Wei Jen, "Deferred Lighting: A Computation-Efficient Approach for 3-D Graphics", *Proc. IEEE Int'l Symposium on Circuit and System (ISCAS)*, pp. 657-660, Geneva, Switzerland, 2000.
- [4] Bor-Sung Liang and Chein-Wei Jen, "Computation-Effective 3-D Graphics Rendering Architecture for Embedded Multimedia System", *IEEE Transactions on Consumer Electronics*, vol.46, No.3, pp.735-743, Aug. 2000.
- [5] Bor-Sung Liang and Chein-Wei Jen, "Architecture Design for Rendering pipeline in Handheld Devices", submitted to *IEE Electronics Letters*.
- [6] Bor-Sung Liang and Chein-Wei Jen, "Speedup Rendering Pipeline by Deferred Lighting and Triple Queue Structure", accepted by *IEE Electronics Letters*.
- [7] Wen-Chang Yeh and Chein-Wei Jen, "On the study of logarithmic time parallel adders", *IEEE Workshop on Signal Processing Systems*, pp. 459-466, 2000.
- [8] Wen-Chang Yeh and Chein-Wei Jen, "Generalized Earliest-First Fast Addition Algorithm", submitted to *IEEE Transactions on Computers*.
- [9] Wen-Chang Yeh and Chein-Wei Jen, "A high performance carry-save to signed-digit recoder for fused addition-multiplication", *Proc. of IEEE International Conference on Acoustics, Speech, and Signal Processing*, pp. 3259-3262, 2000.
- [10] Yuan-Chung Lee and Chein-Wei Jen, "On-Line Polygon Refining Using a Low Computation Subdivision Algorithm", *Proc. Geometric Modeling and Processing*, Hong Kong, pp. 209-219, 2000.
- [11] Yuan-Chung Lee and Chein-Wei Jen, "Improved quadratic normal vector interpolation for realistic shading", *The Visual Computer*, vol. 17 issue 6, pp. 337-352, 2001.
- [12] Yuan-Chung Lee and Chein-Wei Jen, "Arbitrarily scalable edge-preserving interpolation for 3-D graphics and video resizing", *Proc. IEEE Int'l Symposium on Circuit and System (ISCAS)*, pp. 317-320, 2001.
- [13] Yuan-Chung Lee and Chein-Wei Jen, "Top-down Design of High-performance Arbitrarily Scalable Edge-Preserving Interpolation," *Proc. 12th VLSI/CAD Symposium*, 2001.