

行政院國家科學委員會補助專題研究計畫成果報告

高密度多層構裝基板與接合材料研究(II) A study on High Density Multilayer Substrate and Interconnect Materials(II)

計畫類別： 個別型計畫 整合型計畫
計畫編號： NSC-89-2216-E-009-037
執行期間： 89年8月1日至90年7月31日

計畫主持人： 邱碧秀 國立交通大學電子工程學系
共同主持人： 謝宗雍 國立交通大學材料科學工程研究所
杜正恭 國立清華大學材料系

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

執行單位： 交通大學

中華民國 90年 12月 28日

高密度多層構裝基板與接合材料研究(II)

計畫編號：NSC 89-2216-E-009-037

執行期限：89年8月1日至90年7月31日

計畫主持人：邱碧秀 國立交通大學電子工程學系

共同主持人：謝宗雍 國立交通大學材料科學工程研究所

杜正恭 國立清華大學材料系

一、中文摘要

以多層連線結構為基礎的基板構裝技術為近年來世界各先進電子工業家因應電子系統的小型化、快速化、多功能化與輕量化的需求而採取的研發重點之一。在此高密度多層構裝基板的製作中，除了電路設計和製程技術的改良與開發外，新型原材料的開發亦不可或缺。

本計劃擬研究開發高密度構裝基板所需的介電絕緣層材料、絕緣材料和導體材料之界面與電遷移現象之防制及元件與基板的接合材料及其金屬化。計劃的整體目標為開發能與當今導體相容的低介電係數之材料與錒錫接合材料，以期能製成一性質優良的構裝基板供高密度接合之用。第二年的主要工作包括：以凝膠法製備低介電係數材料，無電鍍 Ni/Au 與 UBM 界面之介金屬化合物成長機制與錒點凸塊破裂模式，及銅-低介電材料之界面可靠度提昇研究。

Abstract

Multilayer interconnect structure provides electronic equipments with significant reductions in size and weight, together with increases in circuit density, reliability, and high speed electrical performance. In order to reduce the RC time delay, it is essential to utilize a low k dielectric in a highly dense multilayer package.

In this proposed research, low k dielectric materials will be developed using sol-gel process, interaction between the low k and copper will be studied to enhance the interface reliability; metallurgical reactions among the unleaded solder, the under-bump metallurgy, and the metallization will be investigated. The ultimate goal of this research is to develop a low k and a high density packing process compatible with Cu metallization and unleaded solder. In the second year, the research work includes: Preparation of low k dielectric with sol-gel process; growth mechanism of IMC and fracture mode of solder bump with electroless Ni/Au near the interface of UBM; and reliability of Cu-low k dielectric interface.

二、緣由與目的

隨著電腦、資訊與通訊產品小型化、快速化、多功能化與輕量化的發展趨勢與需求，積體電路(Integrated Circuit, IC)元件的構裝也必須朝高密度/大規模集積化、多腳數/微細化、薄型化與多晶片化發展。在最近幾年裡，新型的 IC 元件構裝，例如球柵陣列式構裝(Ball Grid Array, BGA)、晶片尺寸構裝(Chip Scale Packages, CSP)、晶片直接結合(Direct Chip Attach, DCA)等紛紛被提出；

許多已是眾所周知的構裝與連線技術，例如覆晶結合(Flip Chip, FC/C4)、多晶片模組(Multichip Module, MCM)、晶片整合構裝(Wafer Scale Integration, WSI)等，因為其能符合電子產品輕薄短小的設計趨向，也成為當今電子構裝技術的熱門研究題目之一。

上述的 IC 元件構裝技術均致力於縮小構裝的體積，伴隨而來的是構裝元件的引腳將變得更為微細，腳距(Pitch)而更為縮小，因此當它們進行下一層次的組合時，基板上的接墊(Pad)面積與電路分布的密度也必須因應此一接合技術的變革而縮小；換句話說，開發高電路密度、細線與微小導孔(Via)、薄型多層構裝基板必然是下一世代的構裝技術研發的重點之一。

在高密度多層構裝基板的製作中，除了電路設計與製程技術的改良與開發之外，新型原料之開發及其可靠度的研究亦屬必要，其中包括：低介電係數材料、無鉛錒錫材料等。是以本整合計劃涵蓋三個子計劃，子計劃一研究錒錫接合材料，內容包括開發無鉛錒錫的材料以及其接點底部金屬化之結構，並對錒錫與底部金屬的擴散反應、構裝基板的介電絕緣材料與底部金屬材料的相容特質等進行研究，以了解其應用於高密度構裝基板的覆晶接合時之特性與最佳化結構；子計劃二研究介電絕緣層/導體層界面特性，內容包括研究銅與低介電係數材料之界面結構與反應，開發介電層材料以防制微細電路的電遷移現象以提升此一應用界面的可靠度；子計劃三開發低介電係數材料，內容包括進行低介電係數材料的合成，配合電性量測與結構分析探討低介電係數之成因。本計劃為三年期計劃的第二年，主要工作為各分項子計劃就上述的工作項目進行研究。

四、結果與討論

由子計劃一的研究成果得知 Sn-Ni 的 IMC 成長是個熱激發過程，高溫退火會增加 Sn 和 Ni 的擴散係數並加強 Sn 和 Ni 之間的反應。有較高磷含量(~12wt%)的無電鍍錒層較能有效阻止 Ni₃Sn₄ IMC 之形成，但若退火溫度增高到 185°C，則部分之 Ni-P 會擴散入錒錫而在無電鍍錒層和錒錫界面形成少量的 IMC。

子計劃二主要探討電漿處理對低介電係數材料 HSQ 的影響，以及 Cu-HSQ 系統中，銅之電致遷移現象。研究結果發現氫氣電漿會增加 HSQ 表面粗糙度，但因其可減少殘留的 Si-H 並產生類似二氧化矽較為緻密的表面結構，可增加 HSQ 在高溫下的穩定性，減低其吸濕性。但電漿處理會讓後續沉積的銅膜品質變差，造成電致遷移失效時間及活化能降低的問題。

子計畫三以凝膠法製備含矽氧化合物與聚亞醯胺等

無機-有機結構的低介電係數材料，以供高密度多層陶瓷基板之製備與應用。其以聚亞醯胺(Polyimide, PI)為有機成份之基材，並藉加入無機成份及水解催化劑比例之變化；製程步驟之改變等參數之控制，改變其中有機與無機材料鍵結、結構與排列方式，並藉電性量測實驗分析其介電常數。實驗結果顯示，無機成份在聚亞醯胺製成之後加入，其比例(TEOS%)約為 35%，50%水解比例時可以製成介電係數 2.24 的 Silica-PI，在 Silica-PI 中形成的氣膠球愈小，介電係數愈低，因此 Silica-PI 微觀結構的細化是控制其介電性質的關鍵。子計劃三並開發以超薄切片機製作 TEM 試片的技術，以應用於 SiO₂-PI 微觀結構的觀察。

四、結論

1. 在 42Sn-58Bi/Au/EN/Cu/Al₂O₃ 系統中，無電鍍鎳(EN)的磷含量高(~12wt%)可減少 Ni-Sn IMC 的生成。
2. HSQ 固化溫度愈高，膜會愈緻密。氫氣電漿處理可增加 HSQ 的抗水性，但卻使後續沉積的銅膜品質變差，降低抗電致遷移的能力。
3. Silica-PI 複合材料確可以 sol-gel 方法製作，且無機成份之添加有助於提昇材料的熱穩定性。適當的製程技術和成份可在 Silica-PI 中形成低介電係數的結構。超薄切片技術是製造截面式 TEM 試片的可行方法，但技術細節仍有許多努力的空間。