

行政院國家科學委員會補助專題研究計畫成果報告

深次微米互補式金氧半製程技術下之混合電壓 輸出入界面電路與靜電放電防護電路的設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 89-2215-E-009-103

執行期間： 89 年 08 月 01 日至 90 年 07 月 31 日

計畫主持人：柯明道 助理教授

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：交通大學電子研究所

中 華 民 國 90 年 8 月 31 日

行政院國家科學委員會專題研究計畫成果報告

計畫編號：NSC 89-2215-E-009-103

執行期限：89 年 08 月 01 日至 90 年 07 月 31 日

主持人：柯明道 助理教授 國立交通大學電子研究所

計畫參與人員：陳東暘、王文泰、徐國鈞、于文浩、李健銘
國立交通大學電子研究所

一、中文摘要

隨著半導體製程技術的快速發展，電晶體元件尺寸被縮小以提昇積體電路的集積度與運算速度，其操作電壓也隨之降低以維持元件的可靠性，可是外界傳輸的電路訊號之電壓準位大都依然維持在 5V 或 3.3V，這 5V/3.3V 的電路訊號不能直接傳入深次微米的積體電路內部，因此在積體電路的輸出入端必需要有混合電壓輸出入界面電路來隔離輸入訊號的高電壓準位，但又必需把輸入訊號的電路訊號送入該積體電路內部。因此，先進之深次微米互補式金氧半製程技術下的積體電路非常需要此類混合電壓輸出入界面電路。本計畫擬針對 0.25 微米以下之先進 CMOS 製程，提出可供實用之混合電壓輸出入界面電路。

此外，經常困擾產業界積體電路產品的一項可靠度主題是靜電放電對積體電路的破壞問題，尤其當電晶體元件尺寸被縮小時，深次微米互補式金氧半製程技術下的積體電路更易遭受到靜電放電的破壞。本計畫擬針對 0.25 微米以下之先進 CMOS 製程，研究電晶體元件在靜電放電過壓下的行為特性，並藉以設計出可供實用之靜電放電防護電路。

關鍵詞：靜電放電、靜電放電防護電路、輸出入電路、混合電壓介面電路

Abstract

This project is to develop the mixed-voltage I/O interface circuits and on-chip ESD protection circuits for using in the sub-quarter-micron CMOS technologies. When the device dimensions of the integrated circuits had been scaled down to increase the integrity and operating speed in the deep-submicron CMOS processes, the operating

voltage of the scaled-down devices was also reduced to sustain the device reliability. However, the external circuit signals still have the voltage level of 5V or 3.3V. Such high voltage signals can not be directly connected into the deep-submicron CMOS IC's. In this project, we want to design the interface circuits to process the external and internal signals, which have different voltage levels. Moreover, one of the main reliability concerns on the deep-submicron CMOS IC's is the damage due to electrostatic discharge (ESD). If the CMOS IC's have the scaled-down device dimensions, they are more sensitive to ESD damage. The ESD events can not be removed in the practical environments of IC applications. Therefore, every IC has to be built up with the on-chip ESD protection circuits. In this project, we want to develop the effective on-chip ESD protection circuits and whole-chip ESD protection schemes for using in the 0.25- μm and 0.18- μm CMOS IC's. Such ESD protection circuits are strongly requested by our IC industry.

Keywords: Electrostatic Discharge (ESD), ESD Protection Circuits, I/O circuit, Mixed-Voltage I/O interface

二、緣由與目的

本計畫進行深次微米互補式(CMOS)製程技術下之混合電壓輸出入界面電路與靜電放電防護電路的設計，以應用在 0.25 微米以下之先進 CMOS 積體電路產品上。隨著半導體製程技術的快速發展，電晶體元件尺寸被縮小以提昇積體電路的集積度與運算速度，但如此小尺寸的電晶體元件無法承受過高的電壓，因此 0.25 微米的積體電路內部使用 2.5V 的電壓準位來運作，

而 0.18 微米的積體電路內部則僅使用 1.8V 的電壓準位來運作。可是外界傳輸的電路訊號之電壓準位大都依然維持在 5V 或 3.3V，在積體電路的輸出入端必需要有混合電壓輸出入界面電路來隔離輸入訊號的高電壓準位，但又必需把輸入訊號的電路訊號送入該積體電路內部。因此，先進之深次微米互補式金氧半製程技術下的積體電路非常需要此類混合電壓輸出入界面電路。此方面的研究，隨著半導體製程技術的先進發展，愈來愈熱門，且有實際應用上的迫切需求，最近在 IEEE International Solid State Circuits Conference (ISSCC) 國際知名研討會以及 IEEE Journal of Solid-State Circuits 國際最著名電路期刊上都有數篇論文發表，本計畫擬針對 0.25 微米以下之先進 CMOS 製程，進行可供實用之混合電壓輸出入界面電路設計。

積體電路(IC)講求輕薄短小, IC 設計者無不想盡辦法把 IC 的晶片面積(chip size)縮得更小，而半導體廠也持續開發出更先進的積體電路製程，以大幅縮減 IC 晶片面積，降低積體電路製造成本，提昇 IC 產品的性能與獲利率。臺灣的 IC 製程已進入 0.18 微米的量產時代，0.13 微米的 IC 製程也已經在試產中。IC 的電晶體元件在深次微米的製程下，除了要減少其寄生的雜散電容與電阻之外，尚有許多可靠度(reliability)的問題要克服。為減低深次微米元件之熱載子效應(Hot carrier)以提昇元件之可靠度, LDD (Lightly-Doped Drain) 結構已被應用於次微米以下的 CMOS 製程；另外為有效降低 MOS 元件的雜散阻值，Silicide/Polycide，或所謂的 Salicide 製程技術也已應用於 0.35 微米以下的製程來提昇 MOS 元件的運算速度。但是，這些為提昇深次微米 MOS 元件集積度、可靠度、與運算速度的製程技術卻引發了另一嚴重的問題，就是積體電路的靜電放電(ESD; Electrostatic Discharge) 耐受能力大幅下降。隨著高運算速度與高頻率通訊 IC 產品的開發，利用先進的 0.25 微米半導體製程技術所製造的積體電路，面臨積體電路產品因製程技術先進而導致 ESD 防護能力不足的嚴重問題。

本計畫擬針對 0.25 微米以下之先進

CMOS 製程，研究電晶體元件在靜電放電過壓下的行為特性，並藉以設計出可供實用之靜電放電防護電路。

三、研究成果

本研究計畫的研究成果已經發表了三篇 IEEE Conference 論文[1]~[3]。

在第一篇論文中[1]，我們提出了一種新的電源線間的靜電放電防護電路，使用一串順偏的堆疊複晶矽二極體作為觸發電路，可以使靜電放電防護電路更快導通以保護內部電路。除了在輸出入端需要靜電放電防護電路外，為了防止不預期的靜電電流傷害內部電路，通常在電源線間也需要有靜電放電防護電路，如此才可達到全晶片的防護。一般常用於電源線間 NMOS 保護電路的觸發電路為：閘極耦合與 RC 延遲反相器。本篇論文所提出的觸發電路，其操作原理為，在電路正常操作下，此堆疊複晶矽二極體提供給 NMOS 保護電路的閘極偏壓要接近零，而在靜電放電情形下，堆疊複晶矽二極體要有提供 NMOS 保護電路閘極偏壓大於其臨界電壓的能力。加入此組電源線間的保護電路，可以大幅提昇積體電路產品對靜電放電的耐受度，且其效果也比使用傳統閘極耦合驅動 NMOS 的保護電路來得有效。為了要能更精確的設計出符合要求的觸發電路，本篇論文也推導出堆疊複晶矽二極體的個數和 NMOS 閘極偏壓大小的關係式，且與 SPICE 模擬的結果十分吻合，可提供給後續設計者作為設計參考的依據。

在第二篇論文中[2]，首先在 0.18 微米製程中，比較閘極耦合與基體觸發兩種機制的優劣。在實驗中可以發現使用閘極耦合驅動的 NMOS 保護電路，其對靜電的耐受程度，在 NMOS 閘極偏壓大於 0.3V 後便隨著閘極電壓增加而衰減。因此在 0.18 微米製程下，此種保護電路在使用與設計上的要考量的因素也相對地增加。而使用基體觸發驅動的 NMOS 保護電路，其對靜電的耐受程度，會隨著基體處發電流的增加而持續增加，並不會有衰減的趨勢。此種穩定的耐受度，對靜電放電防護電路的設計與使用上是一大優勢。造成此種差異的主要原因是：使用閘極耦合驅動的

NMOS 保護電路，當閘極電壓過高時會使閘極氧化層下方的通道形成，造成大部分的靜電放電電流都集中經由此幾百 Å 的通道流走，而不經由整個矽基體(約 600 nm)流走，容易造成通道過熱，使通道邊緣的閘氧化層也受到損傷，此現象會隨這閘極電壓越高，通道形成越完整而越嚴重。反之利用基體觸發驅動的 NMOS 保護電路，則是對基體施加偏壓，讓寄生的雙載子電晶體導通，促使靜電電流都經由矽基體流走，而不會產生過熱的現象，當矽基體偏壓越高時，靜電放電電流經由矽基體流走的趨勢也就越明顯，所以可以提升對靜電放電的耐受度。因此在本論文中，我們也利用基體觸發的概念同時設計了可作為輸出入端的保護電路以及電源線間的保護電路，提供全晶片的靜電放電防護。

在第三篇論文中[3]，由於靜電放電防護電路通常具有較大的佈局面積，所以在輸出入端的寄生電容也會相對地增加，而這會影響到類比電路的高頻特性，使頻寬無法增加。另外有一些類比電路要求其電容值要固定，不受電壓影響產生太大的變化，因此如何設計出具有一定保護能力的靜電放電防護電路，而其寄生電容值又不會影響高頻電路的操作，也不受電壓波動所影響，是第三篇論文的重點。由於寄生電容和佈局的參數與技巧有密切的關係，為了要能有效地降低寄生電容效應，又能兼顧靜電放電防護電路的效能，我們也推導出一關係式去模擬寄生電容和佈局參數及操作電壓間的關係，利用此公式算出的電容值和佈局參數的關係在操作電壓有 $\pm 0.5V$ 的變異下，其電容值的變異仍然小於 1%。這成功解決長期以來一直困擾類比積體電路輸出入端的靜電放電防護問題。

另外，這第三篇論文[3]，係由博士班研究生陳東暘在 2001 年 *IEEE International Symposium on Quality Electronic Design (ISQED)* 研討會中報告，這篇論文並獲得該研討會之最佳學生論文獎，獎牌如圖一所示。

四.參考文獻

- [1] M.-D. Ker and T.-Y. Chen, "Design on the turn-on efficient power-rail ESD clamp circuit with stacked polysilicon diodes," *Proc. of IEEE Int. Symp. on Circuits and Systems (ISCAS)*, 2001, vol. 4, pp. 758-761.
- [2] M.-D. Ker, T.-Y. Chen, and C.-Y. Wu, "ESD protection design in 0.18- μm salicide CMOS technology by using substrate triggered technique," *Proc. of IEEE Int. Symp. on Circuits and Systems (ISCAS)*, 2001, vol. 4, pp. 754-757.
- [3] T.-Y. Chen and M.-D Ker, "Design on ESD protection circuit with very low and constant input capacitance," *Proc. of IEEE Int. Symp. on Quality Electronic Design (ISQED)*, 2001, pp. 247-248. (T.-Y. Chen got the Best Ph.D. Student Forum Award).

圖一 本計劃研究成果之一，由博士班研究生陳東暘(Tung-Yang Chen)發表論文於 2001 年 *IEEE International Symposium on Quality Electronic Design (ISQED)* 研討會中，所獲得之最佳學生論文獎獎牌。