

行政院國家科學委員會補助專題研究計畫成果報告

銅化學氣相沈積技術及積體電路銅製程相關的材料 與製程技術研究

Cu-CVD Technology and Reliability Issues of Cu Metallization Relevant to ULSI Application

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC89 - 2215 - E - 009 - 029 -

執行期間： 88 年 8 月 1 日至 89 年 7 月 31 日

計畫主持人：陳茂傑

共同主持人：

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立交通大學電子工程學系

中 華 民 國 89 年 10 月 25 日

行政院國家科學委員會專題研究計畫成果報告

銅化學氣相沈積技術及積體電路銅製程相關的材料與製程技術研究

Cu-CVD Technology and Reliability Issues of Cu Metallization Relevant to ULSI Application

計畫編號：NSC 89-2215-E-009-029

執行期限：88年8月1日至89年7月31日

主持人：陳茂傑 執行機構及單位名稱：國立交通大學電子工程學系

計畫參與人員：林璧君 林成利 古紹露 林鈺鈞 吳振誠 王超群

執行機構及單位名稱：國立交通大學電子工程學系

一、中文摘要

本專題計畫研究的內容在 Cu-CVD 方面包括銅化學氣相沈積的 H₂O 添加劑效應和管洞填充技術的改進，目前已經可以對深寬比 5.5 的 0.18 微米管洞達成無空隙的銅膜填充。在銅金屬化系統的可靠度和低介電常數材料方面，本計畫探討非晶態 TaSi_xN_y(x=1.4, y=2.5)薄膜對銅金屬的擴散障礙特性、氟摻雜氧化矽(FSG)的熱穩定性、以及 FSG 和熱成長二氧化矽(thermal SiO₂)與銅金屬結合之熱穩定性與擴散障礙層(TaN, SiN)之運用等問題。

關鍵詞：銅化學氣相沈積、H₂O 添加劑效應、銅膜之管洞填充、擴散障礙層、FSG 與 Cu/FSG 及 Cu/SiO₂ 之熱穩定性。

Abstract

This work consists of copper chemical vapor deposition (Cu-CVD) and reliability issues of copper metallization system. In the study of Cu-CVD using Cu⁺(hfac)VTMS as a precursor, additive effects of H₂O was investigated and the via filling technique was developed. We have developed the technique of filling the submicron vias of 0.18 μm size having an aspect ratio of 5.5 with no voids in the Cu filled vias. In the study of the reliability issues, we investigate the barrier capability of reactively sputter deposited amorphous TaSi_xN_y (x=1.4, y=2.5)

barrier layer. Moreover, we investigate the thermal stabilities of fluorinated silicate glass (FSG), Cu/FSG, and Cu/thermal-SiO₂, as well as the use of appropriate barrier layers.

Keywords: Cu-CVD, additive effects of H₂O, Cu film vias filling, diffusion barrier, FSG, Cu/FSG, Cu/SiO₂.

二、緣由與目的

銅具有比鋁和絕大多數金屬更低的電阻係數和優異的電子遷移抗拒性，已被認為是解決未來深次微米積體電路多層內連線和金屬化問題以取代現行鋁系金屬的新材料。因此，以可以作出保角薄膜沈積(conformal film deposition)的化學氣相沈積法發展銅膜沈積技術[1]-[4]，顯然最為符合未來積體電路製程發展之需要。但是，銅膜的成功應用尚須取決於銅金屬化系統及其與製程配合之熱穩定性。再者，多層內連線的 RC 時間延遲，勢將嚴重影響未來深次微米積體電路的工作性能[5]-[7]；因此，低介電常數(low-k)介電層在積體電路中的運用將是不可避免的趨勢[8]。本計畫在 Cu-CVD 方面，乃延續去年的成果，比較完整的繼續探討在 Cu precursor 中添加 H₂O 對於銅膜沈積之效應，並且專注於管洞(via)填充技術之改進。在銅金屬化系統的可靠度和低介電常數材料方面，主要探討非晶態 TaSi_xN_y 擴散障礙層對銅(Cu)金屬的擴散障礙特性，氟摻雜氧化矽(FSG)

的熱穩定性，以及 FSG 和熱成長二氧化矽 (thermal SiO₂) 和銅金屬結合之熱穩定性與擴散障礙層之運用等問題。

三、結果與討論

1. H₂O 作為添加劑對 Cu-CVD 之效應

以 H₂O 為添加劑可促進銅先驅物 Cu⁺(hfac)VTMS 的(hfac)集團自 Cu⁺(hfac) 中分離，因而可增加基板表面的成核密度，從而增進銅膜的沈積速率和表面平整度（亦即使晶粒變小）[9][10]。圖(一)所示為溫度 200、壓力 500mTorr、precursor 流量 0.3 ml/min、運載氣體 (He) 流量為 150sccm 條件下，銅膜沈積速率及晶粒大小與 H₂O 添加量之關係圖，沈積速率的增加及晶粒的變小趨勢十分顯著。

2. 化學氣相銅膜沈積之管洞填充

本計畫以自行研製之 DLI 液態銅源直接注入之溫壁式化學氣相沈積系統，使用 Cu⁺(hfac)VTMS 添加 2.5wt% VTMS 當作先驅物(precursor)，進行管洞填充(via filling)之銅膜沈積研究。目前已經可以對深寬比 (aspect ratio) 為 5.5 的 0.18μm 管洞(via)達成無空隙之填充，如圖(二)所示。管洞填充能力與銅膜沈積之諸多參數相關，尤其與沈積壓力之關係最為密切。一般而言，沈積壓力愈低，管洞填充能力愈佳。上述 0.18μm 管洞之無空隙填充係在沈積溫度 140 及沈積壓力 150mtorr，銅源流量 0.4ml/min，運載氣體(He)流量 25sccm 條件下所得之結果。

3. 非晶態擴散障礙層 TaSi_xN_y

鈮系(Ta-based)障礙層對銅金屬具有較佳的擴散障礙效果，而非晶態(amorphous)障礙層更由於沒有晶界(grain boundaries)的存在，擴散障礙效果更佳。本計畫之研究以反應式濺鍍法在 Ar/N₂ 混合氣體中濺鍍 TaSi₂ 靶材而得非晶態的 TaSi_xN_y (x=1.4, y=2.5) 薄膜當作銅金屬之擴散障礙層(diffusion barrier)，以 Cu/TaSi_xN_y/Si 結構之試片作片電阻量測 X 光繞射(XRD)分析、及掃描式電子顯微鏡(SEM)觀察，並以 Cu/TaSi_xN_y/p⁺n 界面二極體作反偏壓漏電

流的測量作為評估 TaSi_xN_y 障礙層對銅金屬的擴散障礙效能之依據。表(一)所示為各種不同厚度的 TaSi_xN_y 障礙層以不同測試或分析方法所得之熱穩定溫度，實驗結果顯示電性測量是最敏感有效的鑑定方法。電性測量結果顯示 10nm 厚度的 TaSi_xN_y 障礙層，可使 Cu/TaSi_xN_y/p⁺n 界面二極體承受 500 高溫熱處理 30 分鐘，而絲毫無損其電性。

4. 低介電常數材料 FSG 及 Cu/FSG 之熱穩定性

FSG(fluorinated silicate glass)是一種摻雜氟的氧化矽，具有比熱成長二氧化矽 (thermal SiO₂) 低的介電常數。本研究之 FSG 係以 SiF₄/SiH₄/O₂/Ar 為反應氣體，使用高密度電漿輔助化學氣相沈積法(high density plasma chemical vapor deposition, 簡稱 HDPCVD)在 400 所沈積者，其介電常數 K=3.5，折射係數(refractive index) n=1.45。FSG 薄膜的熱穩定性至少可達 600，亦即經過 600 的熱處理 30 分鐘而不發生 K 值、n 值、及化學鍵結的變化。此外，FSG 薄膜的抗濕性良好；浸入沸水中兩小時，FTIR 仍然偵測不到 Si-OH 信號。與銅金屬接觸之 Cu/FSG/Si 結構經過 400 30 分鐘熱處理後，以 BTS 在 250 作測試，均可由 C-V 特性的量測以及 SIMS 分析，證實已有 Cu 離子滲透進入 FSG 膜內。如在 Cu 和 FSG 之間置一 75nm 厚度的 SiN 擴散障礙層(以 SiH₄/NH₃ 混合氣在 400 用 CVD 方法沈積)，則可有效阻止銅離子滲入 FSG 膜內。

5. Cu/SiO₂/Si 結構之熱穩定性及擴散障礙層之運用

熱成長二氧化矽(thermal SiO₂)不論是乾氧成長(dry oxide)或濕氧成長(wet oxide)者，Cu/SiO₂/Si 結構在 500 30 分鐘熱處理後，以 BTS 在 250 做測試，都顯示有銅離子滲透進入 SiO₂ 的電性不穩定狀況，如圖(三)所示。如將 25nm 厚度的 TaN 擴散障礙層置於 Cu 和 SiO₂ 之間，則 Cu/TaN/SiO₂/Si 結構在 500 30 分鐘熱處理後，再以 BTS 在 250 做測試，其 C-V

曲線十分穩定，如圖(四)所示，顯示 TaN 完全有效阻擋銅離子滲入 SiO₂。上述之 TaN 薄膜係以反應濺鍍法在 Ar/N₂ 混合氣中使用純鈹(Ta)靶材濺鍍所得者。以 SiH₄/NH₃ 混合氣在 400 用 CVD 方法沈積之 SiN 薄膜也具有相同的擴散障礙效果。

四、計畫成果自評

本專題計畫研究內容與原計畫大致相符，只有原計畫工作項目中有關 Hhfac 添加劑對 Cu-CVD 的效應評估，因技術問題，效果不彰，未及完成；有關通入 H₂ 氣的效應評估，亦因技術及安全問題，未及完成，目前尚在進行中。此外，CVD-TaN 先期工作部分，現在正在整修及調整 CVD 系統，以便 TaN 的 CVD 沈積實驗得以順利進行。本專題研究計畫在化學氣相銅膜沈積之管洞填充技術、銅膜的擴散障礙層以及與 low-k 材料之整合等方面的成果，均具有產業應用上的參考價值，預期有三篇論文發表於學術期刊。

五、參考文獻

1. N.Awaya and Y.Arita, J.Electron.Mater. 21, 959(1992).
2. T.H.Baum and C.E.Larson, Chem. Mater. 4, 365(1992).
3. H.K.Shin, K.M.Chi, M.J.H.Smith, T.T.Kodas, J.D.Farr, and M.Paffett, Chem.Mater. 4, 788(1992).
4. J.C.Chiou, Y.J.Chen, and M.C.Chen, J.Electron.Mater. 23, 383(1994).
5. S.Bothra and B.Roger, IEEE Trans. Electron Devices ED-40, 591(1993).
6. T.Sakuray, IEEE Trans.Electron Devices ED-40, 118(1993).
7. X.W.Lin and D.Pramaink, Solid State Technol. (October 1998) p.63.
8. P.Singer, "Copper goes mainstream, low-k to follow", Semiconductor International (November 1997).
9. N.Awaya and Y.Arita, Japan J.Appl.Phys. 32, 3915(1993).
10. A.Jain, A.V.Gelatos, T.T.Kodas, and C.J.Mogab, Thin Solid Films 262, 52(1995).

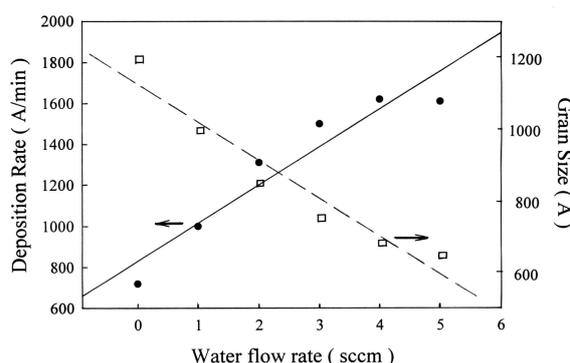
六. 表與圖式

表(一) 以不同方式測得之 TaSi_xN_y 障礙層對銅金屬之擴散障礙熱穩定溫度。

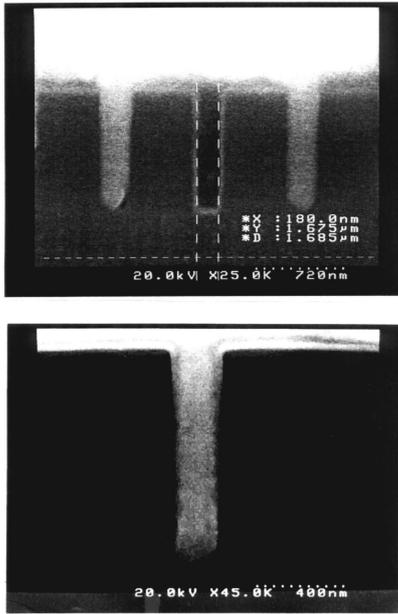
Measurement /analysis methods	Barrier thicknesses (nm)			
	5	10	20	40
p ⁺ n junction diodes	400	500	550	650
Sheet resistance (Rs)	600	600	650	700
XRD	600	650	700	700
SEM ^a	600	600	650	700
SEM ^b	450	500	550	650

^a based on surface morphology of Cu/TaSi_xN_y/Si samples.

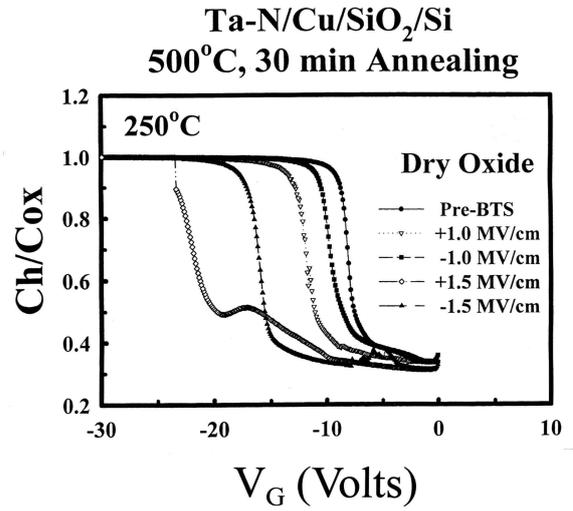
^b based on surface morphology of TaSi_xN_y after removal of the Cu overlayer from the Cu/TaSi_xN_y/Si samples.



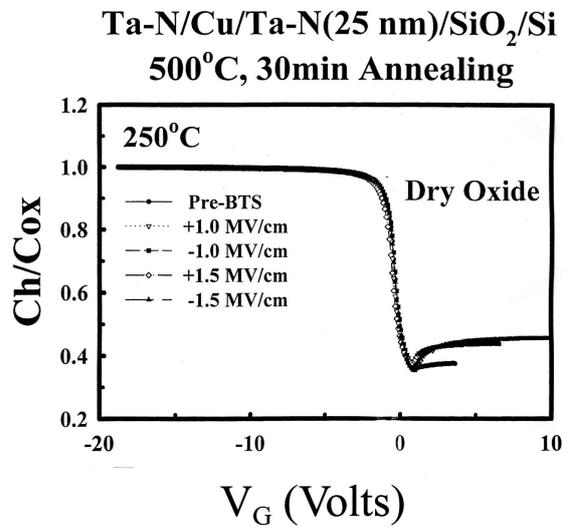
圖(一) 銅膜沈積速率及晶粒大小與 H₂O 添加量之關係圖。銅膜沈積條件為：溫度 200°C、壓力 500mTorr、precursor 流量 0.3 ml/min、運載氣體 (He) 流量 150sccm。



圖(二) 銅膜沈積在深寬比(aspect ratio)為 5.5 之 0.18 微米管洞(via)之 SEM 截面圖。



圖(三) TaN/Cu/SiO₂/Si 結構在 500°C 30 分鐘熱處理後，以 BTS 在 250°C 測試所得之 C-V 曲線，其中之 SiO₂ 為乾氧成長之 dry oxide，覆蓋在銅電極之 TaN 係為防止銅膜氧化之用。



圖(四) TaN/Cu/TaN(25 nm)/SiO₂/Si 結構在 500°C 30 分鐘熱處理後，以 BTS 在 250°C 測試所得之 C-V 曲線，其中之 SiO₂ 為乾氧成長之 dry oxide，覆蓋在銅電極之 TaN 係為防止銅膜氧化之用。