

# 以智財單元為基系統晶片設計之測試技術研究

## Testing Technology Exploitation for IP-Based SOC Design

計畫編號：NSC 89-2215-E-009-121

執行期限：2000年8月1日至2001年7月31日

主持人：李崇仁教授	交通大學電子工程系
計畫參與人員：張順志	交通大學電子工程系
吳明學	交通大學電子工程系
林俊偉	交通大學電子工程系
李敬贊	交通大學電子工程系
張志鵬	交通大學電子工程系
陳德昭	交通大學電子工程系

### 一、中文摘要

本計畫是在“以智財單元為基系統晶片設計之驗證與測試技術開發研究”總計畫項下之一子計畫，目的是研究有關以智財單元為基之系統晶片於深次微米情況下之測試諸問題。本計畫分三年執行，本年度(第一年)之執行計劃摘要如下：

(一)、對於智財單元連接線上鎖定障礙與開/短路測試，以及(二)、對於智財單元連接線間耦合障礙測試之研究：

隨著製程的進步，內連線間的距離也隨之縮小，內連線發生耦合障礙的機率也就越高，所以內連線的耦合障礙測試是必要的。在系統晶片下的內連線，由於探針無法直接接觸，所以要運用 1149.1 標準來加以測試，但是此套標準並不適合用來測試內連線間的耦合障礙。我們提出振盪環測試方式，以解決傳統測試的問題，並以一套有系統的方法找出振盪環與耦合障礙的測試圖樣。我們會以數個電路驗證我們所提出的方法。振盪環測試不僅能偵測耦合障礙，也都適用於對定值障礙、開路障礙、延遲障礙的測試。

(三)、以振盪環方式對數位組合電路智財單元內建自我測試之研究：

由於超大型積體電路技術的突飛猛進，晶片中的邏輯數與日俱增，然而晶片中每個智財單元中可用之輸入輸出接腳數

目有限，故內建自我測試乃是解決測試此複雜晶片的方法之一。誠如[1]所提，震盪環測試可測組合邏輯電路上之所有定值障礙、開延遲障礙與部份的路徑延遲障礙，因此吾人將震盪環測試策略推廣至數位智財單元之內建自我測試架構，提出有效之測試方法來測試數位智財單元。

(四)、以振盪環方式對序向電路智財單元測試之研究：

於此子題中，吾人對數位序向智財單元電路提出一應用振盪環測試之測試策略。在一般序向電路之中針對不可測或難以偵測之障礙，吾人利用可測試性設計方式改變電路使之在測試模式下能應用震盪環測，如此可提高其可測試性或減少其測試圖樣。本法嘗試找出電路在測試模式下，輸入適當之測試圖樣，再加上回授電路，使電路本身產生震盪之可敏化路徑，達到震盪環測試之效果。

(五)、以延遲測試方法對混模訊號智財單元測試之研究：

在此一子題中，吾人針對混模訊號智財單元電路提出一簡單有效之測試策略。一般而言，正常元件與障礙元件之時間延遲特性會有所差異，我們可以藉著量測元件的時間延遲來測試元件的正常與否，基於此一想法，我們探討如何選擇適當的輸入訊號並建立簡易之測試架構來加強測試

的效果。

## 六、對深次微米IC考慮製程與元件參數變動之靜電流測試方法：

**關鍵詞：**超大型積體電路測試、驗證、智財單元、靜態電流測試統計分析、內建式自我測試。

### Abstract

This project is one of sub-projects of the integrated joint project Verification and Testing Technology Exploitation for IP-Based SOC Design. It aims to study issues and problems encountered in testing and verification of the IP-based SOC design in the deep submicron regime. The topics and abstracts of this year are:

(1) “Stuck-at and open/short” testing on IP interconnection wires, and (2) Coupling (noise) fault testing between IP interconnection:

As the process scaled down, the interval between interconnects becomes smaller and smaller. The probability of occurring of coupling fault becomes bigger, too. In order to make sure that the circuit function is correct, coupling fault testing is necessary. Because interconnects in SOC environment can't be touched by probes, 1149.1 boundary scan standard is used to test interconnects. But this standard is not suitable for coupling fault testing. We propose a new testing scheme, oscillation ring testing. It can solve the drawback of traditional testing method. The oscillation rings and the test patterns can be found systematically. The proposed testing scheme will be verified using several circuits. The oscillation ring testing can also detect stuck-at fault, open fault and delay fault.

(3) A BIST scheme based on oscillation ring test for combinational digital IP's:

Due to the continuously improve in VLSI technology, the total gates in a chip are increasing day after day. Because the usable IOs of every IP in a chip are limited, BIST is

one of the methodologies to test such complex chip. As [1] mentioned that the oscillation ring test can test all stuck at faults, all gate delay faults and part of path delay faults in combination circuits. We extended the application of oscillation ring test method to test digital IP's under BIST scheme, and proposed an effective test method to test digital IP.

(4) Oscillation ring test for sequential IP's:

In this sub-topic, we proposed a test strategy based on oscillation ring test for digital sequential circuit IP's. By using the method of design for testability, we modified the original circuit for the undetectable faults and hard-to-detect faults in the circuit, make the circuit to be testable under the application of oscillation ring test. In this way, the circuits' testability can be improved and test pattern can be reduced. In this method, we found the sensitizable paths that can make the circuit oscillating by applying suitable test pattern and adding some feedback circuit under test mode.

(5) Delay test methodology for mixed-signal IP testing:

In this sub-topic, we proposed a simple and effective test strategy for mixed-signal IP circuits. Generally, delay time will be different between normal circuit and the faulty one. As a result, faults in the CUT which deviate delay time from its tolerance band can be detected. Base on this opinion, we investigated the test signal generation and built a simple test structure to enhance the effective for our test strategy.

(6) IDDQ testing to deep submicron VLSI considering process and device parameter variations:

**Keywords:** VLSI Testing, Verification, IP, IDDQ Testing, Statistical Analysis, BIST.

## 二、緣由與目的

(一)、對於智財單元連接線上鎖定障礙與

開/短路測試，以及(二)、對於智財單元連接線間耦合障礙測試之研究：

VLSI 製造技術日新月異，隨著製程進步，元件與元件間的距離也隨之縮小，兩條內連線間的距離也越來越小。而距離越小，則耦合障礙發生的機率也就越高。在系統晶片(SoC)的環境下，每一個智財單元都會被邊界掃描電路所包圍。加入邊界掃描電路是為了增加測試時的可控制性與可觀測性。對於內連線的耦合障礙與延遲障礙，傳統的測試方式就是利用邊界掃描電路加以測試。

傳統測試方式偵測耦合障礙主要的做法是，在激發傳染線(affecting line)發出一階訊號，以此激發耦合障礙，再從承受線(victim line)去擷取訊號。若兩條內連線間存在耦合障礙，則在承受線上會出現脈波訊號。但是此種做法存在著一些問題，就是我們無法得知受影響內連線上的脈波訊號何時會出現，所以我們就無法決定何時要擷取訊號。若我們在固定的時間去擷取訊號，則可能會有一些脈波訊號擷取不到。而且，在 1149.1 邊界掃描標準下，傳染線發出訊號到承受線去擷取訊號間的時間間隔是固定的(其間隔為 2.5 個測試時脈)。所以用傳統的測試方法無法測試內連線間的耦合障礙。

為解決傳統測試方式對延遲障礙與耦合障礙的缺點，我們提出一個新的測試方式，即：振盪環測試。其主要的概念是設法用內連線與邊界掃描電路形成一個振盪環，再由振盪環所產生的振盪訊號來激發耦合障礙。

(三)、以振盪環方式對數位組合電路智財單元自我測試之研究：

在一個數位系統整合晶片中，如欲以傳統的測試方式：由輸入端輸入測試圖樣，由輸出端觀察障礙效應的方式，將會使測試的時間大為增加。由於 SOC 乃是由不同的 IP 所整合起來的，每個 IP 的實際電路也因為不同的設計公司而不得知，欲將這些 IP 做一整體性的 BIST 有實際上的困難。因此針對每個 IP 設計有各自之 BIST

電路，將可大大地減少測試之時間，提高測試效率。而振盪環測試具有測試圖樣少、無須測試機之優點，使得其在測試成本上佔有極大優勢。藉由吾人歷年在振盪環測試上之研究，吾人嘗試將振盪環測試推廣至數位 IP 之 BIST 上，使系統整合晶片之測試更為有效率及低成本。

(四)、以振盪環方式對序向電路智財單元測試之研究：

於同步數位序向電路之測試中，由於正反器之存在，使得電路的可測試性受到正反器的影響極大，目前已有諸多可測試性設計方式可使電路的測試更為方便，如部分掃描、部分重置等等已被提出。而振盪環測試在數位組合邏輯上的應用亦已被證明有極好之效果，諸如測試圖樣少，及可使電路在全速的狀態下進行測試。本子題擬將振盪環測試推廣於測試同步與非同步數位序向電路，提出適用於數位序向電路振盪環測試之測試策略，包括適用於振盪環測試下的可測試性設計，如將正反器 bypass、中斷狀態變數回授等方式，使振盪環測試亦可在數位序向電路中獲得極好之效果。

(五)、以延遲測試方法對混模訊號智財單元測試之研究：

近年來為了提高性能、縮小電路面積及降低成本，愈來愈多的數位元件與類比元件被整合在單一晶片中，對於此類混模訊號之晶片，尤其是整合智財元件的晶片更是如此。傳統的測試方式是先將數位元件與類比元件分開測試，之後再想辦法去測試晶片內每個元件間的連接線是否有障礙存在。以這種測試方式有幾個困難的部分，首先是將類比元件與數位元件的分割有時並不是那麼的直觀，其次在類比元件部分因其規格的多樣以及對阻抗敏感的特性，使得其仍然沒有廣為大家接受的測試技術與輔助工具存在。因此我們嘗試利用類比元件、數位元件與元件間連接線都有時間延遲的特性，找出一測試策略來測試混模訊號元件。

(六)、對深次微米 IC 考慮製程與元件參數變動之靜電流測試方法：

### 三、結果與討論

(一)、對於智財單元連接線上鎖定障礙與開/短路測試，以及(二)、對於智財單元連接線間耦合障礙測試研究：

針對此二子題，我們提出了振盪環測試方法，它能解決傳統測試上的問題，並能更有效率的測試內連線。另外對邊界掃描單元也重新設計，使其能實現振盪環測試，同時也能與 1149.1 標準相容。重新設計過的掃描單元具有很大的彈性，可將振盪訊號傳導到不同方向，並且能偵測振盪訊號。以此種測試方式的測試圖樣很容易產生，只要選用最前端的振盪環，其後的掃描路徑上都會有振盪訊號，再依所需使內連線振盪或者固定。並且測試圖樣並不會隨著電路變複雜而增加。

(三)、以振盪環方式對數位組合電路智財單元內建自我測試之研究：

對於此一子題，我們提出一外接振盪訊號的測試架構(Socillator)取代由內部形成振盪環的原始想法來測試數位組合電路智財單元中的定值與延遲障礙。主要的想法是利用邊界掃描單元輸入測試圖樣來將振盪訊號引至適當的待測路徑(path-under-test)以測試智財單元。同時我們提出一訊號轉態偵測電路，其可以快速判斷是否在待測路徑具有定值障礙；另一方面，藉由改變振盪訊號的周期，我們可以很容易的量測出待測路徑上的延遲障礙而不用自動測試設備。我們發現其架構上更具有規則性，容易設計與控制，並且功能更為強大。本測試方法與架構已寫成論文發表於 VTS'2001 [2]。

(四)、以振盪環方式對序向電路智財單元測試之研究：

對於數位序向電路測試，我們提出一種新方法。運用振盪環測試原理，減少測試圖樣之產生，並可達到良好之偵測效率。在文中我們提出兩種測試方式：第一

是自電路建構振盪環方式，產生測試圖樣，確實能夠被運用偵測障礙；第二是經由狀態轉換表尋找振盪訊號，產生測試圖樣，此方式不同處在於，僅考慮狀態轉換表，而不考慮電路實際線路。經由我們提出之狀態轉換演算法，也確實能夠產生有效之測試圖樣。而這兩種方式可供使用者做適當之選擇。另外為了提高可測性，我們也提出另一種方法，為振盪環方式之序向電路合成。重新設定狀態值，使得我們在狀態轉換表方式，將有機會提高可測性；如此使我們之測試方式較為彈性。

(五)、以延遲測試方法對混模訊號智財單元測試之研究：

對混模訊號智財單元之測試，我們提出一簡單的測試電路將元件上的障礙效應轉換成時序上的延遲，利用此一延遲時間來偵測電路上的障礙。因為測量的是時序上的延遲而非電壓或電流，所以可以用一般數位測試機取代昂貴的混模訊號測試機；另一方面，因只量測延遲時間而非許多的規格，相對上可以減少許多的測試時間。模擬的結果顯示其有 78% 100% 的障礙涵蓋率。若再加上一峰值電壓偵測電路，可以將 78% 提升到 95% 以上的障礙涵蓋率，不過測試設備成本與時間也會相對提高。

(六)、對深次微米 IC 考慮製程與元件參數變動之靜電流測試方法：

對於此一子題，我們參考"International Technology Roadmap for Semiconductors" 1999 年版本的資料，考慮製程上合理的飄動與原件參數可能的變動，利用統計方法來估計在 2011 年，深次微米超大型積電路的靜電流。我們輸入了 2000 筆測試向量來進行模擬，找出靜電流的統計分佈，其結果顯示靜電流分佈的標準差正比於電路邏輯閘數目的平方根。再者，若電路上有障礙，其靜電流與正常的電路的靜電流仍然可以被區隔開。同時我們提出了兩個新的靜電流測試架構，不同於傳統量測晶片中單一子電路靜電流大小的方式，其主要是

量測兩個不同子電路的靜電流差值，這樣在偵測靜電流障礙上可以有更好的效果。本子題研究的結果已寫成論文發表於ATS'2000 [3]。

#### 四、計畫成果自評

本計畫第一年已建立智財單元本身與相互間連線的測試機制，有助於後續計劃之執行。吾人已完成原提計劃之 83%，並已發表於國內外之期刊[2,3]或碩士論文中[4,5]。

#### 五、參考文獻

- [1] Wen-Ching Wu, Chung-Len Lee, Hsing-Chung Liang, and Jwu-E Chen, "Oscillation Ring Test for Digital Circuits," The 8th VLSI Design/CAD Symposium, p59-62, 1997
- [2] Tek Jau Tan and Chung Len Lee, "Socillator test: a delay test scheme for embedded ICs in the boundary-scan environment," IEEE VLSI Test Symposium, pp.158-162, 2001
- [3] Chih-Wen Lu, Chauchin Su, Chung Len Lee, and Jwu-E Chen, "Is IDDQ testing not applicable for deep submicron VLSI in year 2011?" IEEE Asian Test Symposium, pp.338-343, 2000
- [4] Bor-Song Liu, "Oscillation Ring Test for Interconnects in SOC Environment," Master Degree dissertation of Hsien-Hung Wu, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 2001.
- [5] Yiau-Shiuan Jiang, "Oscillation Ring Test for Digital Sequential Circuits," Master Degree dissertation of Hsien-Hung Wu, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 2001.