



# 行政院國家科學委員會專題研究計劃成果報告

## 自主整合式 W-CDMA 基地台接收系統(3/3)

### Autonomous Integrated Receive Systems (AIRS)

#### for W-CDMA Base Stations (3/3)

計劃編號: NSC90 2219-E-009-009

執行期限: 90 年 8 月 1 日至 91 年 7 月 31 日

總計劃主持人: 蘇育德 交通大學電信工程系

共同主持人: 王蒞君、吳文榕、蘇賜麟

#### 壹、中文摘要

隨著無線通訊市場的蓬勃成長，相關的技術也如雨後春筍般的發展。國際電信聯盟(ITU)為此而發展了一套第三代行動通訊系統的概念，稱之為 IMT-2000。這套系統概念可藉由寬頻技術的整合，將原本只傳送聲音為主的電信事業帶往多媒體服務的行動通訊世界中。而在各國送交國際電信聯盟有關第三代地面無線電傳輸技術的十個方案中，就有六個是使用寬頻分碼多重擷取的觀念。這幾套系統雖大同卻有小異，在不同的通訊環境下，各有其擅長之處。在設計一個經濟又可靠的通訊系統時，通常會考慮有效率頻譜(spectrum efficient)的波形、具變通性的通訊協定以及多模態(multi-mode)或多頻帶 (multi-band)功能等需求。對現今如此繁多的已知 W-CDMA 系統的標準而言，整合上列之需求，設計一套能適應各種環境、系統標準的基地台設備是許多工程師的理想。而達到此目標的一種方法是將現有的類比元件與電路用已可程式化的機置來替代。由於目前的寬頻數位類比轉換器(A/D D/A converter)與高速數位信號處理(DSP)晶片的技術進步一日千里，使得這種以軟體為基礎、可適用於多項標準的接收系統之構想，所謂的軟體無線電收發機，或以軟體為基礎的通訊系統，能得以逐漸有實現的可能。

本計劃主要目的在提出一個以 FPGA 及 DSP 為基礎的寬頻碼域多重擷取(W-CDMA)基地台接收端之基頻架構，完成各子系統(含功率、擷取及允入控制)的軟、硬體設計設計，並測試、分析其相關性能。這些子系統包含內差式濾波器、亂碼擷取、追蹤、信號及雜訊干擾強度的估計、聲靶式接收機、後置同步自動增益控制器、多用戶偵測等。我們亦提出一個以 RAKE 接收機為中心的基頻架構。基地台接收端需同時具有同頻干擾消除、通道估測、路徑選擇合併、增益控制、軟式解碼及各類同步的能力，並分析、與模擬其性能優劣。由於以往的設計具各項功能的子系統大都各別做最佳設計，其間的相關性之考量並不被重視。最近亦有提倡以內、外接收機劃分功能之議。我們認為一個寬頻的無線通訊系統，若要有最佳的性能表現，應將這些功能作整體的考量，設計單一子系統時，不但應考慮到它與其他子系統的銜接、互補性，更應考慮如何的安排，才會使得最後的輸出品質最好。我們在過去三

年中我們逐漸以 DSP 實現之前分析模擬所得到系統最佳化之雛形架構。

在此整合 W-CDMA 基地台接收系統的設計與實現，我們已經完成前半段的系統設計、模擬，而未來後半段時間則專注於雛型系統的製作。所有工作將劃分成四項子計劃，分別負責 1) 系統的架構、性能評估與部份子系統設計，2) 亂碼產生、匹配、信號內差與多用戶偵測，3) 載波、亂碼與符元同步子系統。目前，我們已完成系統之軟、硬體分工之分析以及初步各子系統的設計。

本計畫的寬頻 CDMA 主要以 IS2000 為依據，原因是經詳細的評估後，我們認為 IS2000 的系統設計較為優越、簡單且這項標準已有佈建的經驗，是比較成熟的技術。

總計劃包含四個子計劃，由四位教授分別主持。子計劃一負責整個 W-CDMA 基地台接收系統架構以及部分子系統之研究，並對整個系統的性能進行分析與評估，因此與其他子計劃間需時常溝通以便分析在系統設計中各個子系統相關的影響。

我們的接收系統使用一簡單的通道估計器，並提出一改良型的亂碼追蹤迴路架構，可以改善亂碼追蹤之表現。我們並深入探討 W-CDMA 統之 Digital Delay Lode Loop (DDLL)與自動增益控制(AGC)迴路之互相關動作模式及性能分析。我們的接收系統使用一簡單的通道估計器，並提出一改良型的亂碼追蹤迴路架構，可以改善亂碼追蹤之表現。我們另外又提出一新型間隔器 (Interleaver)之設計。此間隔器應用在渦輪碼的編、解碼器上可以大量降低解碼延遲，並提升平均錯誤率性能。子計畫一負責整個 W-CDMA 基地台接收系統架構以及部分子系統之研究，並對整個系統的性能進行分析與評估，子計劃二負責被動式與主動式解展頻(passive and active de-spreading, correlation)、長/短亂碼之產生與多用戶偵測的部分，前兩部份與同步子系統及接下來的解碼碼都有密切的關連。亂碼追蹤迴路需要通道估計的結果告知亂碼與主要路徑的大概位置及相位，以便開始或重新追蹤。多用戶偵測線路在複徑環境下則需與 RAKE 合成配合作，而解碼系統則需要其軟輸出(含偵測符元之可靠度)。子計劃三從事同步子系統之設計，這其中包括頻率、載波與亂碼(符元)之同步。由於這些同步系統之性能與信號強度有

關，我們準備利用 AGC 的輸出來調整它們的頻寬以求得最佳的表現。載波追蹤部份需要通道估計子系統來提供瞬間的信號振幅，而亂碼（符元）追蹤迴路的輸出將供給輸入數位樣本之內差濾波器來調整其內差點以便重新計算解展頻值。子計畫四則負責 MAC 層的設計。

**關鍵詞：**寬頻碼域多重擷取，數位信號處理器，複雜衰落，展頻通訊。

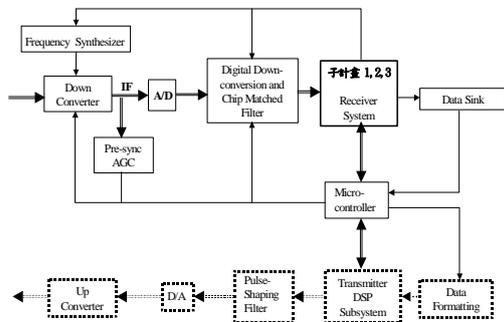


Fig. 1 AIRS Functional Block Diagram (I)

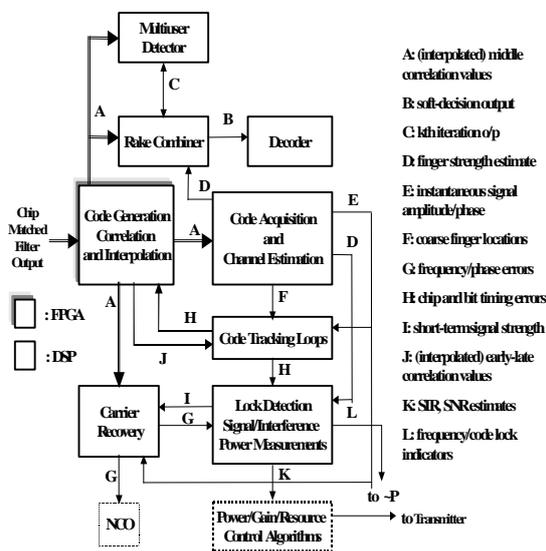


Fig. 2 AIRS Functional Block Diagram (II)

## 二、計劃緣由與目的

近十年來，由於無線通訊市場成長極為迅速，相關的技術也發展驚人，行動電話、低功率無線電話、衛星信等各類無線通訊系統群雄並起。為此，ITU 發展了一套第三代行動通訊系統的概念叫 IMT-2000 (International Mobile Telecommunications -2000)。這套系統概念越來越為世界各國通訊界所注目，似將成為二十一世紀初整合所有行動通信系統的新標準。ITU 預計在 2000 年春會決定完整的 IMT-2000 無線傳輸技術規範，2002 年可以提供初步服務，正式商業化則可能需等到 2005 年。IMT-2000 發展的目的是希望以寬頻技術整合各類

服務需求，達到多媒體行動通訊的理想，以提供更好的通話品質，更多樣化的服務，同時藉由衛星行動通訊的技術使得服務區域更廣泛，真正實現一機走天下的理想。雖然 IMT-2000 理想中應具有唯一的世界標準，但既有的行動通訊系統中已有很多的技术標準，因此在逐漸形成的系統觀念族 (FSC, Family of Systems Concept) 下，IMT-2000 將規定一些共通性的技術規範，以兼容並蓄各種不同的系統標準。由於 IMT-2000 強調的是「兼容並蓄」各種不同技術標準，是一種「概念族」，而非為單一技術標準，因此 IMT-2000 不是由誰主導規劃統一之系統，而是依地區既有標準加以發展擴充而成的多系統之組合。截至 1998 年 6 月 30 日為止，各國送交國際電信聯盟 ITU 的第三代行動通信系統技術方案已達 15 個，其中 10 個屬於地面通訊系統，5 個屬於衛星通信系統；而在這些方案中有 6 個採用 W-CDMA 技術，為歐聯及美、日等先進國家所共同支持。最近一年來，這些 W-CDMA 方案又整合成 3GPP 與 3GPP II 等兩大陣營，在一些主要系統參數上（如 bandwidth, chip rate）並已達成共識，可以相容。由此判斷，將來 ITU 選擇 W-CDMA 為主要無線傳輸技術的可能性最大，也因此電信國家型科技計劃也將 W-CDMA 列為無線通訊發展重點之一。

本整合型計劃之目的在提出一個以 FPGA 與 DSP 為基礎的 W-CDMA 基地台接收端之基頻架構，整合各子系統的軟、硬體設計設計，並完成一離型系統。前面提到，設計單一無線通訊系統的子系統時，不但應考慮到它與其他子系統的銜接、互補性，更應考慮如何的安排，才會得到最佳的整體系統通訊品質。

除了整體的設計 (integrated design) 外，我們也瞭解到，並非所有的功能在任何的環境下都需要，一個好的接收系統應具有相當的彈性，可以在不同的環境中運作，也因此我們的架構須具有自我重組 (re-configuration) 的能力。這種要求使我們得將各種功能盡量模組化 (modularize)，並盡量利用信號處理器來完成大部份的基頻工作。

不論歐盟與日本之 WCDMA 或美國之 IS-2000，其 reverse link (uplink) 都將傳送 code-multiplexed pilot signals 以達到同調接收 (coherent reception) 與其他好處 (如 smart antenna 設計及 multiple access cancellation 等)，既要同調接收、同步設計之重要性自不待多言。同時因此二系統之 reverse link 也都採用 complex spreading/QPSK 以達到降低傳送訊號 PAR (peak-to-average ratio) 並提高功率效率之目的。

我們針對 IS2000 的系統架構，分析其在高斯白雜訊通道與多路徑衰落通道下的性能，並利用數值方法分析出此聲靶式接收機來偵測傳送數據時的性能，並比較了兩種常用到聲靶式接收機系統——最大比率結合聲靶式接收機 (MRC RAKE Receiver) 與等增益結合聲靶式接收機 (EGC RAKE Receiver) 的性能差異。雖然聲靶式接收機對於符號間干擾 (ISI) 的消除有一定的效用，但是為了更有效的對抗多用戶干擾 (MAI) 我們也加入多用戶

偵測 (MUD) 的機制。由於各子計畫皆有各自詳細的報告，我們將只重點報告硬體實現的部分。

### 三、結果與討論

IS2000 系統上行鏈路的傳送端使用複展頻 (Complex Spreading) 與 QPSK 調變技術，其方式如 Fig. 1-1 所示。

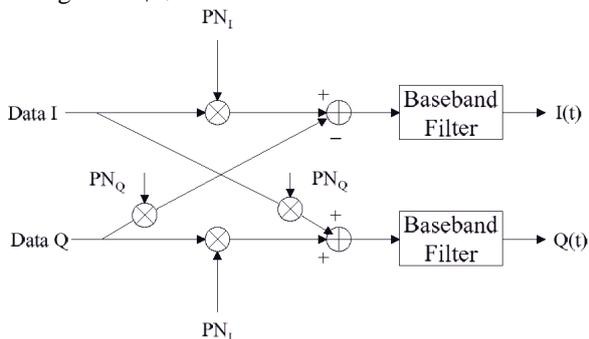


Fig. 1-1 複雜展頻示意圖

IS-2000 各個上行實體通道(reverse physical channels) 信號經複雜展頻與 QPSK 調變示意圖：

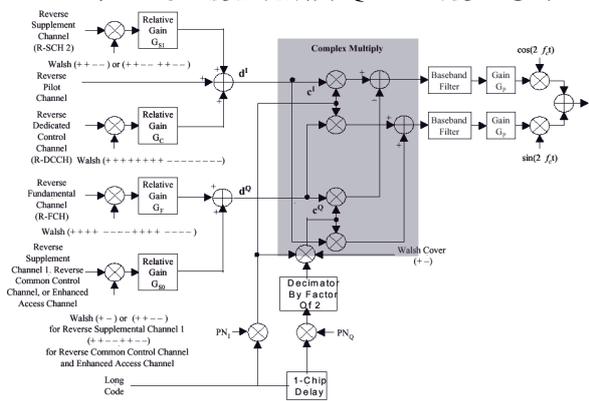


Fig. 1-2 上行鏈路通道調變器

經展頻與調變過後的傳送信號為

$$\begin{aligned} \tilde{S}_T &= \sum_{k=1}^K \tilde{s}^{(k)}(t - \tau_k) \\ &= \sum_{k=1}^K \sum_{i=-\infty}^{\infty} d_{[i]}^{(k)} c_{[i]}^{(k)} g_T(t - iT - \tau_k) e^{j\phi_k} \end{aligned}$$

其中  $K$  代表用戶個數， $T$  是符元(symbol)區間， $T_c$  是 chip 區間， $M$  是 spreading factor， $N$  是展頻碼週期， $d_i$  是要傳送的資料序列， $c$  是展頻碼， $g_T(t)$  是 pulse shaping filter 的波形 (Square Root Raised-Cosine : SRRC)， $\tau_k$  是第  $k$  個用戶相對於第一個用戶的傳送信號時間差， $\phi_k$  是第  $k$  個用戶相對於第一個用戶傳送信號的相位差。

另外，通道的模型可以用下列時變虛數值低通等效的 impulse response 表示：

$$\begin{aligned} h_p(\tau; t) &= \sum_{l=0}^{L_p} c_l(t) u(t - \tau_l) \\ c_l(t) &= r_l(t) e^{jw_l(t)} \end{aligned}$$

其中  $L_p$  是可解析的通道數目， $c_l(t)$  是複數值的通道增益係數， $\{r_l\}_{l=1}^{L_p}$ 、 $\{w_l\}_{l=1}^{L_p}$  與  $\{\tau_l\}_{l=1}^{L_p}$  分別是時變通道的振幅、相位移動與延遲的時間差。

在這一當中我們已經利用 DSP 來實現之前分析模擬所得到系統最佳化之雛形架構，如下圖所示。

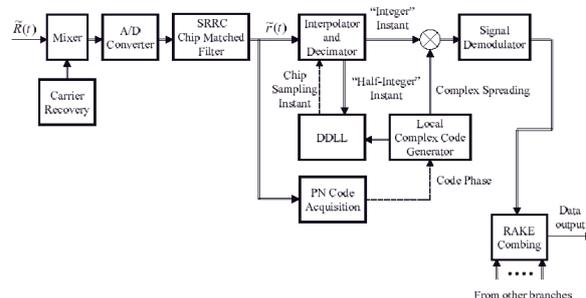


Fig. 1-3 接收機架構圖

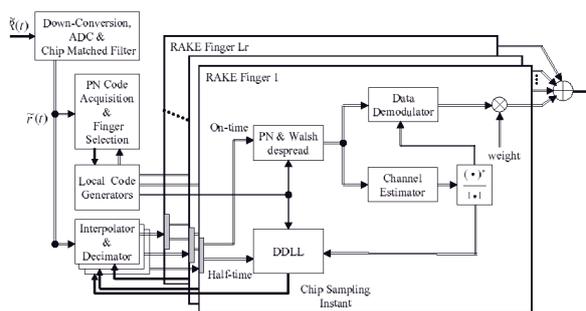


Fig. 1-4  $L_r$  個 finger 的 RAKE 接收機示意圖

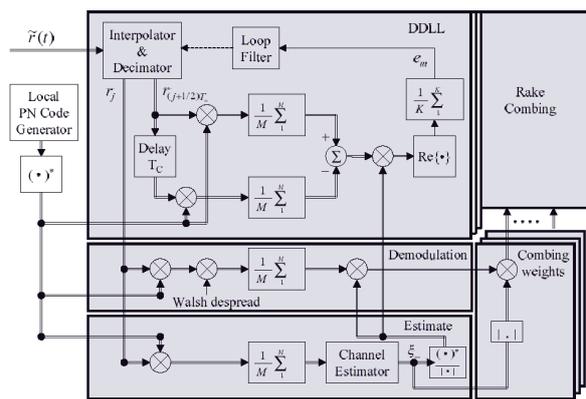


Fig. 1-5 MRC RAKE 接收機架構圖

### 硬體實現

#### A. 平台描述

我們使用 Spectrum 的 Barcelona DSP 板(如最後一頁圖)來實現最大比率結合聲靶式接收機 (MRC RAKE Receiver)。一片 Barcelona 板上包含四顆 TI 的 TMS320C6201 定點 (fixed-point) 數位訊號處理器，時脈 200 MHz，最高處理速度達 1600 MPIS；每個處理器個別有 128K× 32-bit SSRAM 及 4M× 32-bit SDRAM，另有一個 2K× 32-bit MPRAM (Multi-Port RAM) 提供四顆處理器作少量資料的交換 (詳見下頁表)。

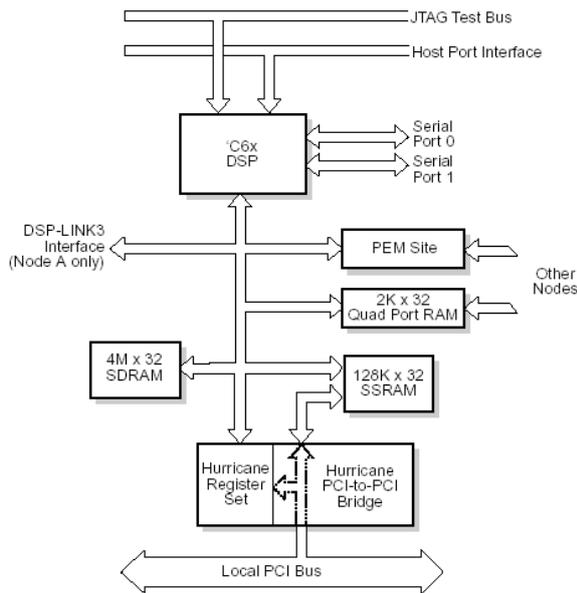


Fig.1-6 各 DSP 的記憶體配置和連接 Bus

Address Range	Size	Description
Start	End	
0x0000 0000	0x0000 FFFF	64KB Internal Program RAM
0x0001 0000	0x003F FFFF	4MB-64KB reserved
0x0040 0000	0x0047 FFFF	512KB CE0 (SSRAM)
0x0048 0000	0x013F FFFF	16MB-512KB reserved
0x0140 0000	0x017F FFFF	4MB CE1 (I/O, boot)
0x0180 0000	0x019F FFFF	256KB Internal Registers
0x01A0 0000	0x01FF FFFF	8MB-256KB reserved
0x0200 0000	0x02FF FFFF	16MB CE2 (SDRAM)
0x0300 0000	0x03FF FFFF	16MB CE3 (PEM)
0x0400 0000	0x7FFF FFFF	2GB-64MB reserved
0x8000 0000	0x8000 FFFF	64KB Internal Data RAM
0x80001000	0x803F FFFF	4MB-64KB reserved
0x8040 0000	0xFFFF FFFF	2GB-4MB reserved

Fig. 1-7. TMS320C6201 的記憶體配置圖

在 I/O 部分，Barcelona 設有 HPI (Host Port Interface) 透過 CompactPCI 和主電腦相連結，以及 PMC (PCI Mezzanine Connector) 和 PEM (Processor Expansion Module) 兩個基座，作為外加模組之用。我們透過 HPI 利用主電腦對四個 DSP 下載程式並作初始設定。

除了 Barcelona 板之外，還使用了兩個模組：PMC-2MAI 和 PEM-4WDC。PMC-2MAI 為 12-bit 65MHz A/D Converter (類比轉數位轉換器) 架構如下圖所示；它可以接收 IF 訊號作類比轉數位的動作，將數位訊號送給 PEM-4WDC 作處理。

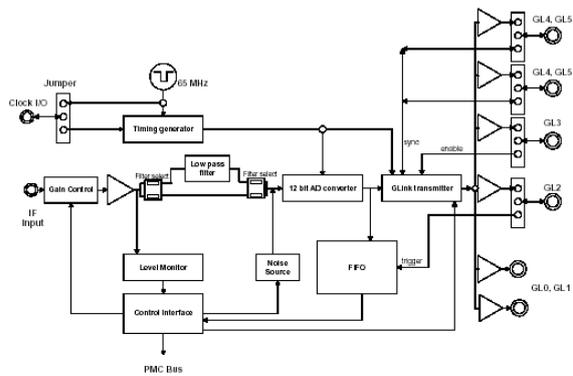


Fig. 1-8. PMC-2MAI A/D Converter

PEM-4WDC 為一降頻轉換器 (Down Converter) 架構如下圖所示；一個模組上包含四個降頻轉換器，我們只使用其中一個，將 A/D Converter 轉換之數位訊號降頻為基頻帶 16-bit fixed-point 的資料，並經由 PEM 送給 DSP1 作訊號處理。

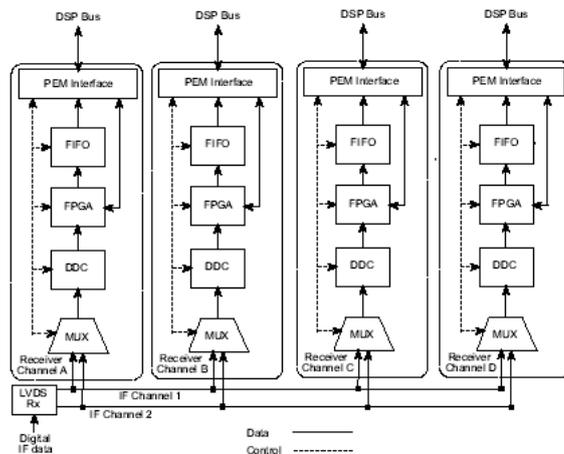


Fig. 1-9. PEM-4WDC Down Converter

#### A、基本架構：

我們將最大比率結合聲靶式接收機 (MRC RAKE Receiver) 分成三大部分：pulse shaping filter、Acquisition 以及 RAKE Combiner；分別利用 DSP1、DSP2、DSP3 三顆處理器實現 (如下圖)。受限於時間延遲 (收到資料到第一個 bit 解出來的時間差)、運算複雜度和 MPRAM 的大小，我們一次處理一個 Block 的資料，大小為 512 個 samples (128 個 chips)，並使用四個 finger 作 RAKE Combining。

由 PMC-2MAI 將接收之類比訊號轉為數位之 16-bit 定點 (Fixed point) 的資料，經由 PEM-4WDC 降到基頻後，送到 DSP1 的內部記憶體 (IRAM) 作 pulse shaping 的動作得到資料 y，並利用 DMA 搬運到 MPRAM 供另兩顆 DSP 使用。

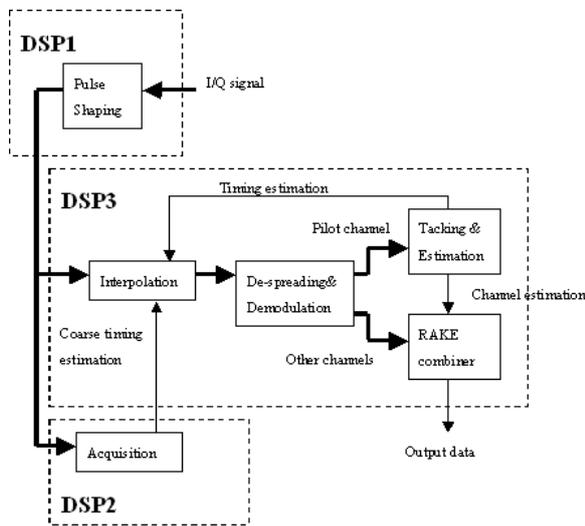


Fig. 1-10. MRC RAKE Receiver 基本架構

DSP2 主要的工作是利用 MPRAM 的資料 y 作 Acquisition，即時間同步的粗調，將 chip 的時間誤差調整到 1/2 個 chip 區間內，讓之後的時間細調可以找到較正確的誤差估計值。在此是使用 correlator 依 chip 作 PN code 的比對，取得可能性最大的四條路徑時間估計值送給 DSP3 的 Interpolation 使用。

DSP3 為整個接收機的核心部分，它先將 MPRAM 的資料 y 依據 Acquisition 和前一次 Tracking 所得之時間誤差估計值作 Interpolation，得資料 I，再作解展頻（De-spreading）、解調變（De-modulation），得 DATA channel 和 Pilot channel 的資料。其中 Pilot channel 的資料送給 Tracking（時間誤差的細調）和 Channel estimator（頻道的估計），前者送往 Interpolation 供內插的時序使用，後者則提供 RAKE Combiner，匯集 DATA channel 資料作 MRC Combination 之用，得到輸出資料 z（一個 block 可解得 8 bits 的資料）。

### B、資料流和時序安排：

收到的資料並不是馬上就能處理，有些需要得到某特定數值後才可作處理，所以需要暫存記憶體（Buffer）來保留接收的資料防止資料遺失，為了運算速度考量，所有暫存記憶體皆放置在速度最快的內部記憶體（IRAM）。在這裡我們使用 DMA 來作戰存記憶體的移動（資料的汰舊換新），而不用指標（Pointer）的方式，主要是為了系統的簡單化和較易作軟體的最佳化，且 DMA 和 DSP 為獨立動作所以不會消耗 DSP 的效能。

暫存記憶體的安排如下圖，其中“A”表示正在存取的資料，因不確定是否已完成存取，所以被設定為不可使用的資料，一直要等到新的資料近來後才可使用。配合下面的時序安排圖可以更清楚的了解整個系統的資料流和時序的安排。以下依序介紹各 buffer 的運作。

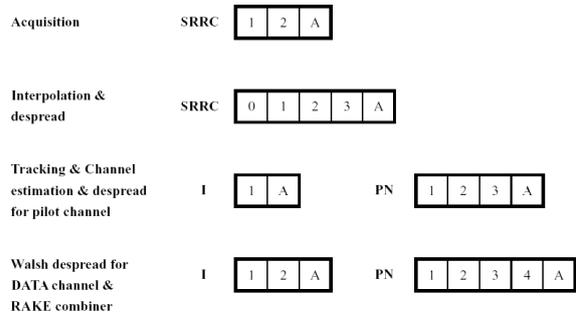


Fig. 1-11. 暫存記憶體配置圖

第一行：Buffer SRRC 為經過 pulse shaping 後資料的暫存記憶體，Acquisition 需要比對一整個 block 以及其延遲（delay）150 個 chip 的資料，所以要等下一個 block 接收時才可進行，故使用兩個 Buffer 來儲存上一筆及這一筆的資料。在此我們使用長度為 256 個 chips 的 correlator，所以需連續做兩個 128 個 chips 的 block 才會得到一個估計值。

第二行：Interpolation 及 Walsh despread 需要等到 Acquisition 估計出時間誤差的粗調後才可進行，所以會延遲三個資料，又對第一次的運算需要有一個 block 為零的初始值，故共需五個暫存記憶體。

第三行及第四行為主要的運算：其中 Buffer I 表示經 Interpolation 得到的資料，Buffer PN 則是 PN code 的暫存記憶體。從資料接收到真正要作 PN despreading 相差四個資料，又第四行的 RAKE Combiner 需要頻道的估計，所以會比第三行多延遲一個資料。在此會有兩個 PN buffer 完全是為了計算速度的考量，在 RAKE combiner 的 PN code 事實上事先將 PN code 和 Walsh code 先作相乘的結果，如此可以減少 DSP 內資料的存取，可節省計算時間。

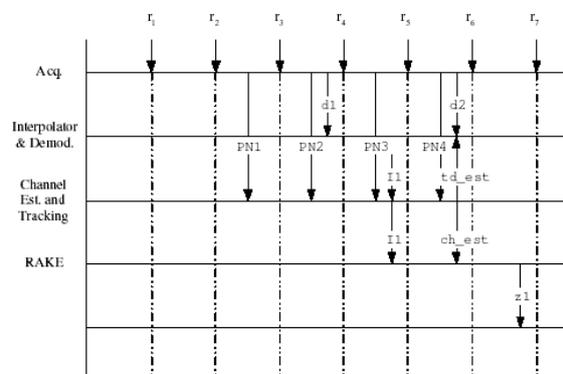


Fig. 1-12. 系統時序安排圖

### C、模擬結果：

MRC RAKE Receiver 在電腦上模擬是使用浮點（Floating point）運算，而利用 DSP 實現則是使用定點（Fixed point）運算，兩者因為對資料敘述的詳細度不同而在效能上會有所差別，實驗和模擬的結果如下圖所表示，定點運算載效能上會有一定程度的衰減，但仍在可接受範圍之內。為了顧及速

度和成本的考量，儘管使用浮點運算會有較佳的效能，我們仍使用定點運算來作硬體的實現。

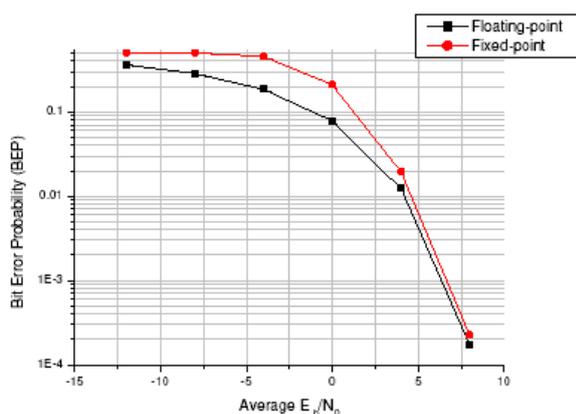


Fig. 1-13 .AWGN 通道下浮點運算和定點運算的效能比較

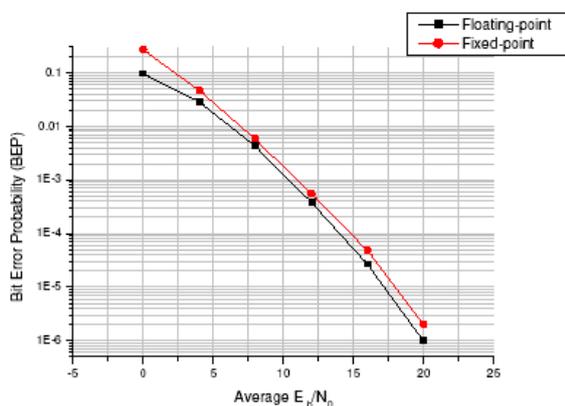


Fig. 1-14 .Multi-path Rayleigh Fading 下浮點運算和定點運算的效能比較

### 第三部分：成果自評

我們亦提出一個以 RAKE 接收機為中心的基頻架構。基地台接收端需同時具有同頻干擾消除、通道估測、路徑選擇合併、增益控制、軟式解碼及各類同步的能力。在多用戶偵測、編、解碼的電路及 MAC 層設計我們也都有新的成果。

本計畫完成了 IS-2000 上行鏈路接收系統的架構，軟、硬體的工作分配，且利用 DSP 板來實現大部分的功能。我們發現，即使設計了軟、硬體的分工，但由於 FPGA 與 DSP 軟、硬體間的溝通問題無法在短時間內解決，我們先行全部用 DSP 來實現。只是目前 DSP 尚無法應付規格所訂的傳輸速率下的運算，我們的模擬只能在較低速率的環境下進行。

我們比較了兩種常用到聲靶式接收機系統——最大比率結合聲靶式接收機 (MRC RAKE Receiver) 與等增益結合聲靶式接收機 (EGC RAKE Receiver) 的性能差異。正如所預期的，最大比率結合聲靶式接收機是最佳的結合機制，但是其性能常會受限於通道估計的誤差。

### 五、參考文獻

1. V. K. Garg, IS-95 CDMA and cdma2000, NJ: Prentice Hall PTR, 2000.
2. H. G. Proakis, Digital communications, New York: McGraw-Hill, 3rd Ed., 1995.
3. T. S. Rappaport, Wireless communication: principles & practice, New Jersey: Prentice Hall, 1996.
4. D. Parsons, The mobile radio propagation channel, Addison-Wesley, 1992.
5. M. K. Simon and M.-S. Alouini, Digital communication over fading channels, New York: John Wiley & Sons, 2000.
6. H. Meyr, M. Moeneclaey, and S. A. Fechtel, Digital communication receivers: synchronization, channel estimation, and signal processing, New York: John Wiley & Sons, 1997.
7. TIA/EIA, Physical layer standard for cdma200 spread spectrum systems, 3GPP2 Document C.P0002-A. Edit Version 29, Nov. 18,1999.
8. A. Papoulis, Probability, random variables and stochastic process}, New York: McGraw-Hill, 3rd Ed., 1991.
9. M. Abramowitz and I. A. Stegun, ed., Handbook of mathematical functions, New York: Dover, 1972.
10. Y.-H. Hsu, "Analysis of complex tracking with channel estimation in bandlimited rayleigh fading channels," Mater Thesis, Department of Communication Eng., National Chiao Tung Univ., Hsinchu, Taiwan, June 2000.
11. J. M. Holtzman, "A simple, accurate method to calculate spread-spectrum multiple-access error probabilities," IEEE Trans. Commun., vol. 40, NO. 3, pp.461-464, Mar. 1992.
12. M.-S. Alouini, S. W. Kim, A. Goldsmith, "RAKE reception with maximal-ratio and equal-gain combining for DS-CDMA systems in Nakagami fading," IEEE Universal Personal Comm., vol.2, pp.708-712, 1997.
13. T. Eng, and B. Milstein, "Coherent DS-CDMA performance in Nakagami multipath fadings," IEEE Trans. Commun., vol.44, pp.1117-1129, Sept. 1996.
14. S.-H. Hwang, K. Cho, W.-R. Cho, and E.-K. Hong, "Reverse link synchronous DS-CDMA cellular networks in Rayleigh multipath fading : system capacity," APCC/OECC Comm., vol. 1, 1999
15. S. Willenegger, "cdma2000 Physical layer: an overview," Jour. Comm. Net., vol. 2, No. 1, Mar. 2000.
16. Y. S. Rao and A. Kripalani, "cdma2000 mobile radio access for IMT-2000," IEEE International Conference on Personal Wireless Communication, pp.6-15, 1999.
17. M. Bickersta, G. Hughes, C. Nicol, B. Xu ,and R.-H. Yan, "DSP systems for next-generation mobile wireless infrastructure," Proc. IEEE

International Conference on Acoustics, Speech, and Signal, Vol. 6, pp.3710-3713, 2000.

18. Y.-M Jiang, "Performance analysis of RAKE receivers for cdma2000 uplink in band-limited Rayleigh fading channels," Master Thesis, Department of Communication Eng., National Chiao Tung Univ., Hsinchu, Taiwan, June 2001.
19. Spectrum Signal Processing Inc., Barcelona Quad 'C6x CompactPCI Board Technical Reference, May 1999.
20. Spectrum Signal Processing Inc., "PMC-MAI 65 MHz 10-Bit A/D Converter Module," User Guide Revision 1.04, October 1999.
21. Spectrum Signal Processing Inc., "PEM-4WDC Wideband PEM Down-Converter User Guide," Revision 1.00, October 2000.
22. Spectrum Signal Processing Inc., Barcelona Quad C6x CompactPCI Board Windows NT/2000 Installation Guide, May 1999.
23. TI, "TMS320C6x DSP Design Workshop," April 1999.
24. "Physical Layer standard for cdma2000 Spread Spectrum Systems," 3GPP2C. S0002-A-1 Version 1.0, 2000.

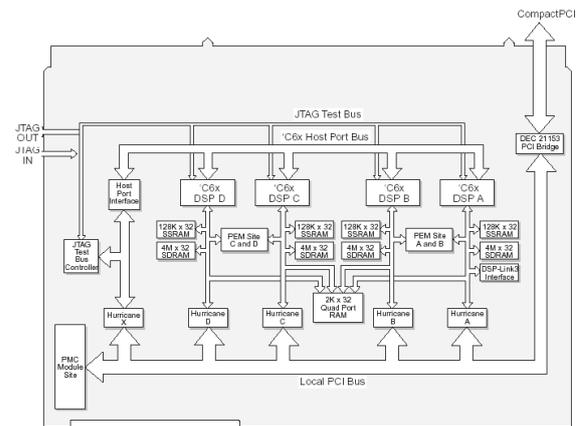


Fig. 1-12. Barcelona Quad C6x CompactPCI Board Architecture.